

PCS3515 – Sistemas Digitais

Documentação de Projeto de Sistemas Digitais

Seções 6.1 e 6.2 – livro texto

Com apoio do material dos Prof.

Pedro e Cintia

From *Digital Design: Principles and Practices*, Fourth Edition, John F. Wakerly, ISBN 0-13-186389-4.
©2006, Pearson Education, Inc., Upper Saddle River, NJ. All rights reserved.

Padrões de Documentação

- Boa documentação é essencial para um projeto correto e uma evolução eficiente do sistema digital.
- Necessária para estabelecer comunicação entre a equipe de projeto e para uma “memória” futura do sistema digital projetado.

Itens de uma documentação

- Especificação: descrição “do que” o sistema faz (interfaces)
- Diagrama de Blocos: módulos funcionais e suas interconexões
- Diagrama Esquemático (ou Diagrama Lógico): tipos de Circuitos Integrados (CI's) e os números dos pinos
- Carta de Tempos: sinais lógicos em função do tempo
- Descrição estruturada dos dispositivos lógicos: descrição em HDL, Tabela da Verdade, equações lógicas
- Descrição do circuito: texto que apresenta como o circuito funciona internamente e soluções de projeto não esclarecidos nos itens anteriores

Diagrama de blocos ₁

- Apresenta as entradas, saídas, módulos funcionais, barramentos de dados e sinais de controle do sistema;
- Deve conter os mais importantes elementos do sistema e como trabalham juntos;
- Pode ser apresentado de maneira hierárquica, de modo a representar módulos complexos que podem ser detalhados num outro diagrama.
- Cada bloco deve ser rotulado com a função do bloco (evitar usar o nome do C.I.);
- Um barramento de dados é uma coleção de uma ou mais linhas de sinais relacionadas.

Diagrama de blocos 2

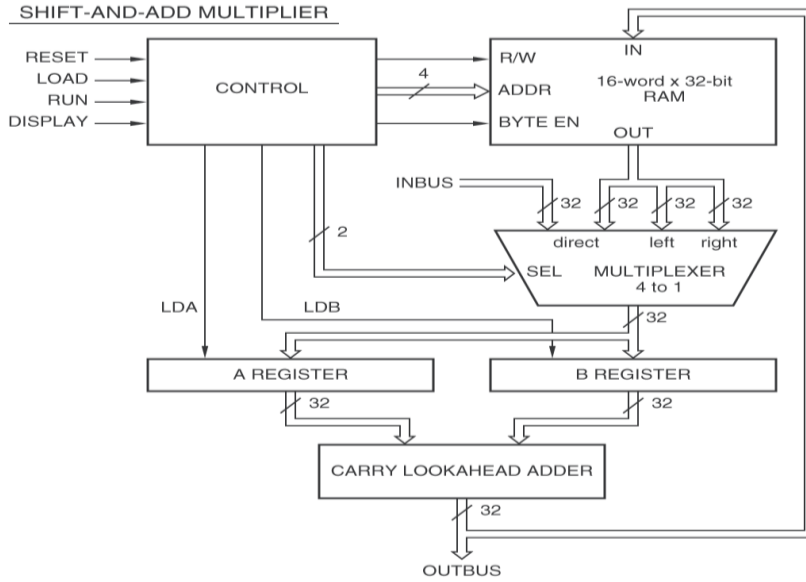
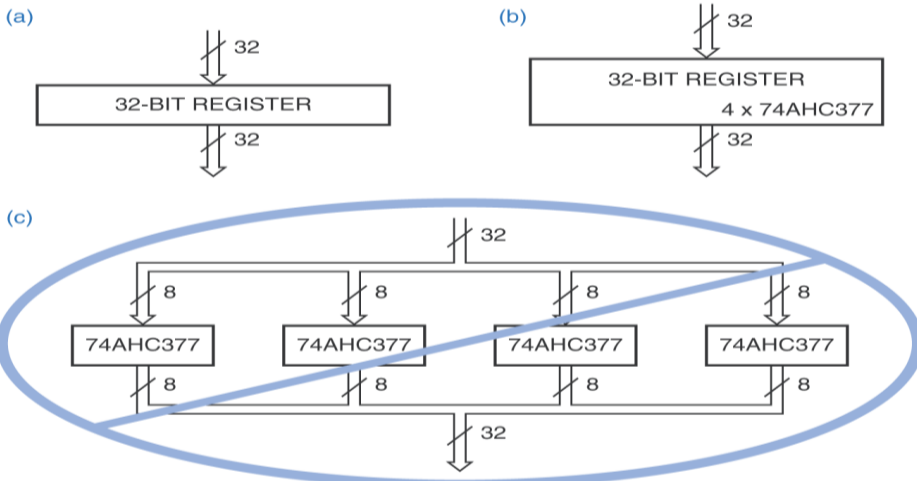
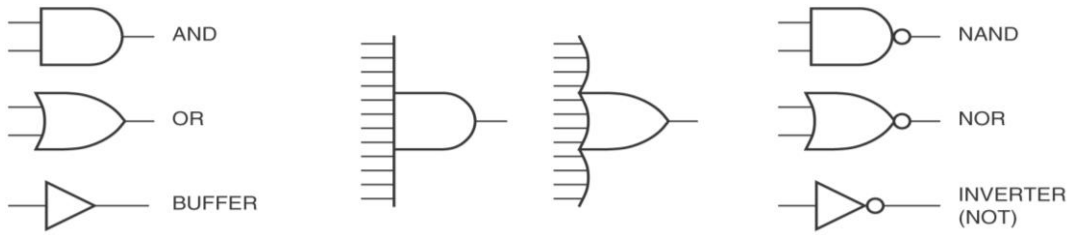


Diagrama de blocos

Detalhes demais



Representações de portas lógicas



DeMorgan

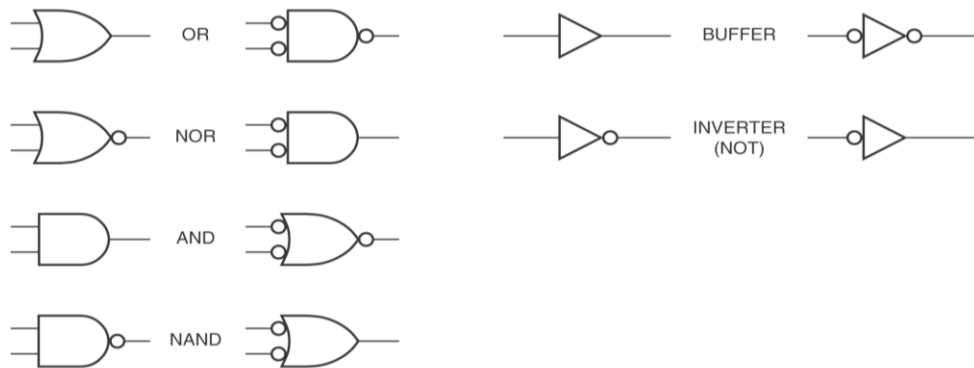


Figure 6-4

Equivalent gate symbols under the generalized DeMorgan's theorem.

Nomes dos Sinais

- Cada entrada e saída de um circuito lógico tem um rótulo alfanumérico (Exemplo anterior: B_L, A_L, M1_L).
- Facilitam a leitura da lógica do circuito. Por exemplo, podem definir uma ação (GO, PAUSE) ou uma condição identificada (READY, ERROR).
- Cada sinal pode ter um Nível Ativo associado.

Níveis Ativos

- Um sinal é Ativo em Alto (Active High), quando executa uma ação ou identifica uma condição quando equivale ao nível lógico “1”. No caso do sinal estar associado ao nível “0” é Ativo em Baixo (Active Low).

<i>Active Low</i>	<i>Active High</i>
READY-	READY+
ERROR.L	ERROR.H
ADDR15(L)	ADDR15(H)
RESET*	RESET
ENABLE-	ENABLE
-GO	GO
/RECEIVE	RECEIVE
TRANSMIT_L	TRANSMIT

Table 6-1

Each line shows a different naming convention for active levels.

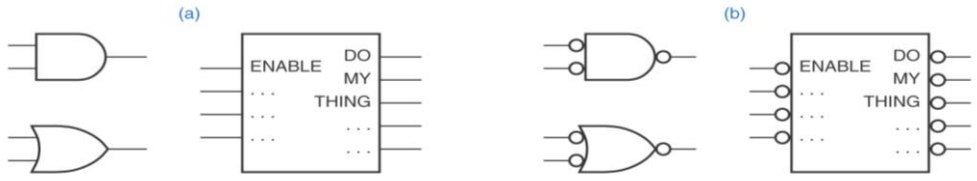


Figure 6-5

Logic symbols: (a) AND, OR, and a larger-scale logic element; (b) the same elements with active-low inputs and outputs.

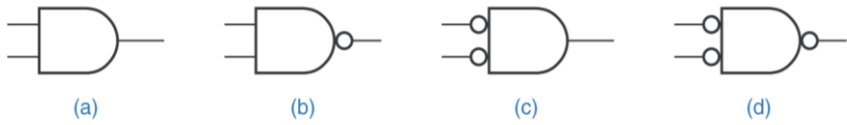


Figure 6-6

Four ways of obtaining an AND function: (a) AND gate; (b) NAND gate; (c) NOR gate; (d) OR gate.

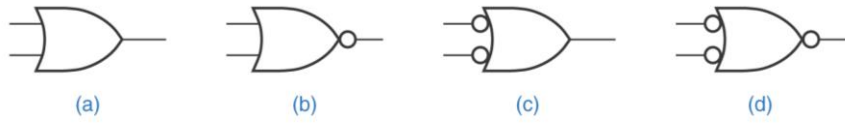


Figure 6-7

Four ways of obtaining an OR function: (a) OR gate; (b) NOR gate; (c) NAND gate; (d) AND gate.

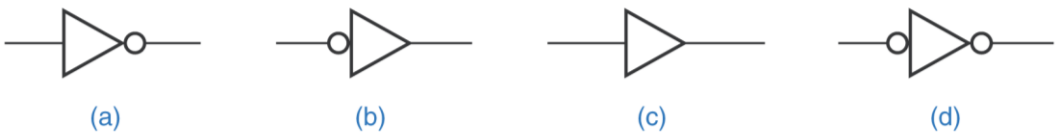


Figure 6-8

Alternate symbols: (a, b) inverters; (c, d) noninverting buffers.



Figure 6-9

Many ways to GO: (a) active-high inputs and output; (b) active-high inputs, active-low output; (c) active-low inputs, active-high output; (d) active-low inputs and output.

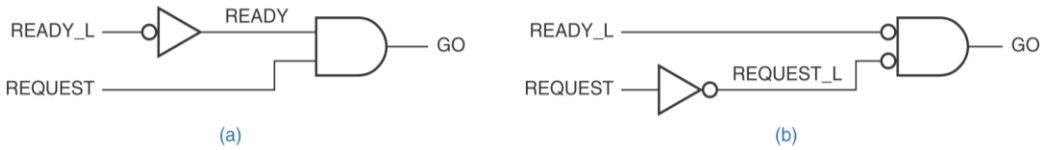


Figure 6-10

Two more ways to GO, with mixed input levels: (a) with an AND gate; (b) with a NOR gate.

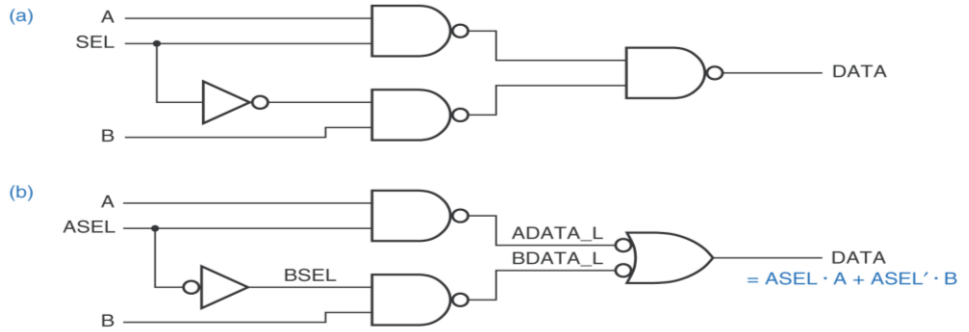


Figure 6-11

A 2-input multiplexer (you're not expected to know what that is yet): (a) cryptic logic diagram; (b) proper logic diagram using active-level designators and alternate logic symbols.

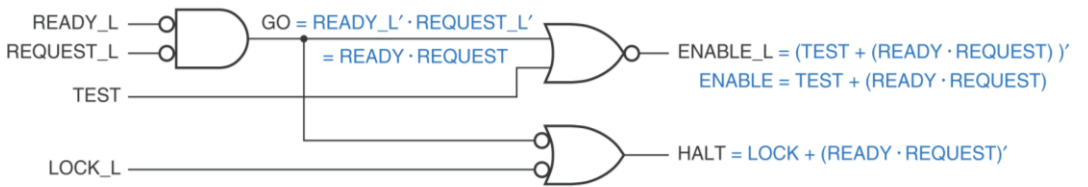


Figure 6-12

Another properly drawn logic diagram.

Desenhando as conexões

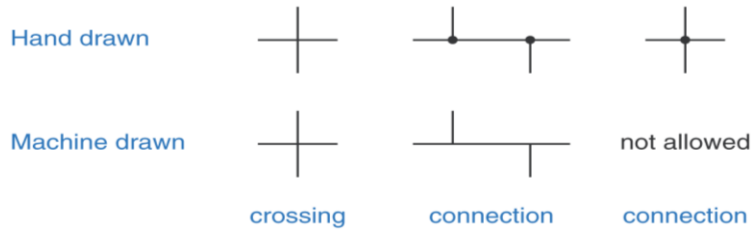
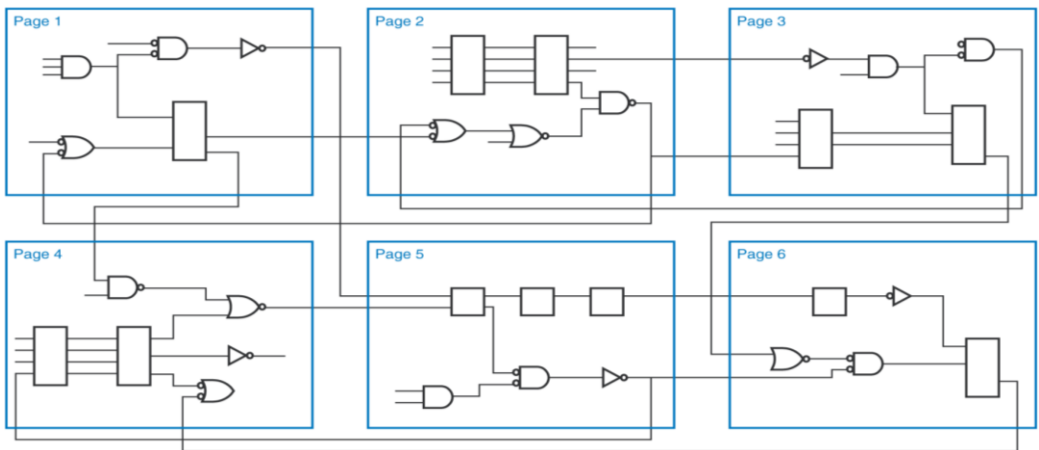
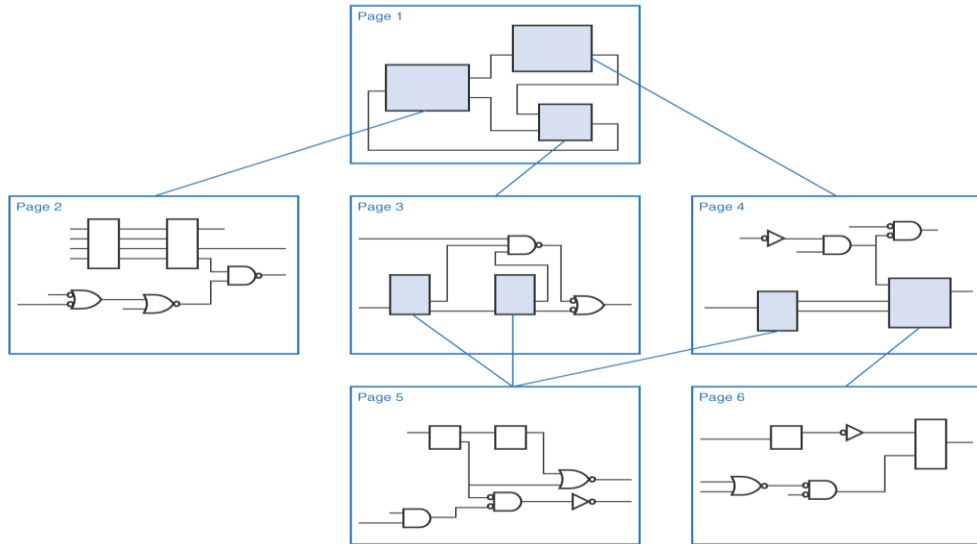


Figure 6-13
Line crossings and connections.

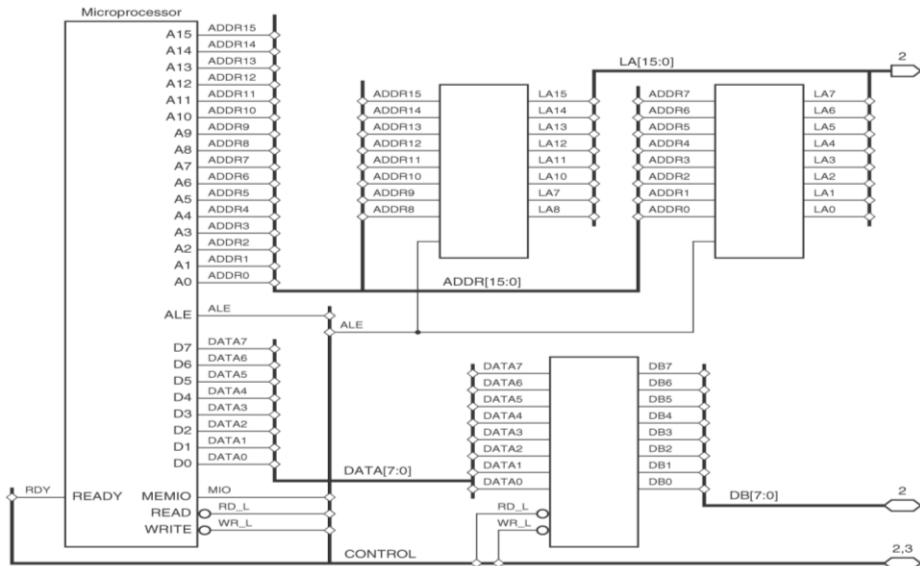
Organização Plana



Organização Hierárquica

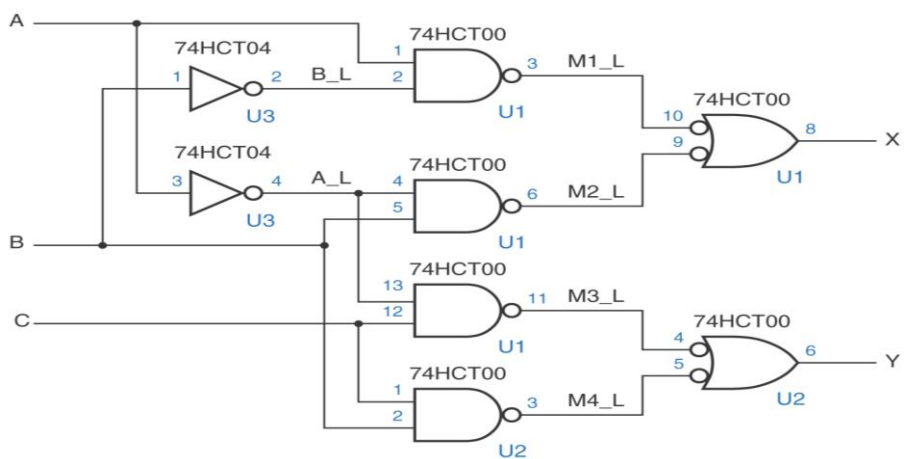


Buses

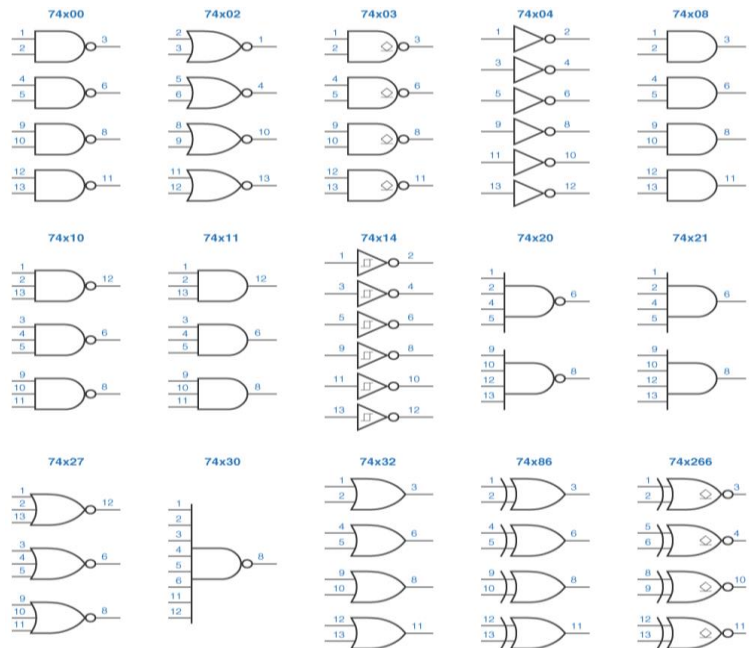


Diagramas Esquemáticos

- Ou diagrama lógico
- Apresenta detalhes dos componentes: entradas, saídas e interconexões;
- Faz referência ao CI (Ex: 7400 -> NAND);
- Representa os pinos;
- Detalha/implementa os Blocos Lógicos.



Pinouts

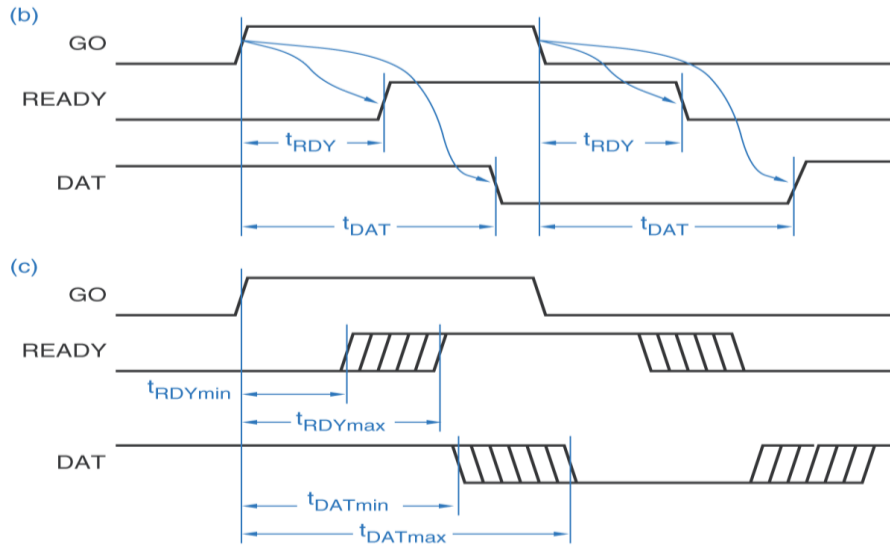


Diagramas de Tempo ₁

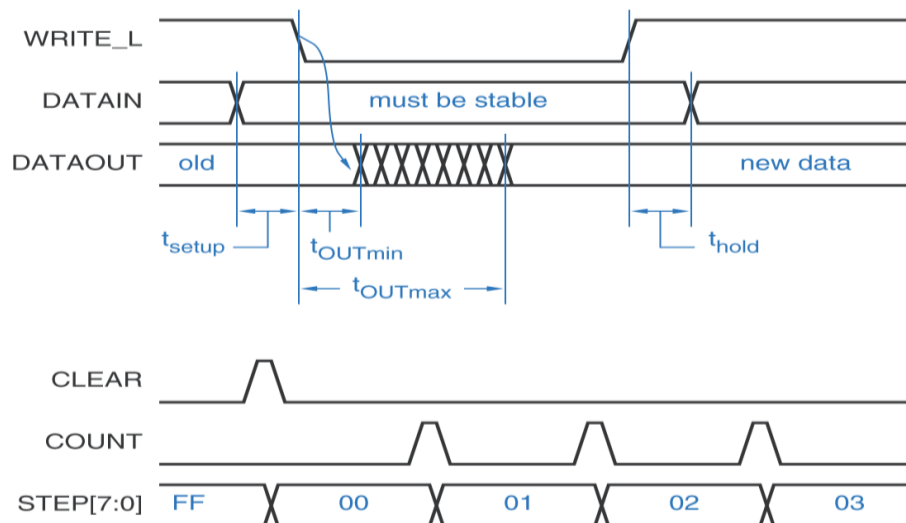
- Ilustra o comportamento lógico de sinais de um circuito digital em função do tempo.
- Possível identificar:
 - causalidade: quais transições no sinal de entrada causam transições no sinal de saída;
 - atraso: tempo entre transições.



Diagramas de Tempo 2



Diagramas de Tempo 3



Atraso de propagação CMOS e TTL SSI

Part Number	74HCT		74AHCT				74LS			
	Typical	Maximum	Typical		Maximum		Typical		Maximum	
	t_{pLH}, t_{pHL}	t_{pLH}, t_{pHL}	t_{pLH}	t_{pHL}	t_{pLH}	t_{pHL}	t_{pLH}	t_{pHL}	t_{pLH}	t_{pHL}
'00, '10	11	35	5.5	5.5	9.0	9.0	9	10	15	15
'02	9	29	3.4	4.5	8.5	8.5	10	10	15	15
'04	11	35	5.5	5.5	8.5	8.5	9	10	15	15
'08, '11	11	35	5.5	5.5	9.0	9.0	8	10	15	20
'14	16	48	5.5	5.5	9.0	9.0	15	15	22	22
'20	11	35					9	10	15	15
'21	11	35					8	10	15	20
'27	9	29	5.6	5.6	9.0	9.0	10	10	15	15
'30	11	35					8	13	15	20
'32	9	30	5.3	5.3	8.5	8.5	14	14	22	22
'86 (2 levels)	13	40	5.5	5.5	10	10	12	10	23	17
'86 (3 levels)	13	40	5.5	5.5	10	10	20	13	30	22

Atraso de propagação CMOS e TTL MSI

Part	From	To	74HCT		74AHCT		74FCT		74LS			
			Typ.	Max.	Typ.	Max.	Typ.	Max.	Typ.	Max.		
			t_{pLH}, t_{pHL}	t_{pLH}, t_{pHL}	t_{pLH}, t_{pHL}	t_{pLH}, t_{pHL}	t_{pLH}, t_{pHL}	t_{pLH}, t_{pHL}	t_{pLH}, t_{pHL}	t_{pLH}, t_{pHL}		
'138	any select	output (2)	23	45	8.1	13	5	9	11	18	20	41
	any select	output (3)	23	45	8.1	13	5	9	21	20	27	39
	G2A, G2B	output	22	42	7.5	12	4	8	12	20	18	32
'139	G1	output	22	42	7.1	11.5	4	8	14	13	26	38
	any select	output (2)	14	43	6.5	10.5	5	9	13	22	20	33
	any select	output (3)	14	43	6.5	10.5	5	9	18	25	29	38
'151	enable	output	11	43	5.9	9.5	5	9	16	21	24	32
	any select	Y	17	51			5	9	27	18	43	30
	any select	Y	18	54			5	9	14	20	23	32
	any data	Y	16	48			4	7	20	16	32	26
	any data	Y	15	45			4	7	13	12	21	20
	enable	Y	12	36			4	7	26	20	42	32
	enable	Y	15	45			4	7	15	18	24	30
'153	any select	output	14	43			5	9	19	25	29	38
	any data	output	12	43			4	7	10	17	15	26
	enable	output	11	34			4	7	16	21	24	32
'157	select	output	15	46	6.8	11.5	7	10.5	15	18	23	27
	any data	output	12	38	5.6	9.5	4	6	9	9	14	14
	enable	output	12	38	7.1	12.0	7	10.5	13	14	21	23
'182	any G1, F1	C1-3	13	41					4.5	4.5	7	7
	any G1, F1	G	13	41					5	7	7.5	10.5
	any F1	F	11	35					4.5	6.5	6.5	10
	CO	C1-3	17	50					6.5	7	10	10.5
	any input	EVEN	18	53			6	10	33	29	50	45
'283	any input	ODD	19	56			6	10	23	31	35	50
	CO	any Si	22	66					16	15	24	24
	any Ai, Bi	any Si	21	61					15	15	24	24
	CO	C4	19	58					11	11	17	22
	any Ai, Bi	C4	20	60					11	12	17	17
'381	CIN	any Fi							18	14	27	21
	any Ai, Bi	G							20	21	30	33
	any Ai, Bi	F							21	33	23	33
	any Ai, Bi	any Fi							20	15	30	23
	any select	any Fi							35	34	53	51
'682	any select	G, F							31	32	47	48
	any Pi	PEQQ	26	69			7	11	13	15	25	25
	any Qi	PEQQ	26	69			7	11	14	15	25	25
	any Pi	PGTQ	26	69			9	14	20	15	30	30
	any Qi	PGTQ	26	69			9	14	21	19	30	30

Exercício

- Considere o exemplo do Somador (Exemplo 5.1).
 - Represente o Diagrama de Blocos do circuito somador de números de 3 bits;
 - Represente o Diagrama Esquemático, detalhando os Sinais.

Tarefas

- Leitura das seções 6.1 e 6.2.
- Exercícios do Capítulo 6 do livro-texto
 - *drill problems 6.1 a 6.15*
 - Exercícios 6.31 a 6.35