

PCS 3115

Sistemas Digitais I

Análise e Síntese de Circuitos Combinatórios

Prof. Dr. Marcos A. Simplicio Jr.

Adapatdo por Glauber De Bona (2018)

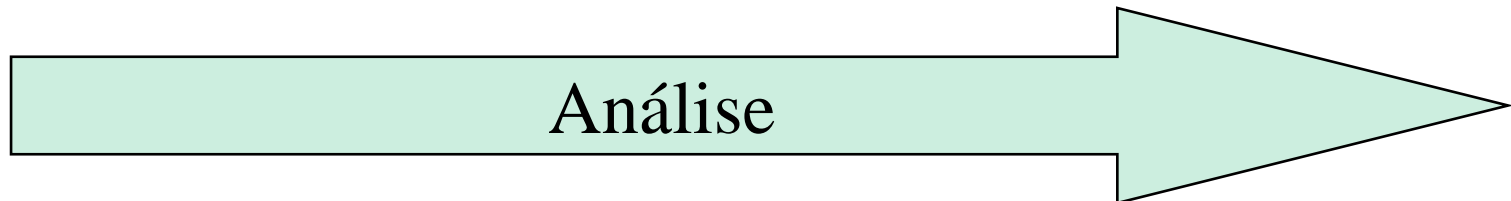
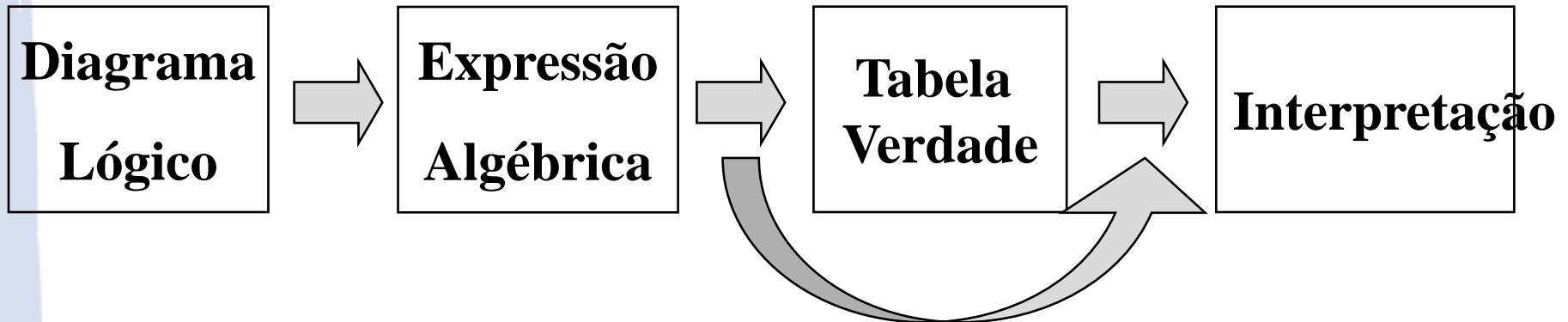
O que vimos até agora

- Sistemas de numeração posicionais, em especial o binário com complemento de 2: como representar o mundo real usando apenas dois símbolos (bits)...
- Implementação de portas lógicas na tecnologia CMOS: como representar bits com voltagens e realizar operações básicas (NOT, AND, OR) com transistores.
- Álgebra Booleana ou de Chaveamento: como usar as operações básicas para representar qualquer função de bits para bit.

Conteúdo da Aula de Hoje

- **Análise** de circuitos combinatórios: Obter a função lógica a partir de um circuito combinatório (Wakerly 4.2)
- **Síntese**: Obter o circuito combinatório (diagrama) a partir de uma função lógica (Wakerly 4.3.1 e 4.3.2)

Síntese e Análise

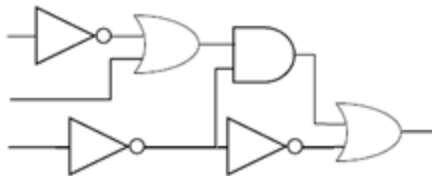


Análise de Circuitos Combinatórios

- **Circuito Combinatório:** sem memória
 - Saída depende apenas das entradas no instante presente
- **Logo:** saída pode ser representada por função do tipo $f_n(x_1, x_2, \dots, x_n)$,
 - (x_1, x_2, \dots, x_n) : entradas lógicas

Análise de Circuitos Combinatórios

- **Análise:** diagrama lógico p/ expressão de chaveamento
- O que permite construir diagramas diferentes e/ou otimizações



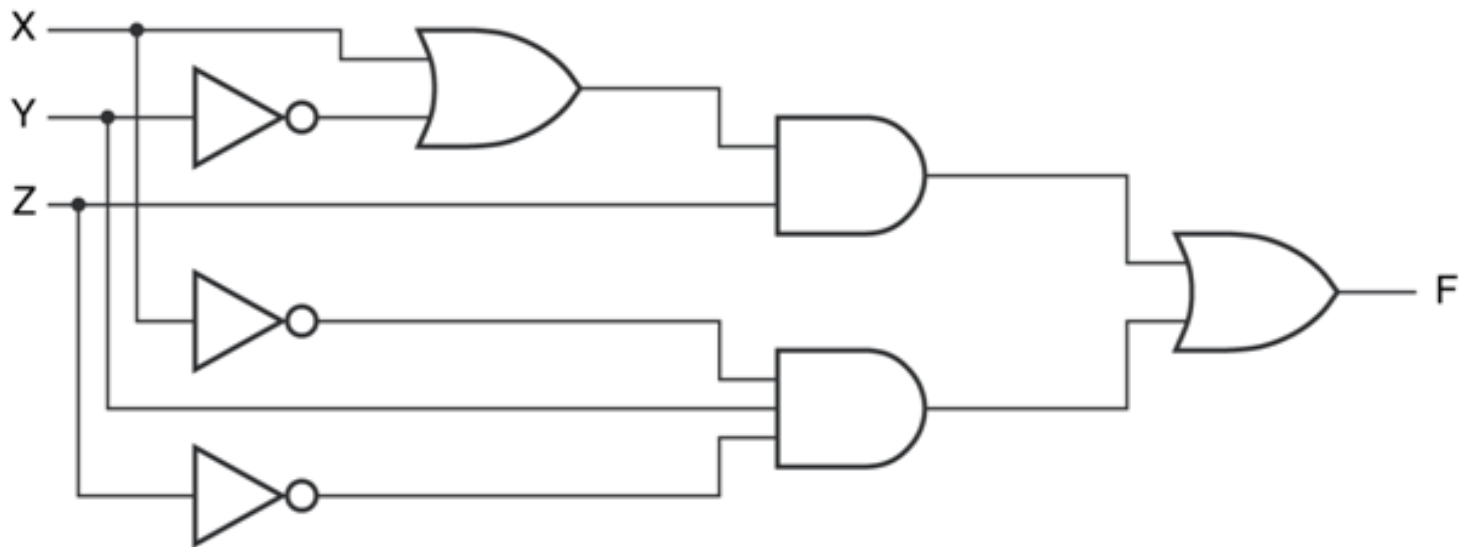
**Estrutura exposta,
comportamento escondido
(mas pode ser extraído)**

$$F = [(X'+Y) \cdot Z'] + Z$$

**Comportamento exposto,
estrutura escondida
(várias estruturas possíveis)**

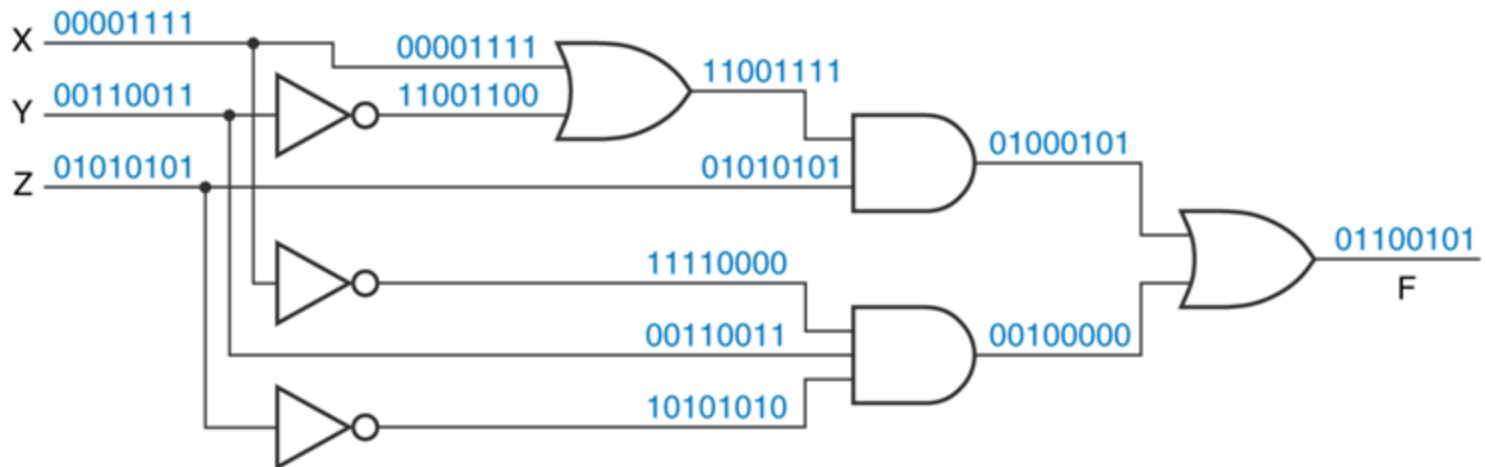
Análise de Circuitos Combinatórios

- O que faz este circuito?



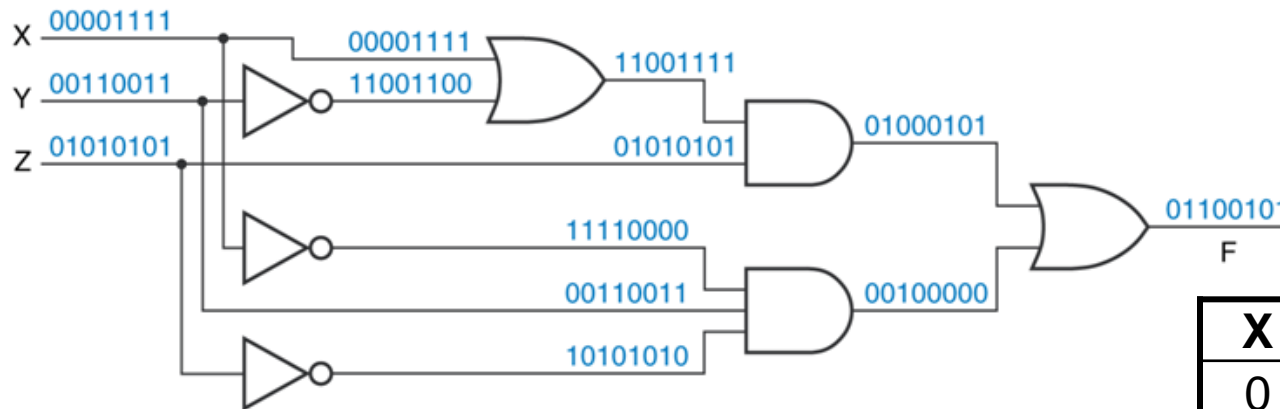
Análise de Circuitos Combinatórios

- O que faz este circuito?
 - Podemos tentar listar todas as entradas/saídas possíveis...



Análise de Circuitos Combinatórios

- O que faz este circuito?
 - ... e obter a tabela verdade ...

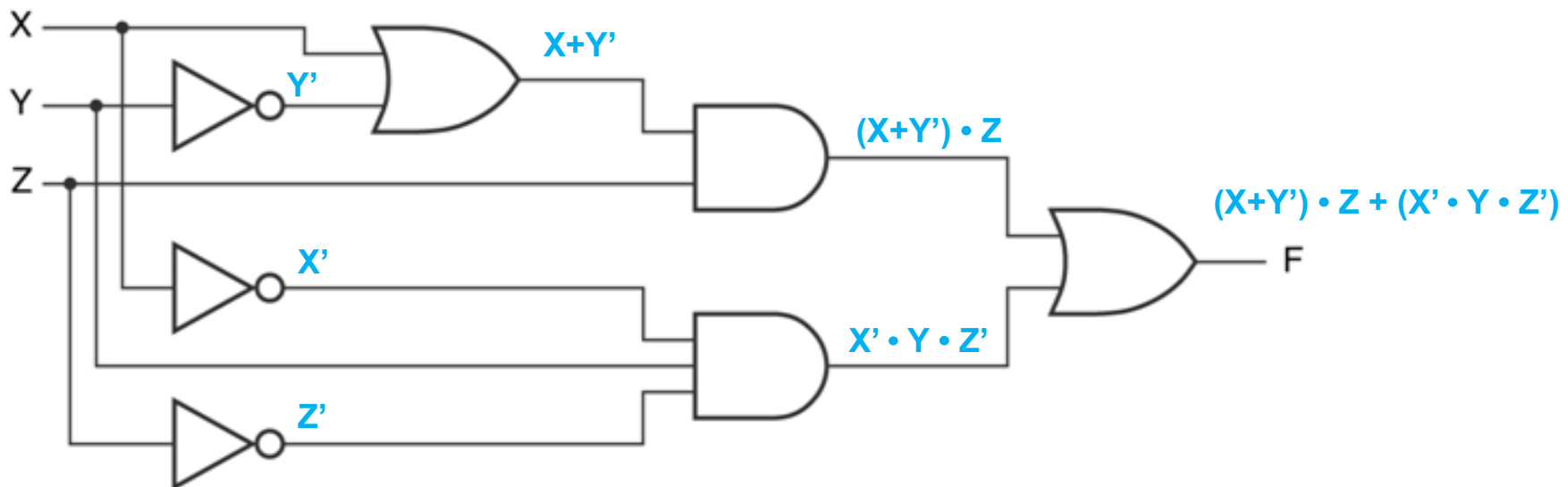


- Aí, podem-se obter os **min/maxtermos**
- Mas isso é **pouco viável** com muitas entradas...

X	Y	Z	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

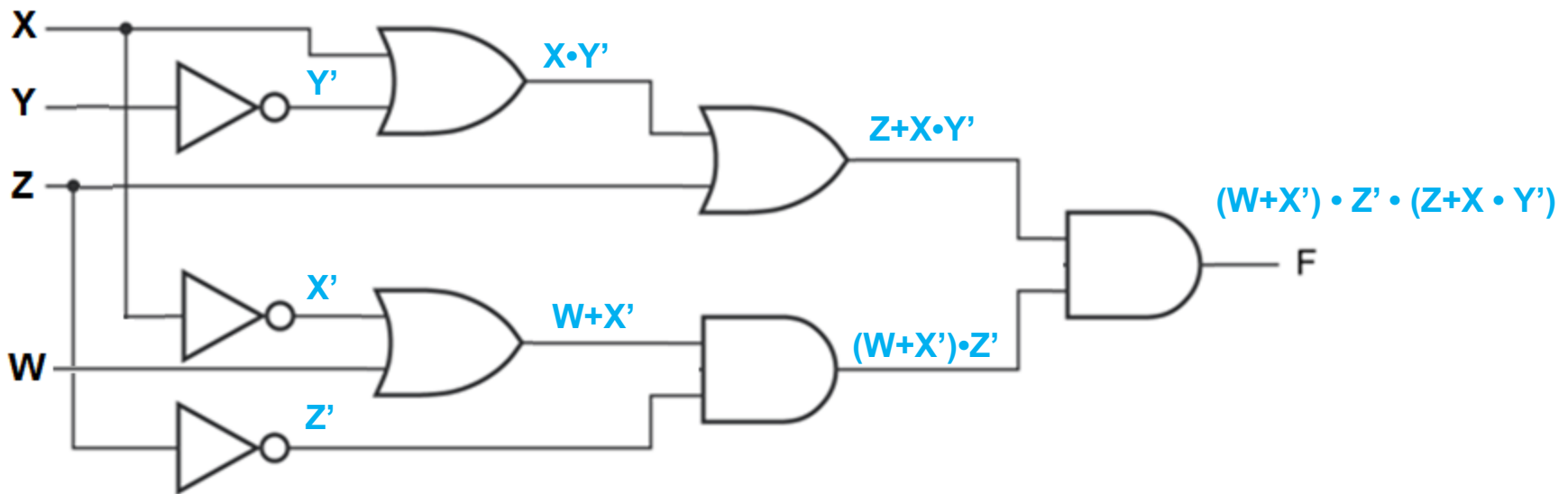
Análise de Circuitos Combinatórios

- O que faz este circuito?
 - Forma mais prática: escrever a **expressão lógica** para o circuito, **propagando sinais da entrada até a saída**



Análise de Circuitos Combinatórios

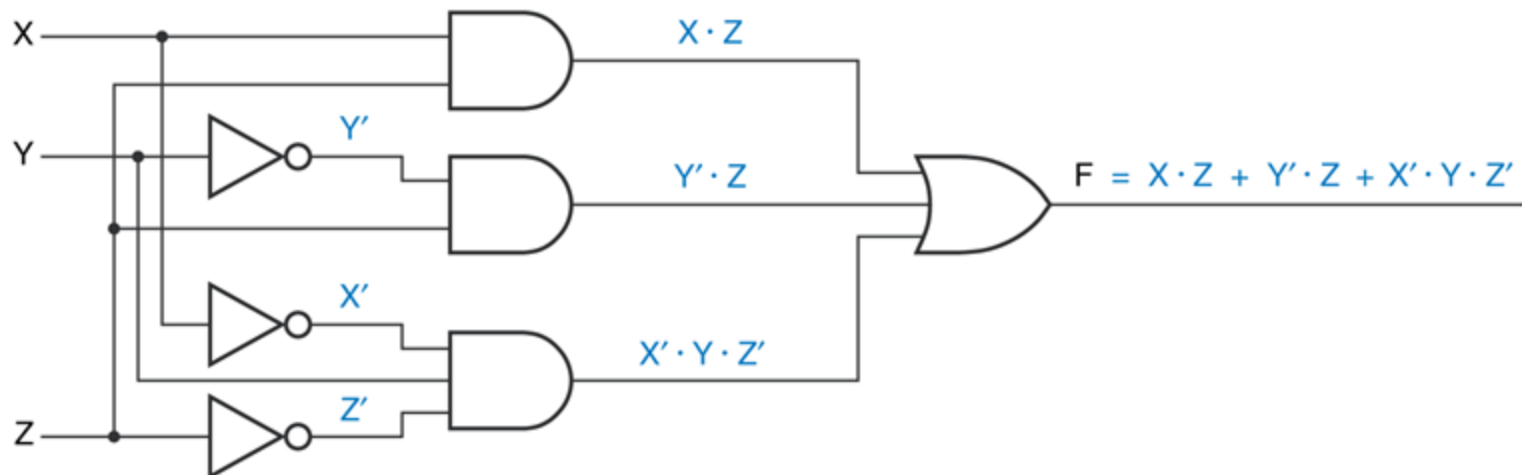
- Exemplo/Exercício: O que faz o circuito abaixo?



Análise de Circuitos Combinatórios

- Pode-se manipular a expressão algébrica para obter estruturas equivalentes para um mesmo circuito
 - Basta aplicar os teoremas da álgebra de chaveamento
- Ex.: distributiva do “•” → soma de produtos

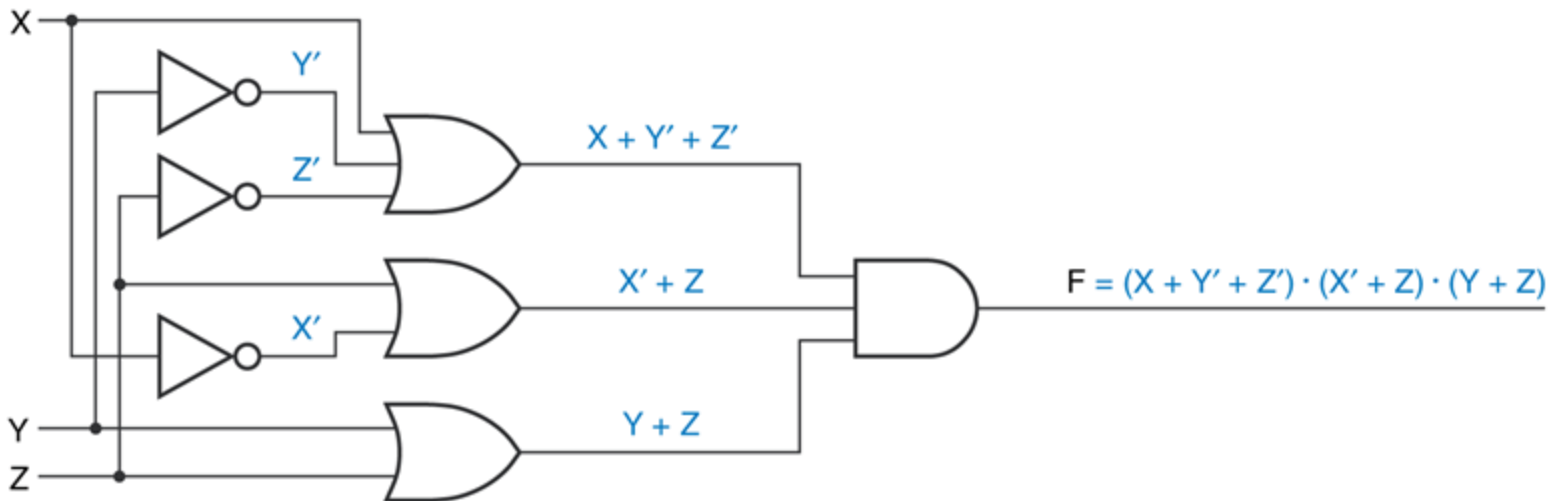
$$\begin{aligned} F &= (X+Y') \cdot Z + (X' \cdot Y \cdot Z') \\ &= X \cdot Z + Y' \cdot Z + X' \cdot Y \cdot Z' \end{aligned}$$



Análise de Circuitos Combinatórios

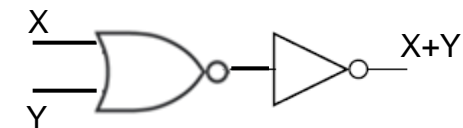
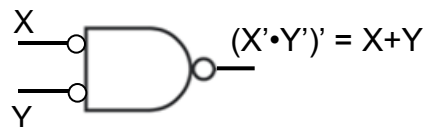
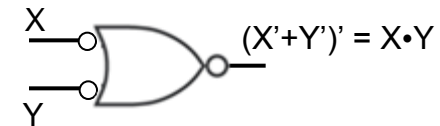
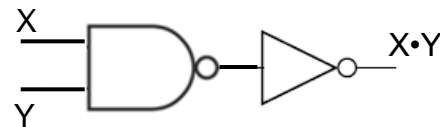
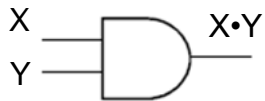
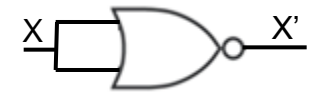
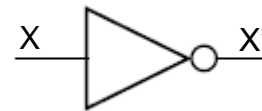
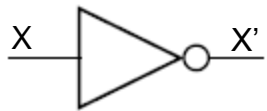
- Ex.: distributiva do “+” → produto de somas

$$\begin{aligned} F &= ((X+Y') \cdot Z) + (X' \cdot Y \cdot Z') \\ &= (X+Y'+X') \cdot (X+Y'+Y) \cdot (X+Y'+Z') \cdot (Z+X') \cdot (Z+Y) \cdot (Z+Z') \\ &= 1 \cdot 1 \cdot (X+Y'+Z') \cdot (X'+Z) \cdot (Y+Z) \cdot 1 \\ &= (X+Y'+Z') \cdot (X'+Z) \cdot (Y+Z) \end{aligned}$$



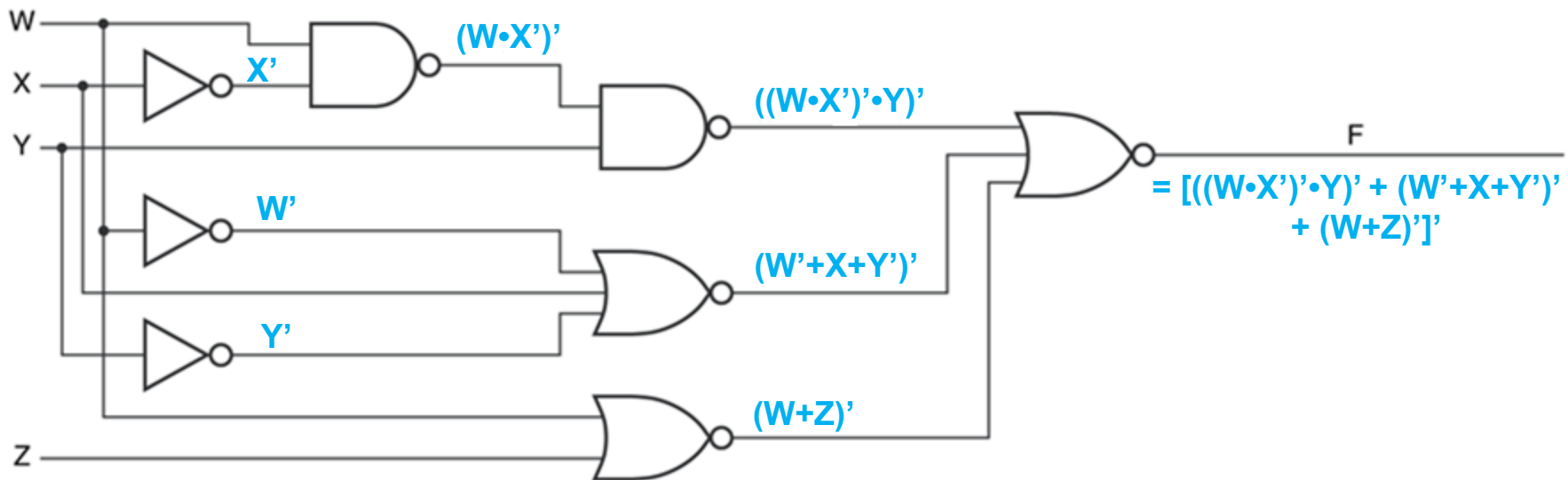
Análise de Circuitos Combinatórios

- Pode-se também analisar circuitos que usam portas NAND e NOR
 - Interesse: pode-se construir qualquer circuito com apenas essas portas, pois elas podem implementar AND, OR, NOT



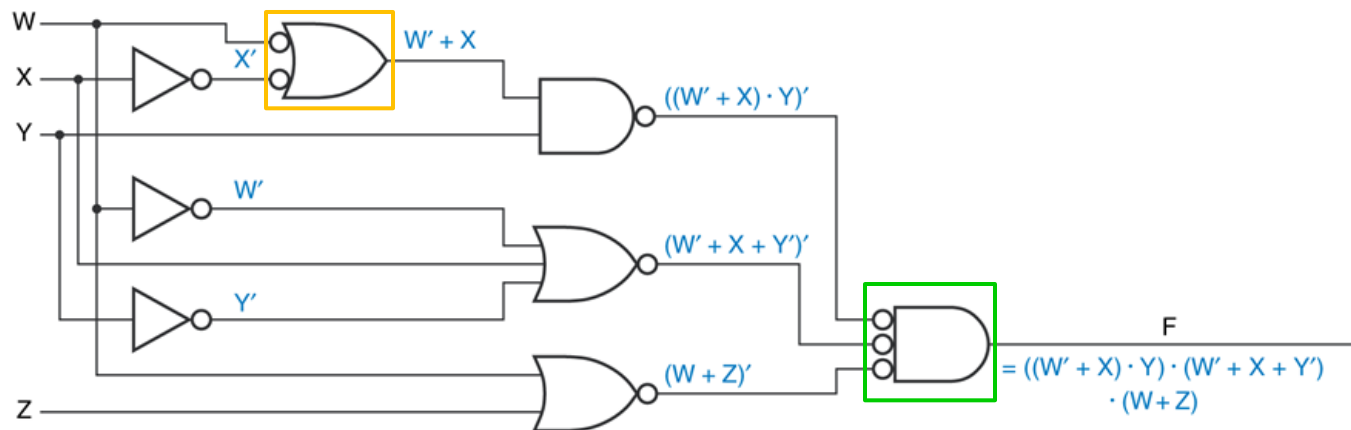
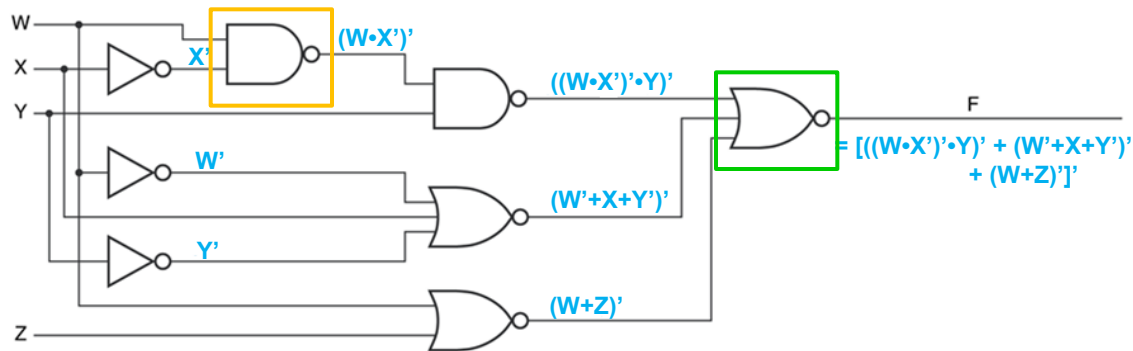
Análise de Circuitos Combinatórios

- Pode-se também analisar circuitos que usam portas NAND e NOR
 - O que faz o circuito abaixo?



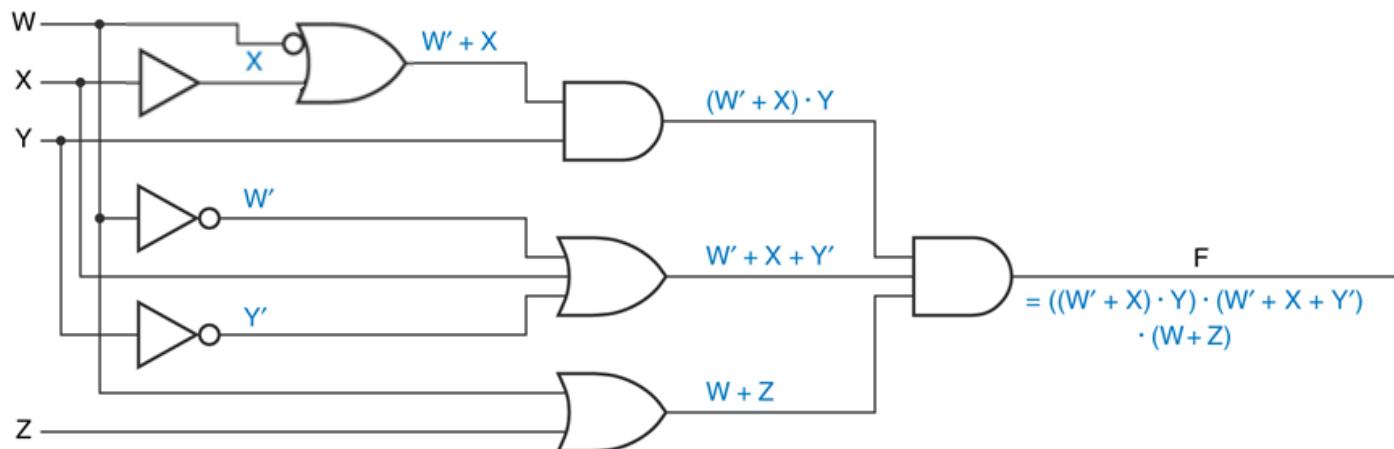
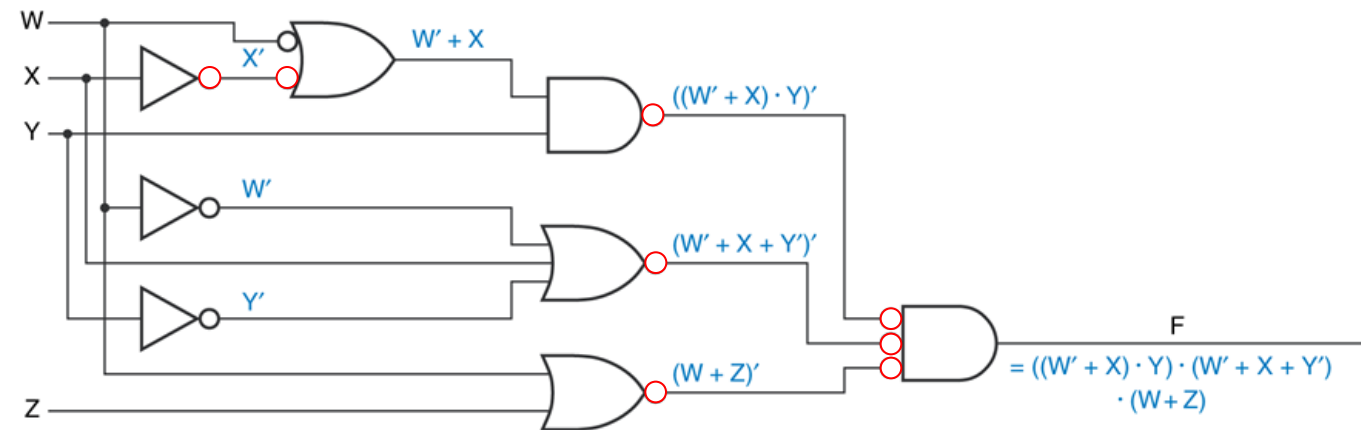
Análise de Circuitos Combinatórios

- Pode-se também analisar circuitos com NAND e NOR
- Simplificações possíveis usando Teorema de DeMorgan



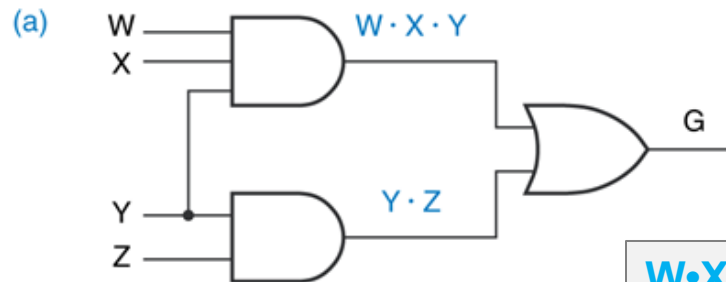
Análise de Circuitos Combinatórios

- Pode-se também analisar circuitos com NAND e NOR
- E simplificações do circuito eliminando NOTs



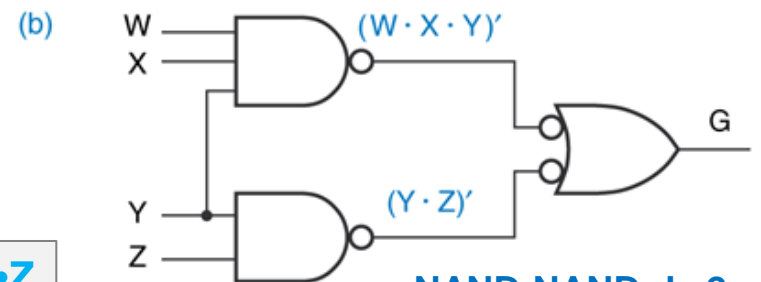
Análise de Circuitos Combinatórios

- Em resumo: várias estruturas para cada função lógica
 - Processo de análise permite obter uma descrição genérica que serve para qualquer uma delas

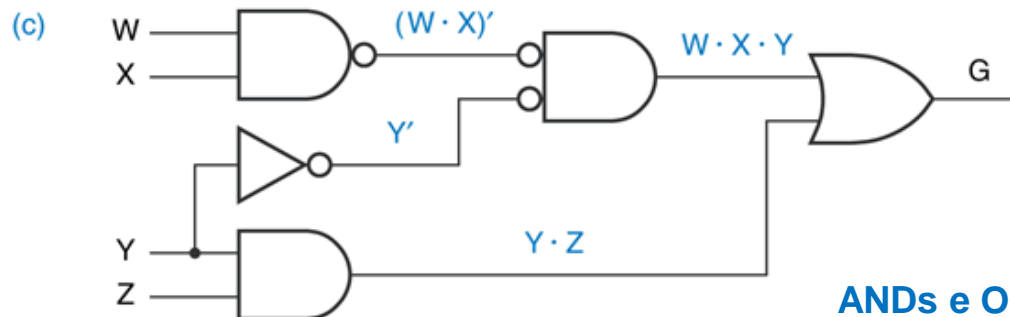


E-OU de 2 níveis

$$W \cdot X \cdot Y + Y \cdot Z$$

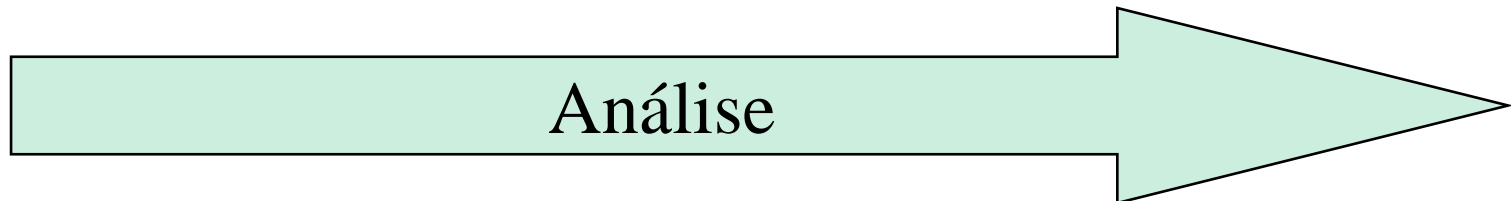
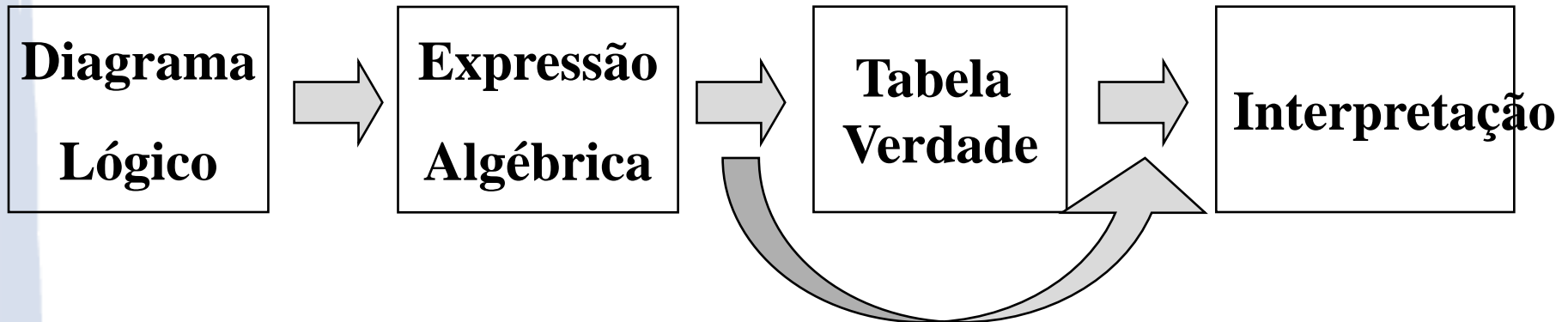


NAND-NAND de 2 níveis



ANDs e ORs

Síntese e Análise

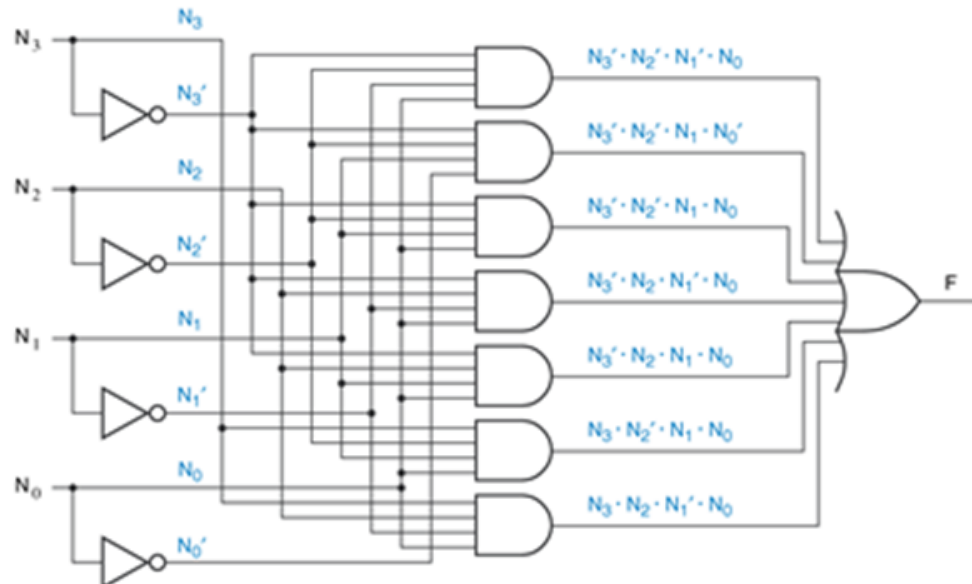


Síntese de Circuitos Combinatórios

- Dada a descrição do problema, interpretar, fazer a descrição lógica (VHDL, Tabela Verdade, expressão algébrica e simplificações) até obter o diagrama lógico para implementação.
- Métodos vistos até o momento são a base para o processo.... Vamos ver isso em um exemplo: detector de números primos de 4 bits
 - Quais as entradas que levam a uma saída 1?
 - Descreva esse circuito na forma de soma de mintermos
 - Desenhe esse circuito com portas lógicas

Ex: detector de n^o primo (4 bits)

- Dada uma entrada de 4 bits $N = N_3N_2N_1N_0$, produza saída 1 para $N = \{1,2,3,5,7,11,13\}$, e 0 caso contrário.
 - Nota: 1 não é de fato um primo, mas vamos considerar que ele é porque isso leva a um design mais interessante
- Soma de mintermos: $F = \sum_{N_3N_2N_1N_0} (1,2,3,5,7,11,13)$



Ex: sistema de alarme

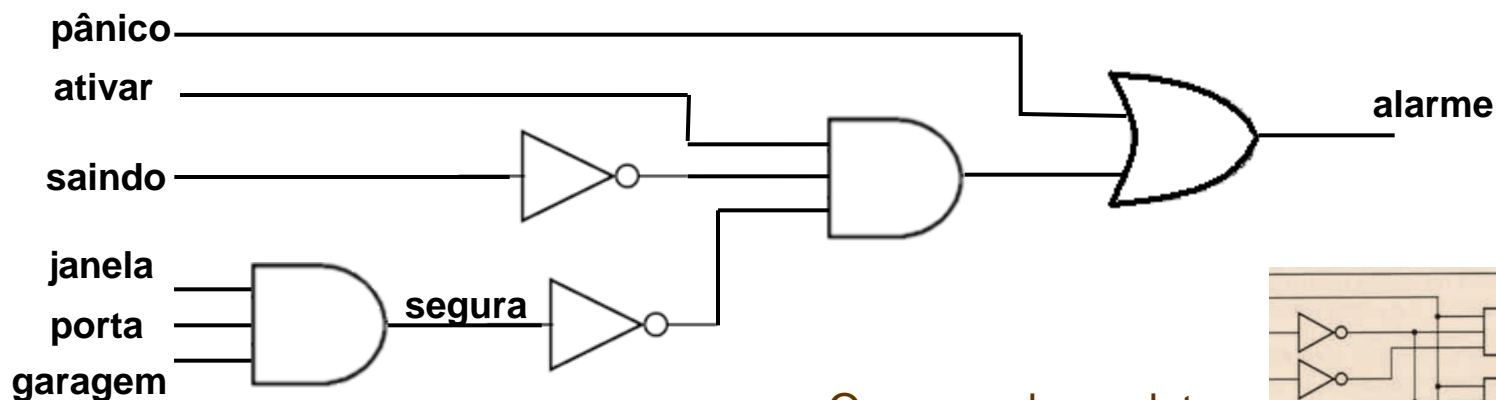
- “O **alarme** é ativado (saída = 1) se a entrada de **pânico** for 1, ou se a entrada **ativar** for 1 e **saindo** for 0 e se a casa não estiver **segura**. A casa está segura se as entradas **janela**, **porta** e **garagem** forem todas 1”

Ex: sistema de alarme

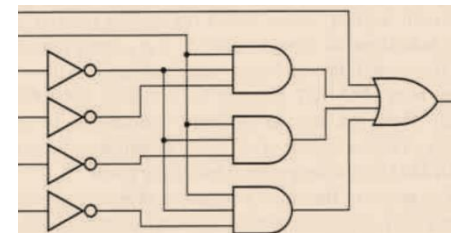
- “O **alarme** é ativado (saída = 1) se a entrada de **pânico** for 1, ou se a entrada **ativar** for 1 e **saindo** for 0 e se a casa não estiver **segura**. A casa está segura se as entradas **janela**, **porta** e **garagem** forem todas 1”

- $\text{alarme} = \text{panico} + \text{ativar} \cdot \text{saindo}' \cdot \text{segura}'$
- $\text{segura} = \text{janela} \cdot \text{porta} \cdot \text{garagem}$

→ $\text{alarme} = \text{panico} + \text{ativar} \cdot \text{saindo}' \cdot (\text{janela} \cdot \text{porta} \cdot \text{garagem})'$

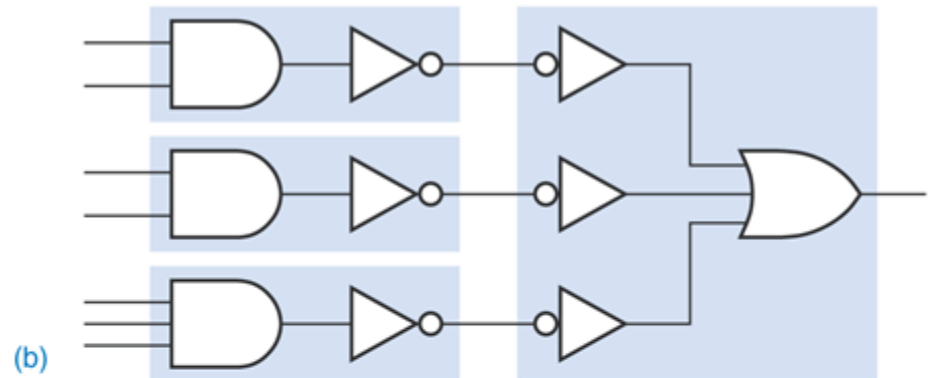
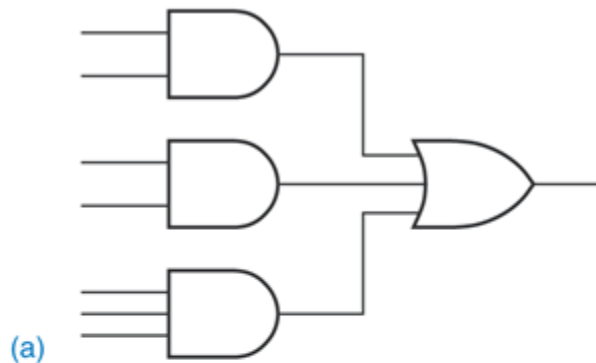


Ou soma de produtos:



Soma de produtos e NANDs

- Conversão de circuito com ANDs/ORs para NANDs: nega-se saída da camada AND e entrada da camada OR. **Exemplo 1:**

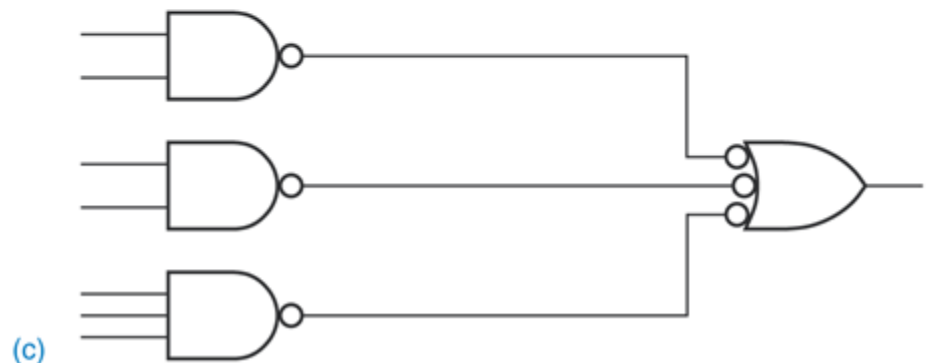


Estruturas alternativas
para soma de produtos:

(a) AND-OR,

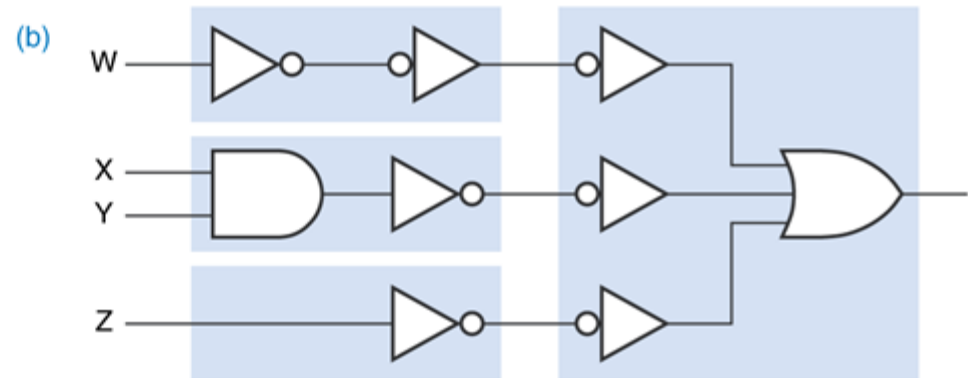
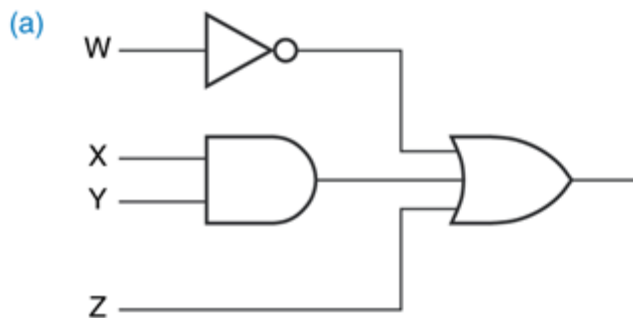
(b) AND-OR com pares de
inversores extras

(c) NAND-NAND



Soma de produtos e NANDs

- Conversão de circuito com ANDs/ORs para NANDs: nega-se saída da camada AND e entrada da camada OR. **Exemplo 2:**

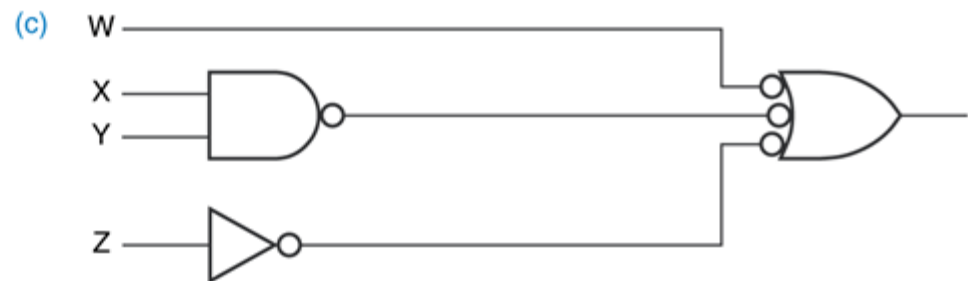


Estruturas alternativas
para soma de produtos:

(a) AND-OR,

(b) AND-OR com pares de
inversores extras

(c) NAND-NAND



Produto de somas e NORs

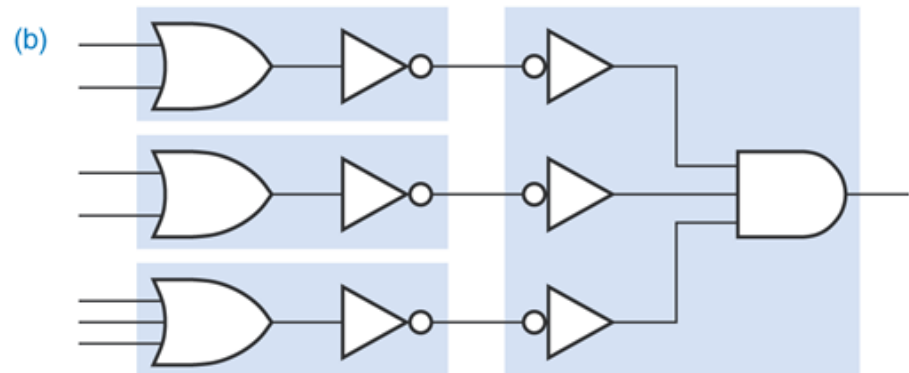
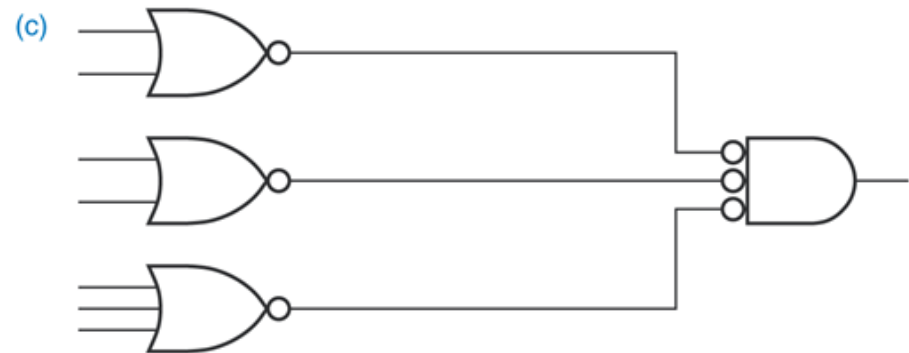
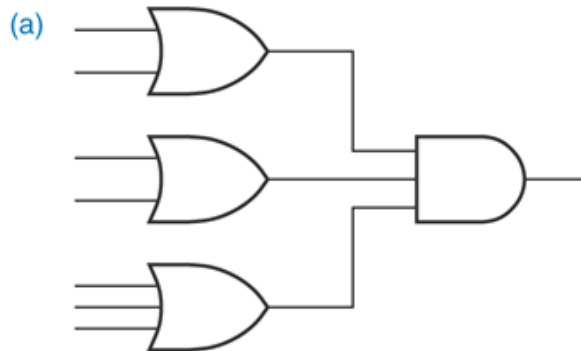
- Conversão de circuito com ANDs/ORs para NORs: nega-se saída da camada OR e entrada da camada AND. **Exemplo 1:**

Estruturas alternativas para produtos de somas:

(a) OR-AND,

(b) OR-AND com pares de inversores extras

(c) NOR-NOR



Outras manipulações

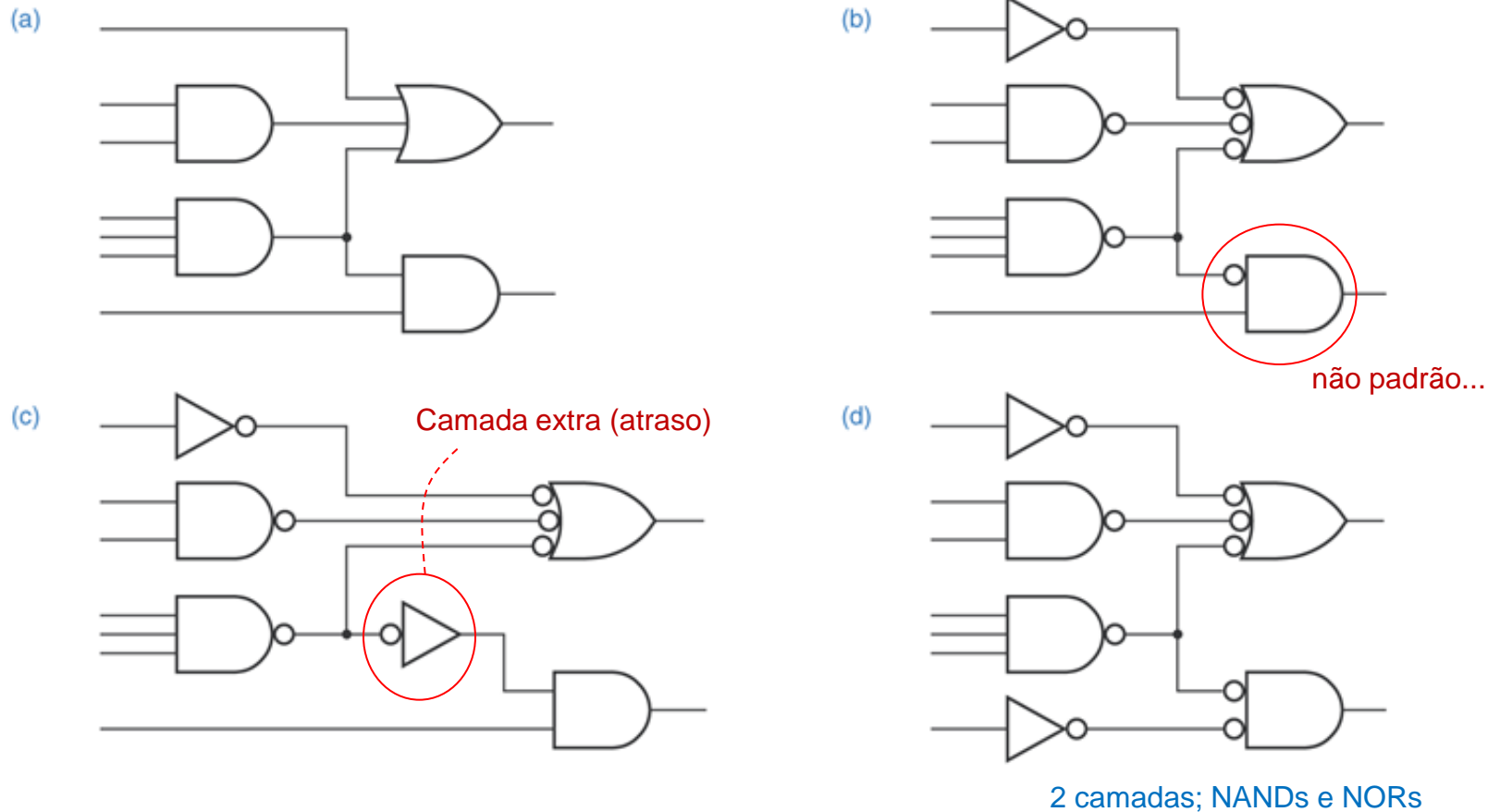


Figure 4-24

Logic-symbol manipulations: (a) original circuit;(b) transformation with a nonstandard gate;
(c) inverter used to eliminate nonstandard gate; (d) preferred inverter placement.