

PCS 3115 (PCS2215)

Sistemas Digitais I

Tecnologia CMOS

Prof. Dr. Marcos A. Simplicio Jr.

versão: 3.0 (Jan/2016)

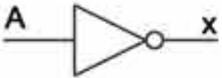
Adaptado por Glauber De Bona (2018)



Conteúdo – Parte 1

- Breve Histórico da Tecnologia
- MOSFET: Características e Funcionamento
- Portas Lógicas CMOS:
 - Inversor, NAND e NOR, Buffer não-inversor
 - Fan-in

Portas Lógicas

Name	NOT	AND	NAND	OR	NOR																																																																		
Symbol																																																																							
Truth Table	<table border="1"> <thead> <tr> <th>A</th> <th>X</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	X	0	1	1	0	<table border="1"> <thead> <tr> <th>B</th> <th>A</th> <th>X</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	B	A	X	0	0	0	0	1	0	1	0	0	1	1	1	<table border="1"> <thead> <tr> <th>B</th> <th>A</th> <th>X</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	B	A	X	0	0	1	0	1	1	1	0	1	1	1	0	<table border="1"> <thead> <tr> <th>B</th> <th>A</th> <th>X</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	B	A	X	0	0	0	0	1	1	1	0	1	1	1	1	<table border="1"> <thead> <tr> <th>B</th> <th>A</th> <th>X</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	B	A	X	0	0	1	0	1	0	1	0	0	1	1	0
A	X																																																																						
0	1																																																																						
1	0																																																																						
B	A	X																																																																					
0	0	0																																																																					
0	1	0																																																																					
1	0	0																																																																					
1	1	1																																																																					
B	A	X																																																																					
0	0	1																																																																					
0	1	1																																																																					
1	0	1																																																																					
1	1	0																																																																					
B	A	X																																																																					
0	0	0																																																																					
0	1	1																																																																					
1	0	1																																																																					
1	1	1																																																																					
B	A	X																																																																					
0	0	1																																																																					
0	1	0																																																																					
1	0	0																																																																					
1	1	0																																																																					

Famílias Lógicas

- 1930: relés (relay)
- 1940: tubo a vácuo (ENIAC)
- 1950: invenção do diodo semicondutor e transistor bipolar
- 1960: CI e conceito de famílias lógicas
 - TTL: transistor-transistor logic
 - MOSFET: princípios anteriores a TTL, porém implementação difícil na década de 60
 - Metal-oxide semiconductor field-effect transistor
 - CMOS: metade da década de 80, mais rápido, mais utilizado atualmente

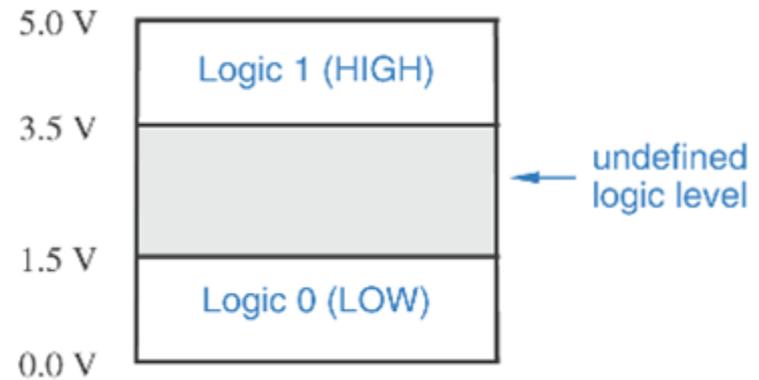
Representação de bits

<i>Technology</i>	<i>State Representing Bit</i>	
	<i>0</i>	<i>1</i>
Pneumatic logic	Fluid at low pressure	Fluid at high pressure
Relay logic	Circuit open	Circuit closed
Complementary metal-oxide semiconductor (CMOS) logic	0–1.5 V	3.5–5.0 V
Transistor-transistor logic (TTL)	0–0.8 V	2.0–5.0 V
Dynamic memory	Capacitor discharged	Capacitor charged
Nonvolatile, erasable memory	Electrons trapped	Electrons released
Microprocessor on-chip serial number	Fuse blown	Fuse intact
Polymer memory	Molecule in state A	Molecule in state B
Fiber optics	Light off	Light on
Magnetic disk or tape	Flux direction “north”	Flux direction “south”
Compact disc (CD)	No pit	Pit
Writeable compact disc (CD-R)	Dye in crystalline state	Dye in noncrystalline state

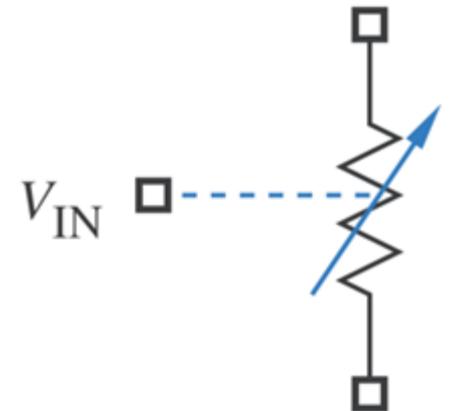
From *Digital Design: Principles and Practices*, Fourth Edition, John F. Wakerly, ISBN 0-13-186389-4.
©2006, Pearson Education, Inc., Upper Saddle River, NJ. All rights reserved.

Características físicas

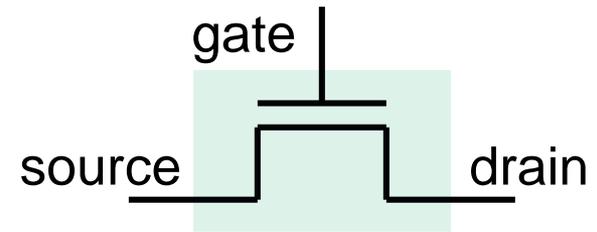
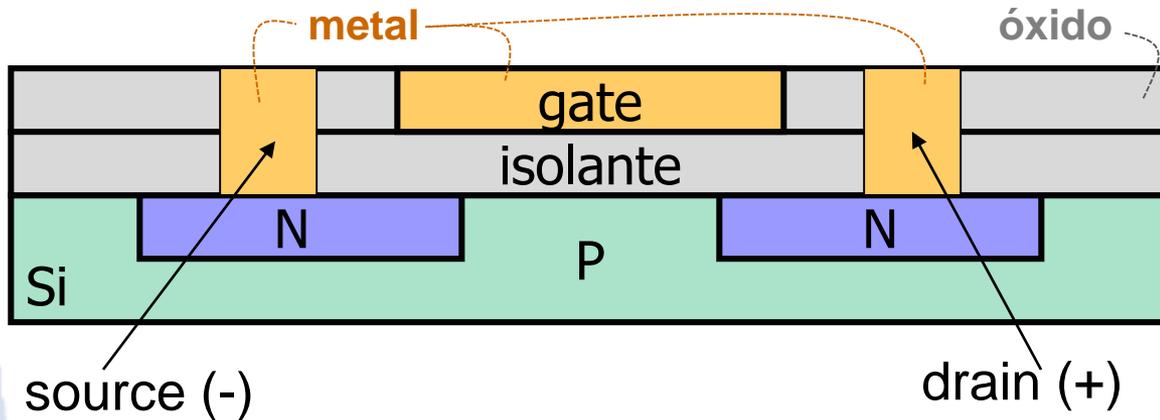
- CMOS: usa-se low/high ou invés de 0/1
- Lógica positiva:
 - 0 = low e 1 = high
- Lógica negativa:
 - 1 = low e 0 = high



- Funcionamento: **resistância controlada por tensão**
 - Chave aberta: transistor off
 - Resistência muito alta: $>1 \text{ M}\Omega$ (mega Ohms)
 - Chave fechada: transistor on
 - Resistência muito baixa: alguns poucos Ω

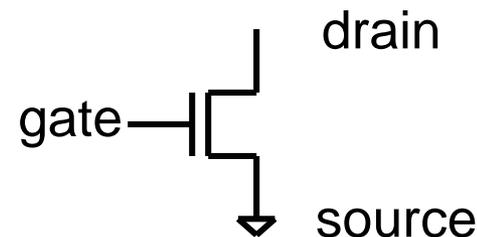


Características físicas NMOS

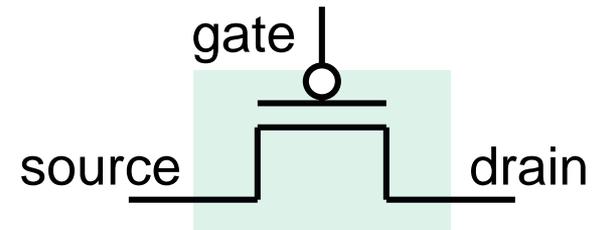
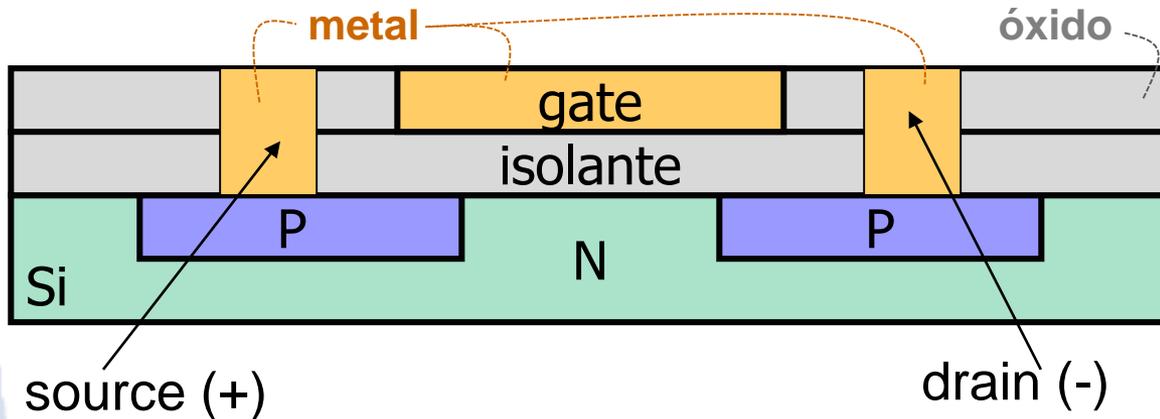


- Região P normalmente isola fonte (*source*) e dreno (*drain*): alta resistência, de Mega Ohms (**transistor off**)
- $V_{\text{gate}} - V_{\text{source}} > \text{limiar} > 0$:
Tensão no *gate* atrai elétrons entre fonte e dreno, criando canal de baixa resistência, de poucos Ohms (**transistor on**)

N-MOS: conduz com $V_g = 1$ lógico

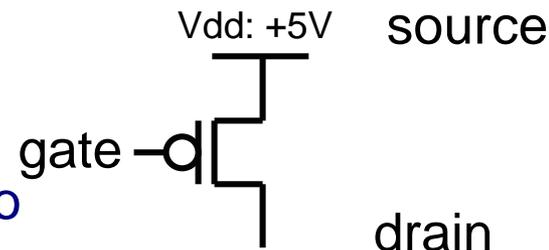


Características físicas PMOS



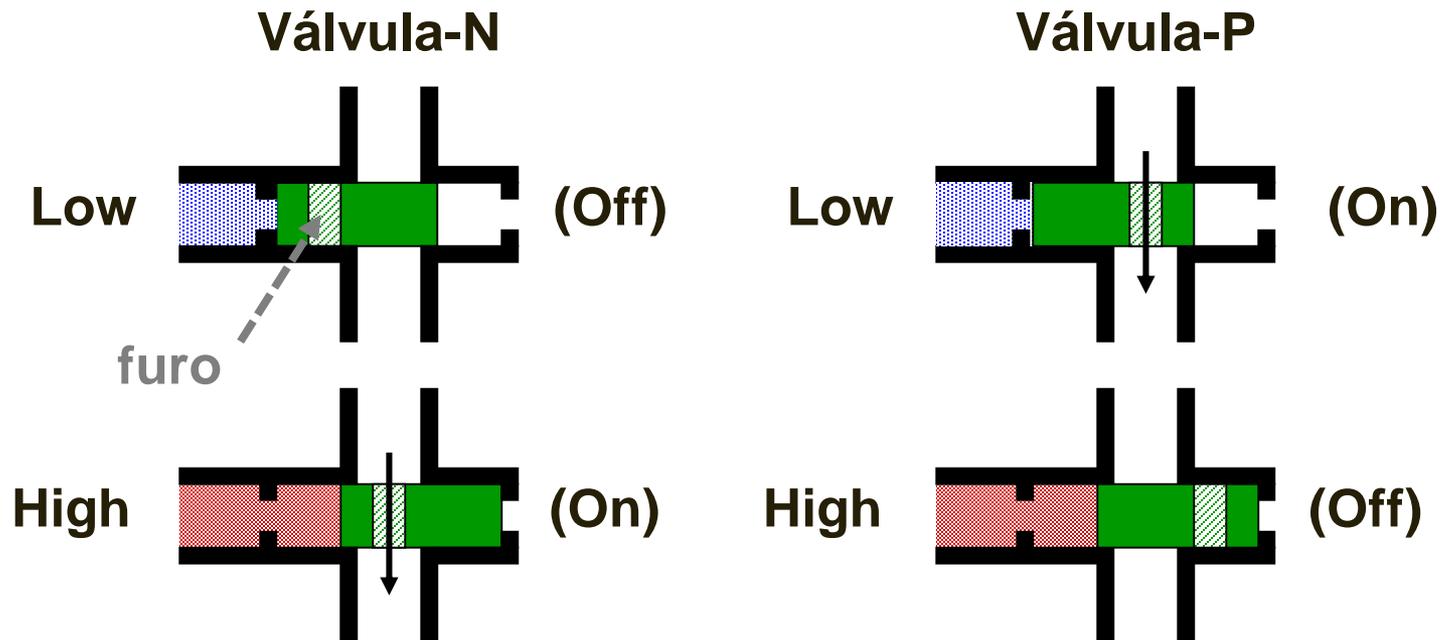
- Região P normalmente isola fonte (*source*) e dreno (*drain*): alta resistência, de Mega Ohms (**transistor off**)
- $V_{\text{gate}} - V_{\text{source}} < \text{limiar} < 0$:
Tensão no *gate* atrai elétrons entre fonte e dreno, criando canal de baixa resistência, de poucos Ohms (**transistor on**)

P-MOS: conduz com $V_g=0$ lógico

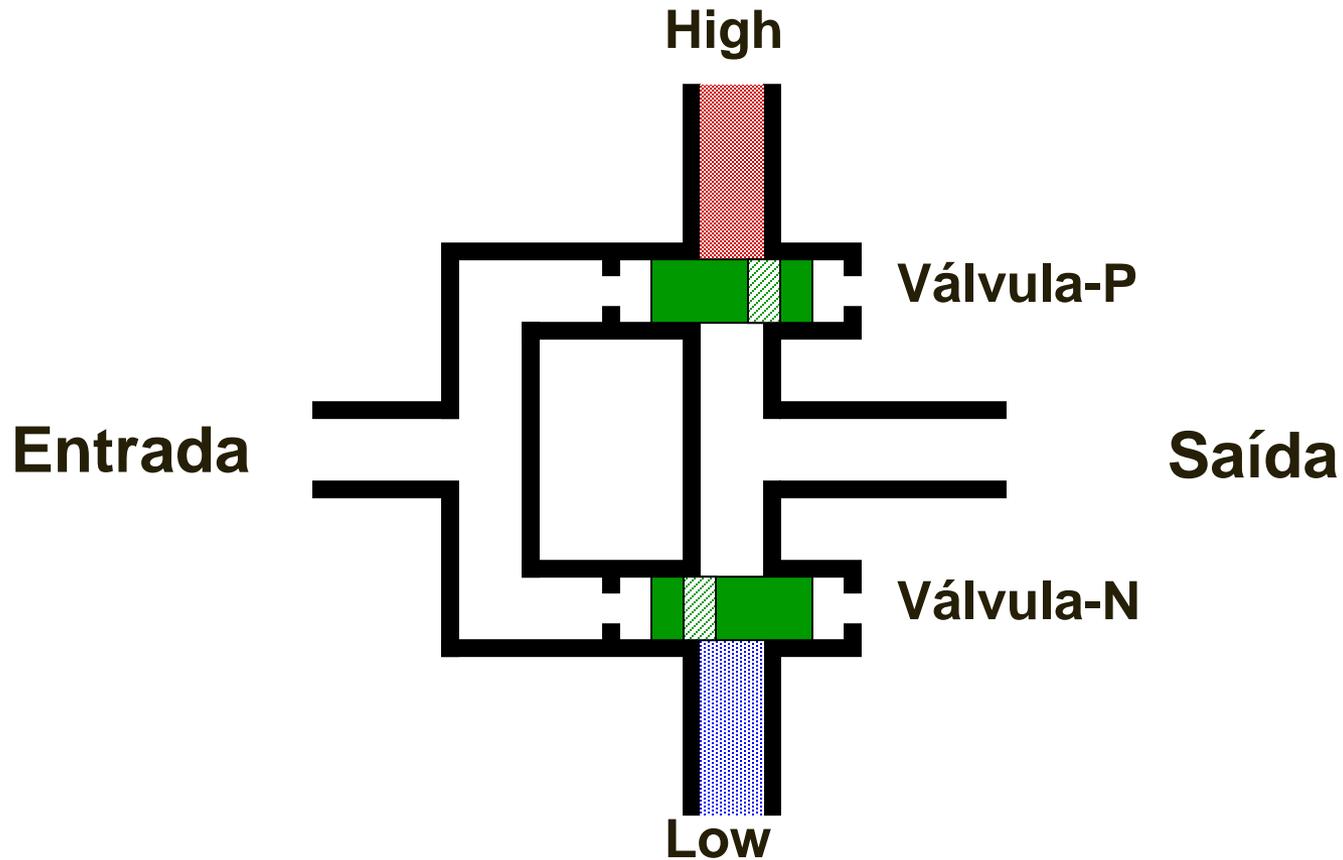


Analogia ao transistor: computação com ar

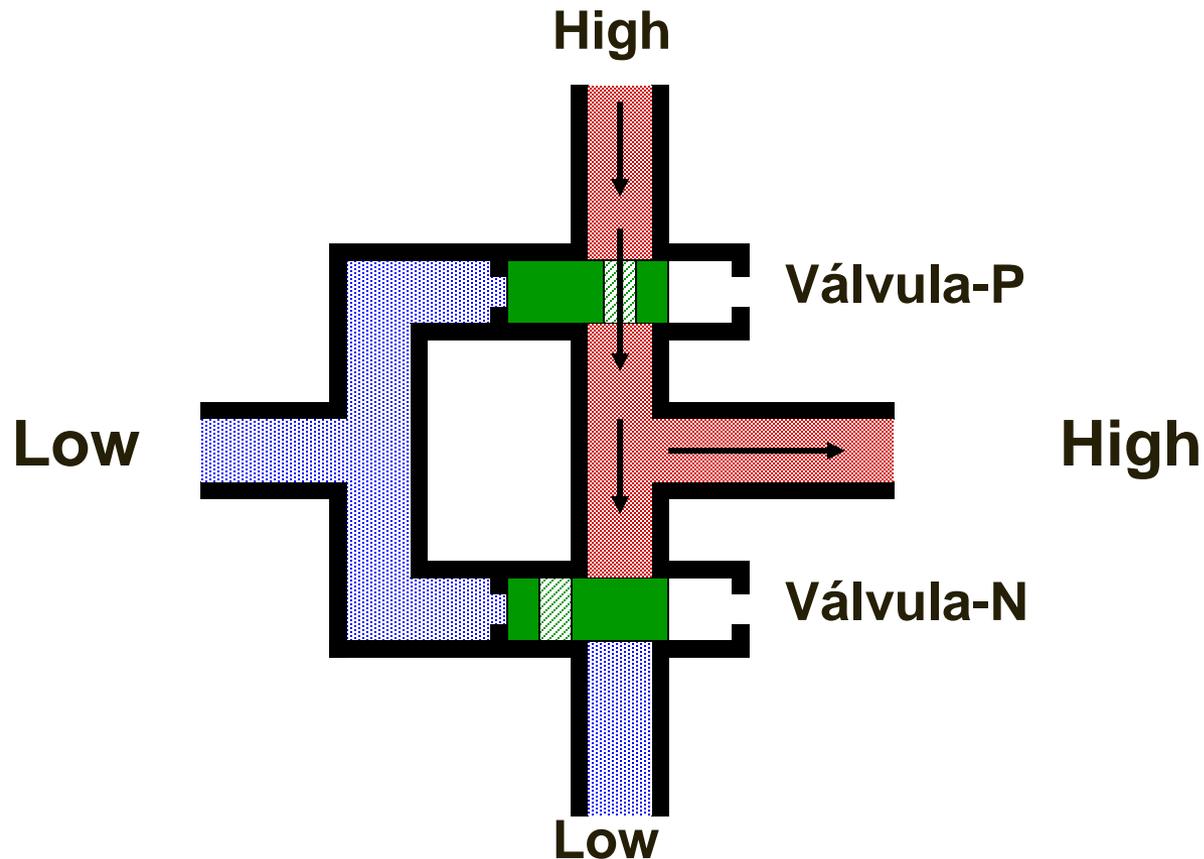
- Vamos usar pressão do ar para codificar dados
 - Alta pressão representa um “1” (empurra válvula)
 - Baixa pressão representa um “0” (puxa válvula)
- Válvula pode permitir ou não fluxo de ar
 - Dois tipos de válvulas pneumáticas



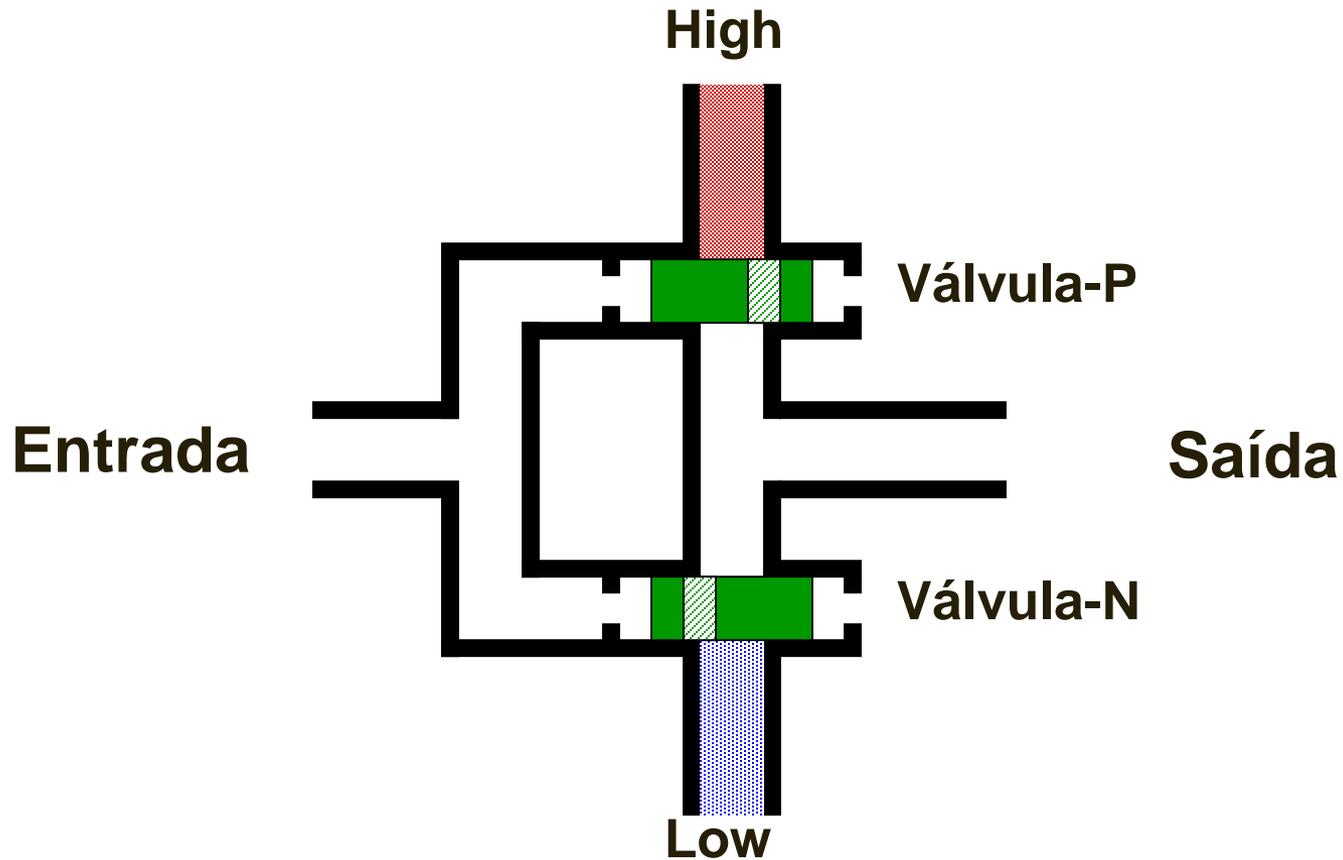
Inversor (NOT) com pressão



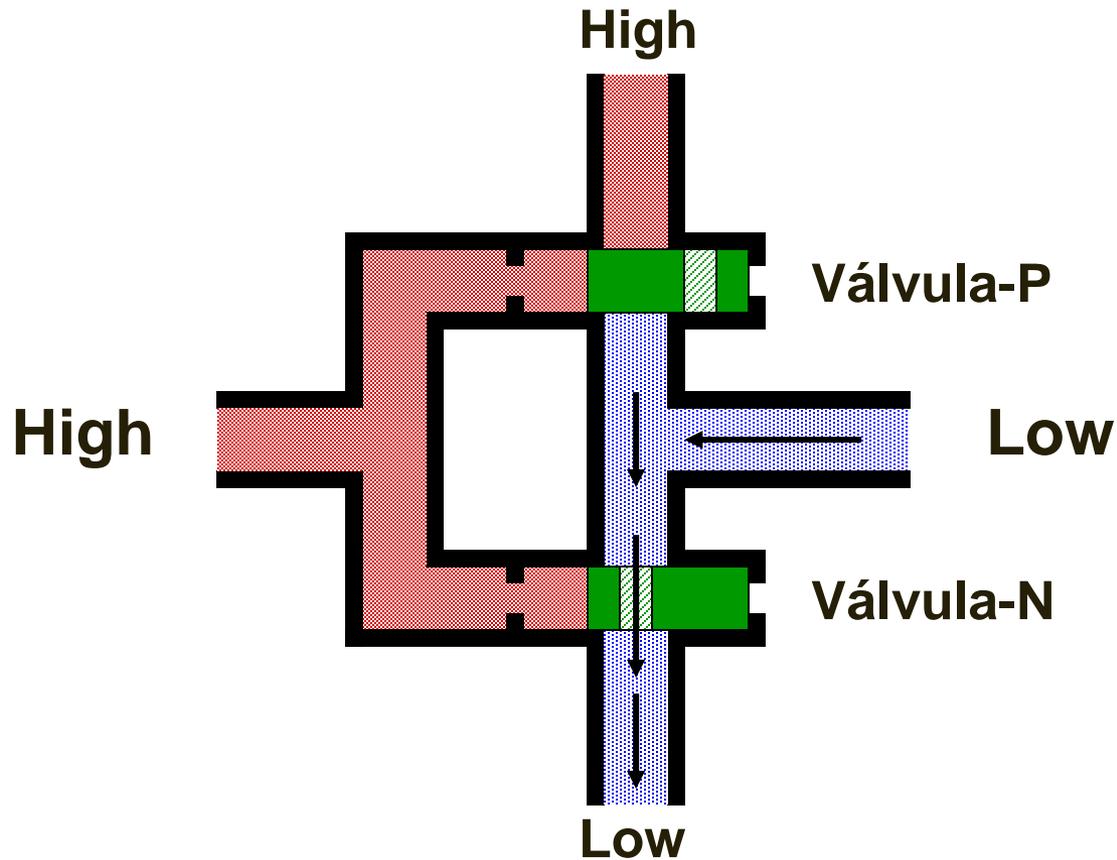
Inversor (NOT) com pressão: Low \rightarrow High



Inversor (NOT) com pressão



Inversor (NOT) com pressão: High → Low



Analogia explicada

- Diferença de pressão → potencial elétrico (tensão)
 - Moléculas de ar → elétrons
 - Pressão (moléculas por volume) → tensão
 - Alta pressão → Alta tensão
 - Baixa pressão → baixa tensão
- Fluxo de ar → corrente elétrica
 - Canos → fios
 - Ar flui apenas da pressão alta para a pressão baixa → corrente flui apenas da alta para a baixa tensão
 - Fluxo ocorre apenas quando aplicada tensão de 1 para 0 ou vice-versa
- Válvula → transistor

Transistores como chaves

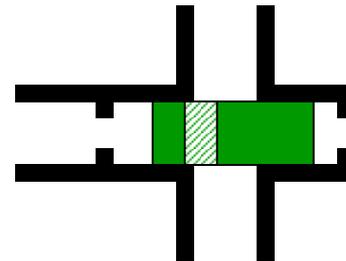
- Dois tipos

- Tipo N
- Tipo P

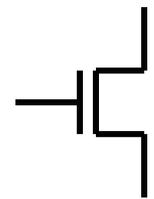
- Propriedades

- Estado sólido (s/ partes móveis)
- Confiável (baixa taxa de falhas)
- Pequeno (canal de 14nm)
- Rápido (latência de chaveamento $<0.1\text{ns}$)

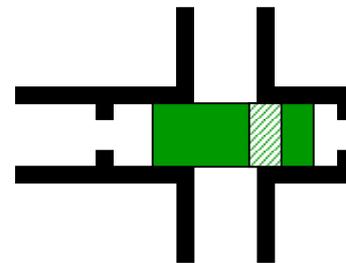
Válvula-N



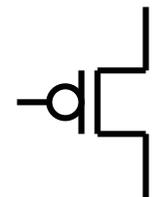
N-MOS



Válvula-P

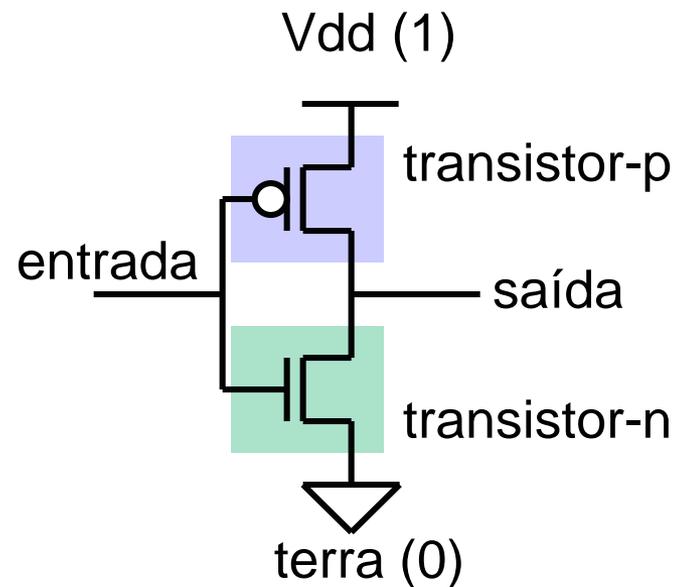


P-MOS



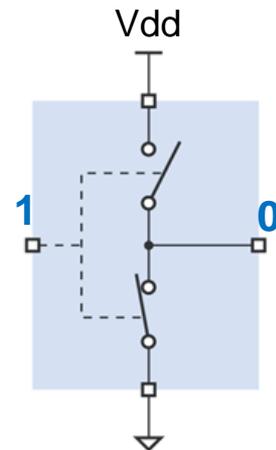
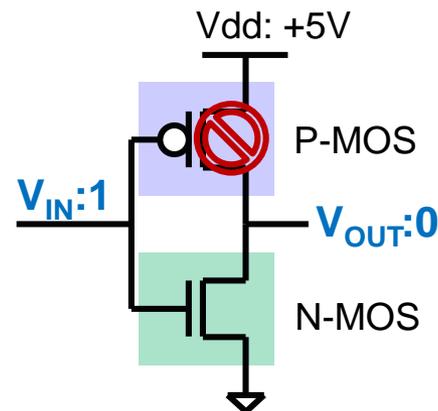
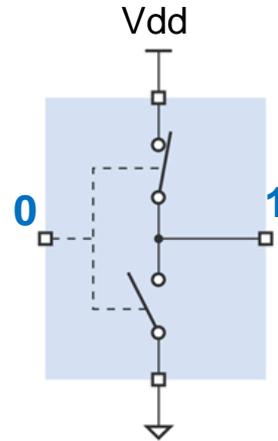
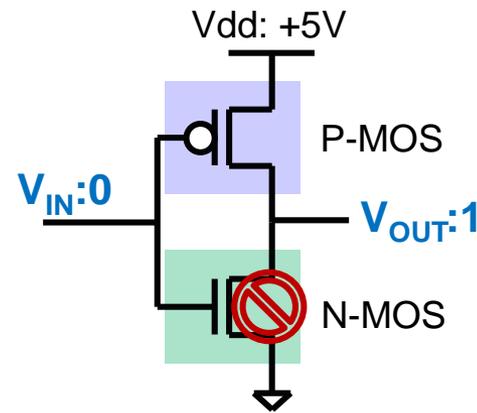
Complementary MOS (CMOS)

- Tensão codifica dados
 - Alimentação (Vdd) = “1”, Terra = “0”
- CMOS: Combina transistores N e P
 - **Transistores-N**
 - Conduz quando tensão no gate é 1
 - Bom para passar 0s
 - **Transistores-P**
 - Conduz quando tensão no gate é 0
 - Bom para passar 1s
- Permite construir portas lógicas e outros elementos de computação (e.g., memórias RAM)

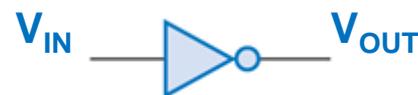


Inversor (NOT) CMOS

- Inversor: porta mais básica
 - 1 transistor-p + 1 transistor-n
- Operação básica
 - Entrada = 0
 - Transistor-p on, transistor-n off
 - Saída ligada ao Vdd (1)
 - Entrada = 1
 - Transistor-p off, transistor-n on
 - Saída ligada ao terra (0)



V_{IN}	P-MOS	N-MOS	V_{OUT}
0.0 (L)	off	on	5.0 (H)
5.0 (H)	on	off	0.0 (L)

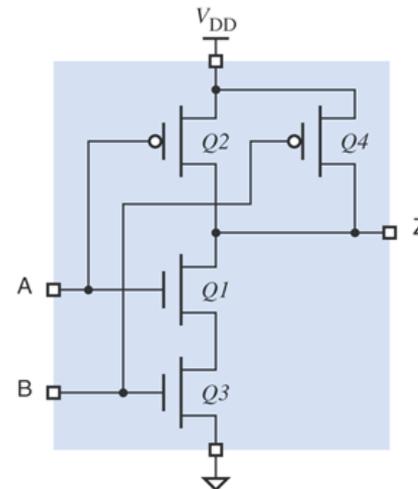
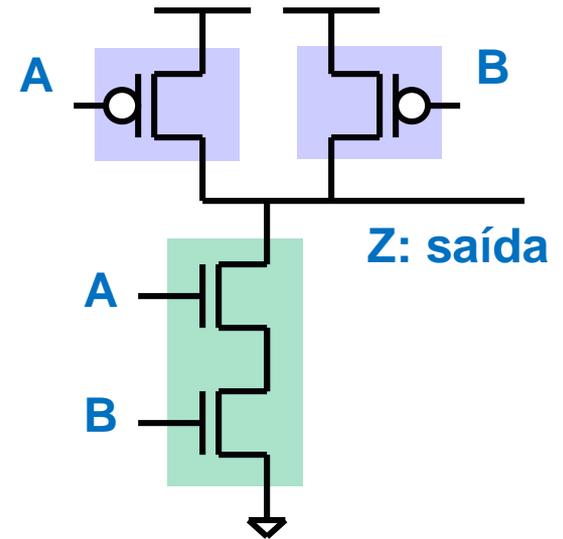


Outras portas CMOS

- O que faz esse circuito?
- Tabela verdade:

A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

- Resultado: **NAND** (NOT+AND)
- E NAND é universal: permite construir qualquer circuito



A	B	Q1	Q2	Q3	Q4	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	H
H	L	on	off	off	on	H
H	H	on	off	on	off	L

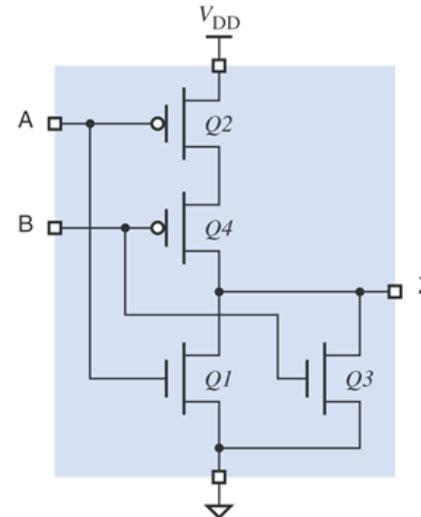
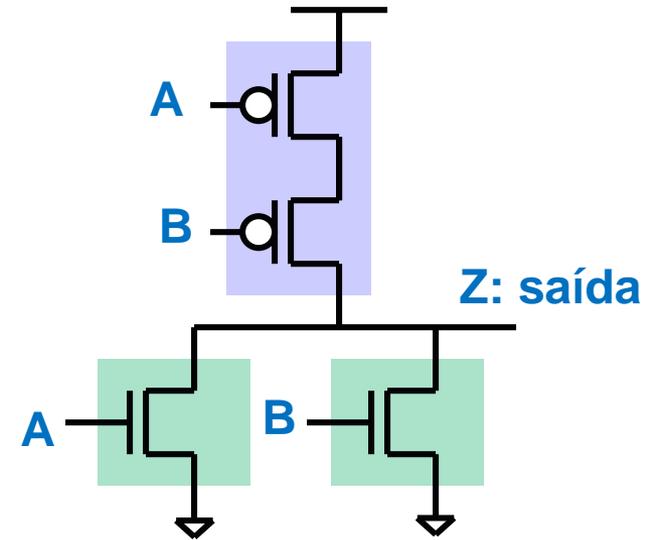


Outras portas CMOS

- O que faz esse circuito?
- Tabela verdade:

A	B	Z
0	0	1
0	1	0
1	0	0
1	1	0

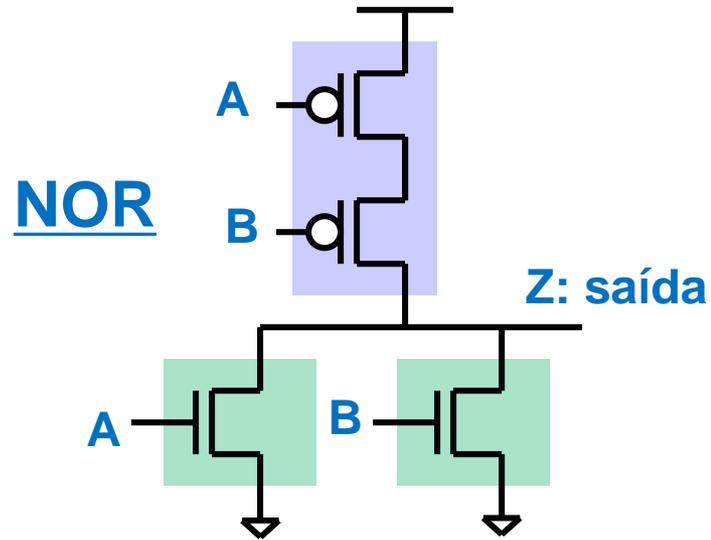
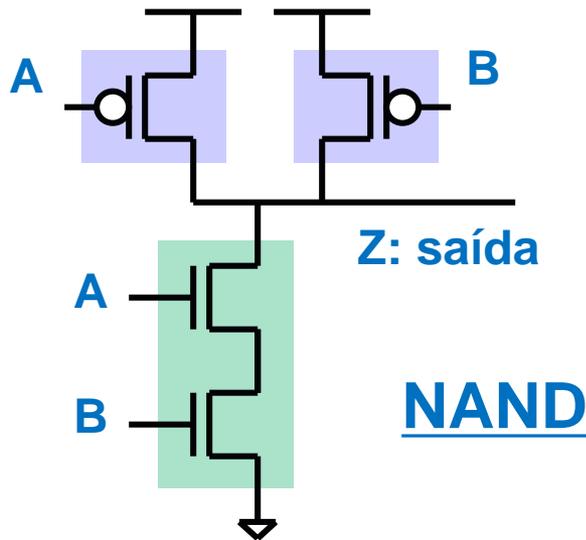
- Resultado: **NOR** (NOT+OR)
- E NOR é universal: permite construir qualquer circuito



A	B	Q1	Q2	Q3	Q4	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	L
H	L	on	off	off	on	L
H	H	on	off	on	off	L

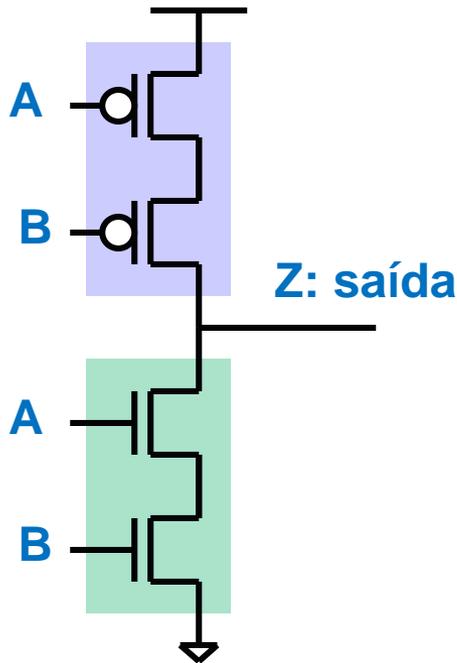


Outras portas CMOS

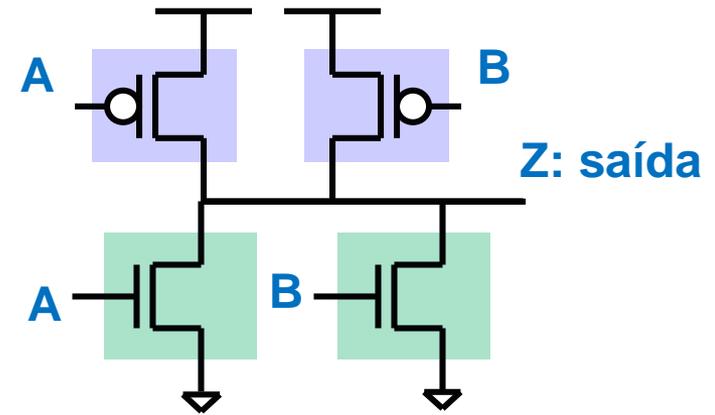


- Racionalizando: transistores ligados em...
 - **Paralelo:** liga a Vdd/terra como um “OR”
 - **Série:** liga a Vdd/terra com um “AND”

Portas estranhas...



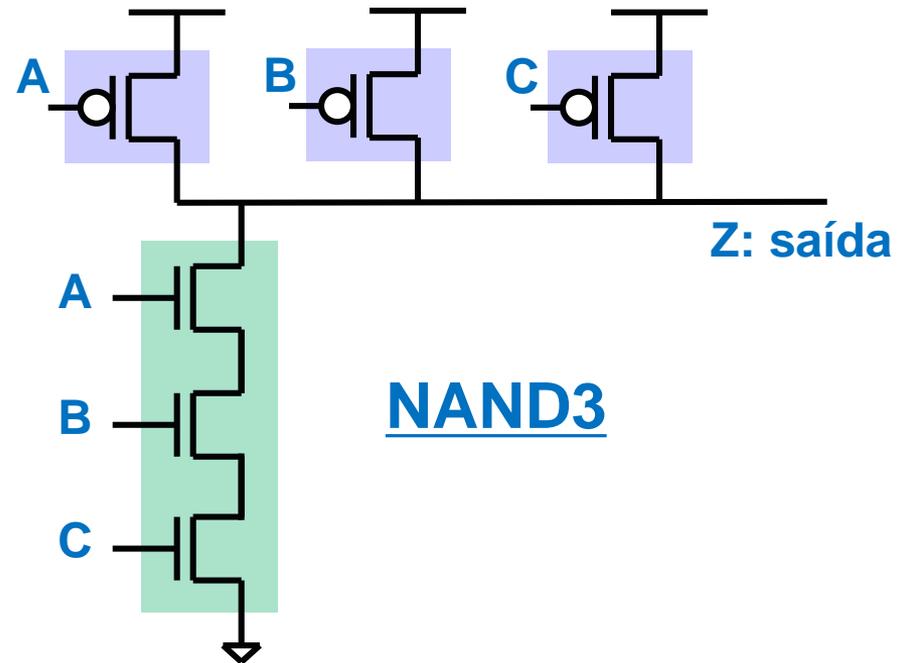
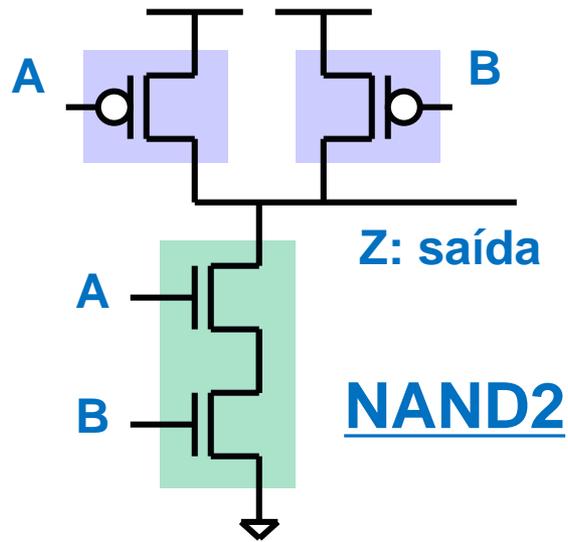
A	B	Z
0	0	1
0	1	alta impedância
1	0	alta impedância
1	1	0



A	B	Z
0	0	1
0	1	curto!!!
1	0	curto!!!
1	1	0

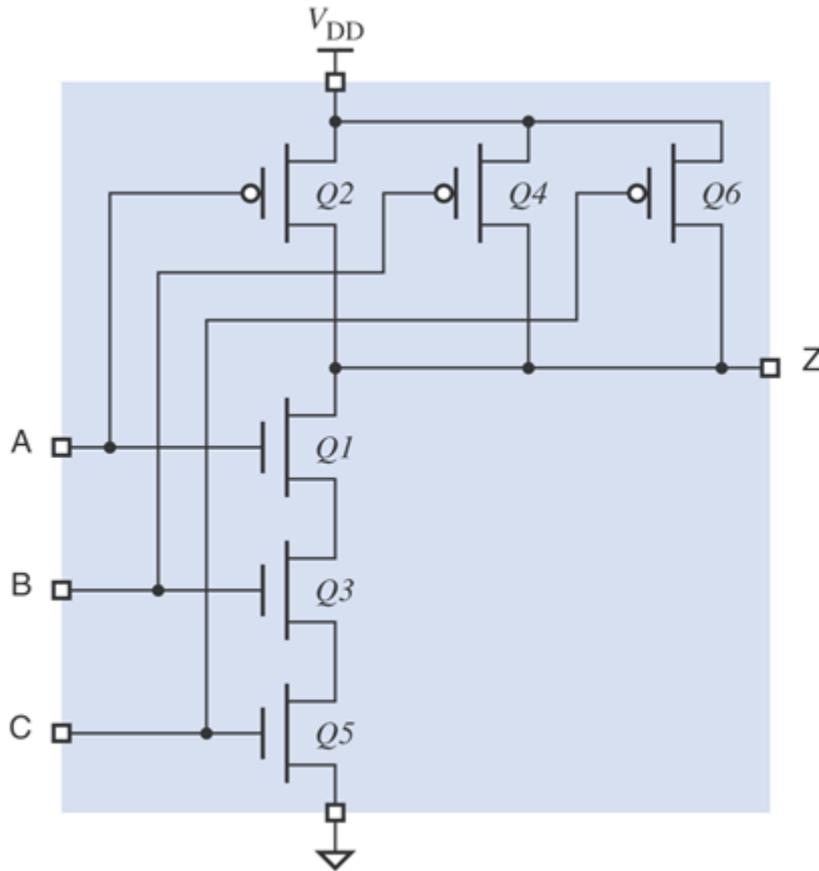


Outras portas CMOS

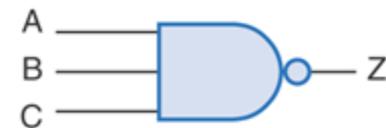


- E um NAND de 3 entradas?
 - Basta repetir o mesmo processo do NAND de 2 entradas!

Outras portas CMOS



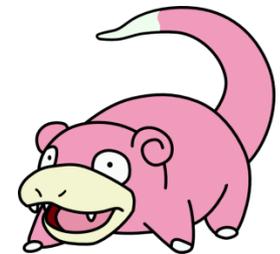
A	B	C	Q1	Q2	Q3	Q4	Q5	Q6	Z
L	L	L	off	on	off	on	off	on	H
L	L	H	off	on	off	on	on	off	H
L	H	L	off	on	on	off	off	on	H
L	H	H	off	on	on	off	on	off	H
H	L	L	on	off	off	on	off	on	H
H	L	H	on	off	off	on	on	off	H
H	H	L	on	off	on	off	off	on	H
H	H	H	on	off	on	off	on	off	L



- E um NAND de 3 entradas?
 - Basta repetir o mesmo processo do NAND de 2 entradas!

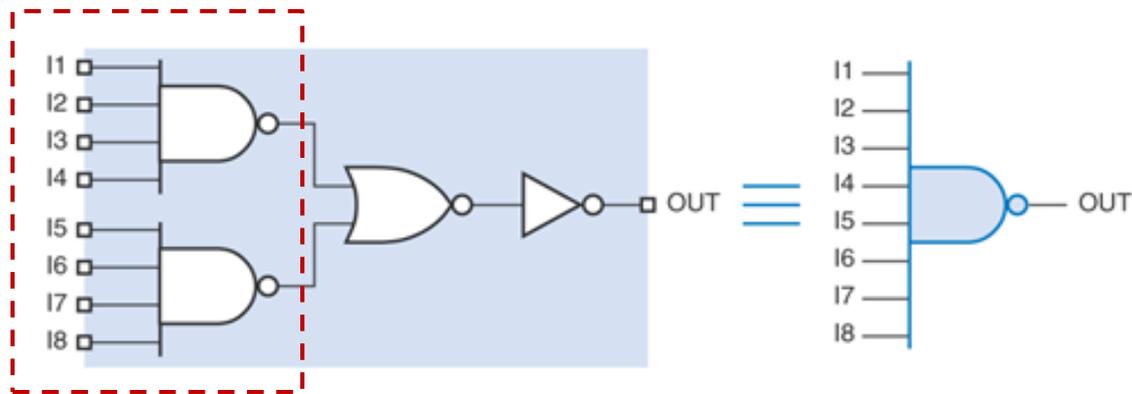
Fan-In

- Definição: **número de entradas** que uma porta de uma família lógica pode ter.
- Em princípio: n entradas \rightarrow n transistores em série e n transistores em paralelo.
- Exemplo:
 - NAND de 3 entradas
- Porém, a resistência dos transistores em série é somada quando estão “on”..
 - Isso aumenta o atraso de chaveamento...
 - Também aumenta queda de tensão entre V_{cc} /Terra e saída do circuito



Fan-In

- Limites práticos para implementação de portas lógicas CMOS:
 - NOR = 4 entradas
 - NAND = 6 entradas
- Alternativa: cascatear portas lógicas menores!



Atraso: equivalente a
NAND de 4 entradas

Portas Não-inversoras - CMOS

- CMOS: portas mais simples são NOT, NAND e NOR.
- Portas não-inversoras obtidas ao conectar um inversor (NOT) a saída de:
 - NOT → buffer (adiciona atraso ao circuito)
 - NAND → AND
 - NOR → OR

Buffer - CMOS

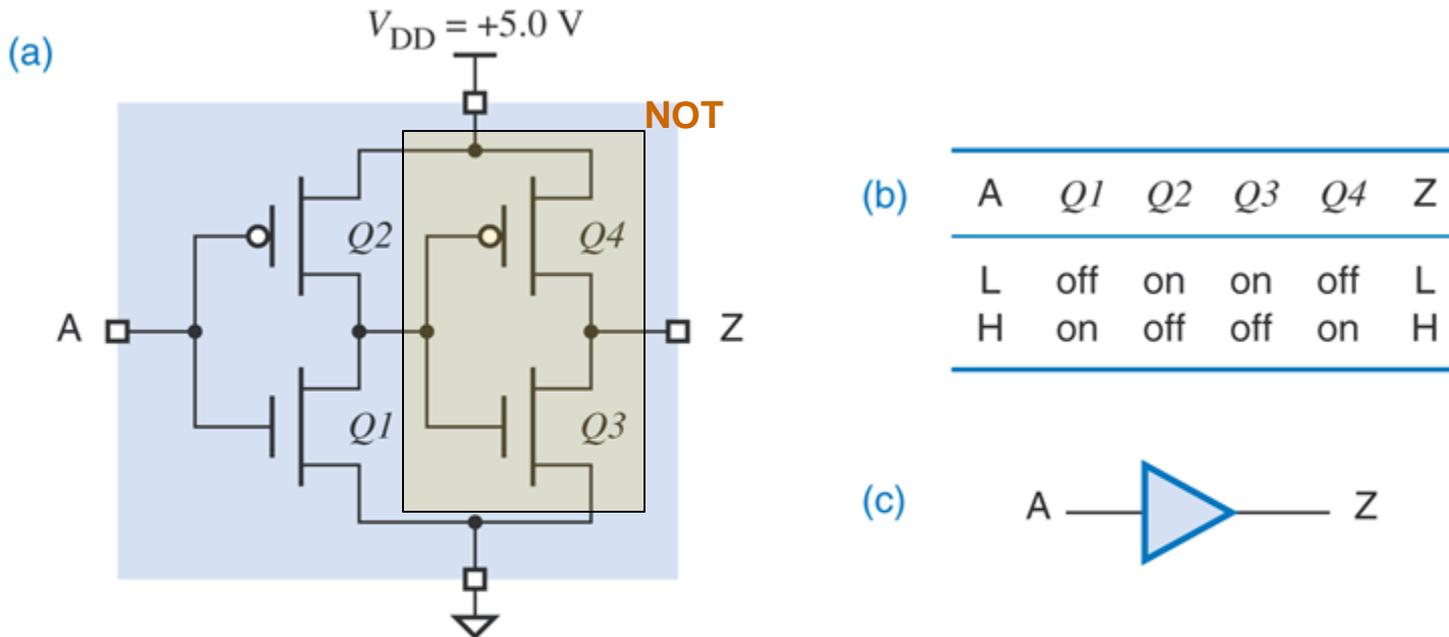


Figure 3-18

CMOS noninverting buffer: (a) circuit diagram; (b) function table; (c) logic symbol.

Porta AND - CMOS

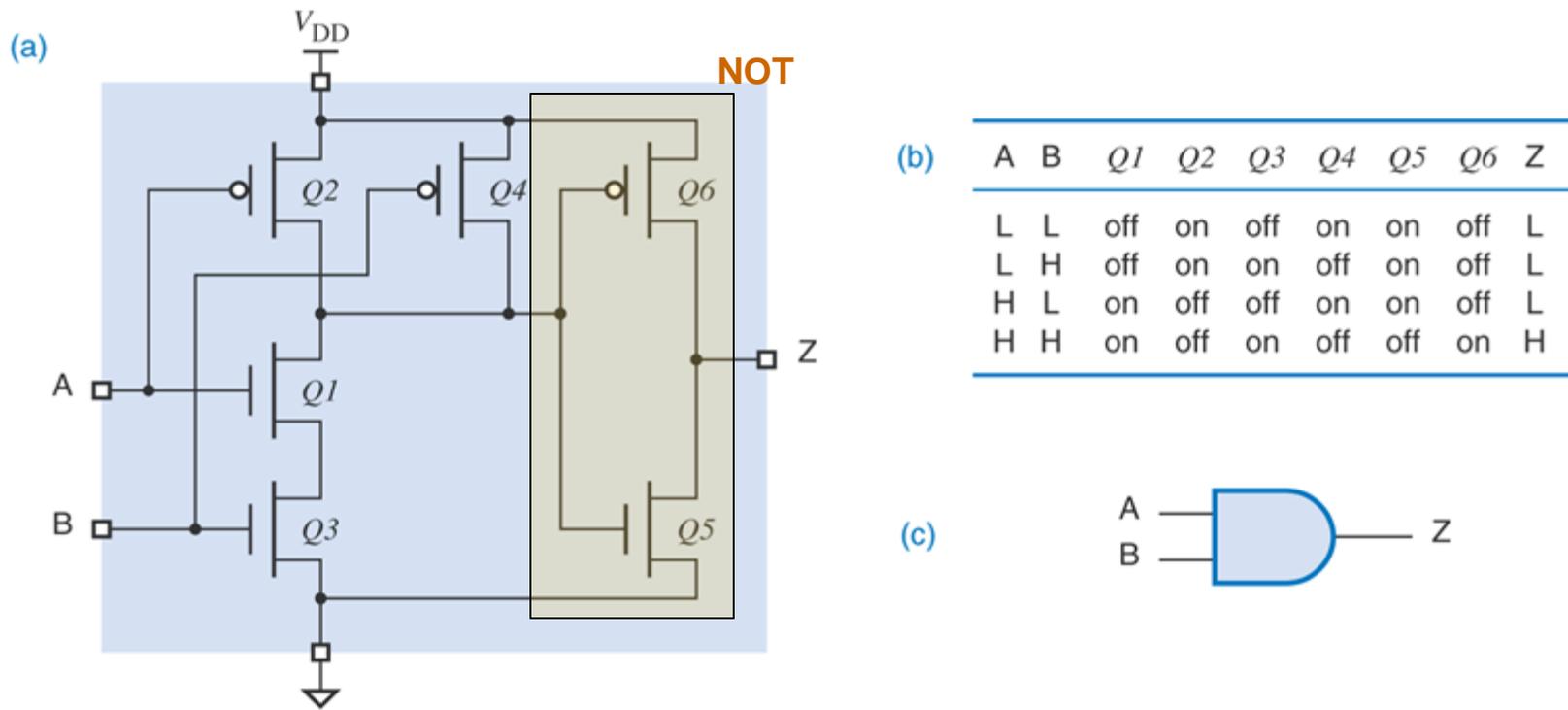


Figure 3-19

CMOS 2-input AND gate: (a) circuit diagram; (b) function table; (c) logic symbol.

From *Digital Design: Principles and Practices*, Fourth Edition, John F. Wakerly, ISBN 0-13-186389-4.

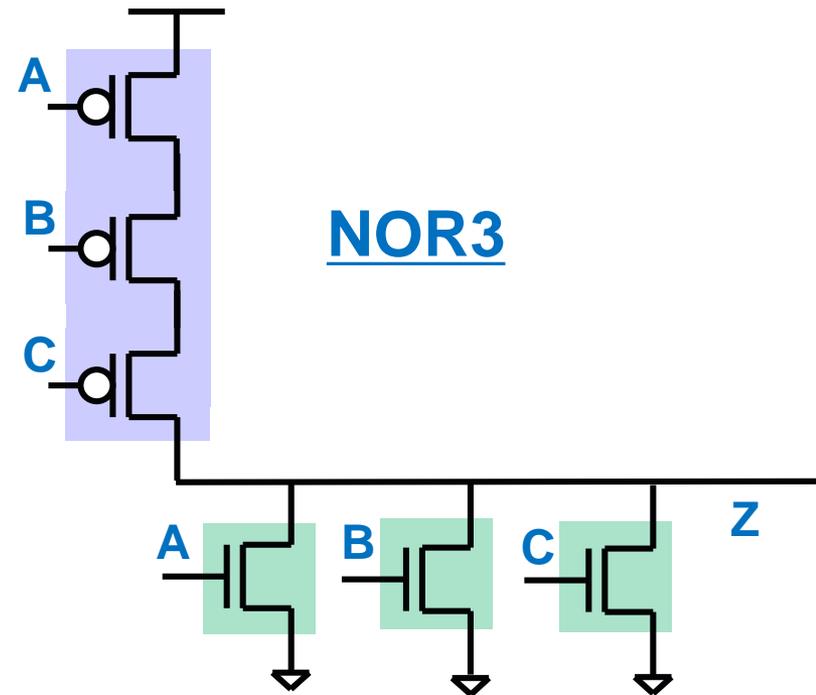
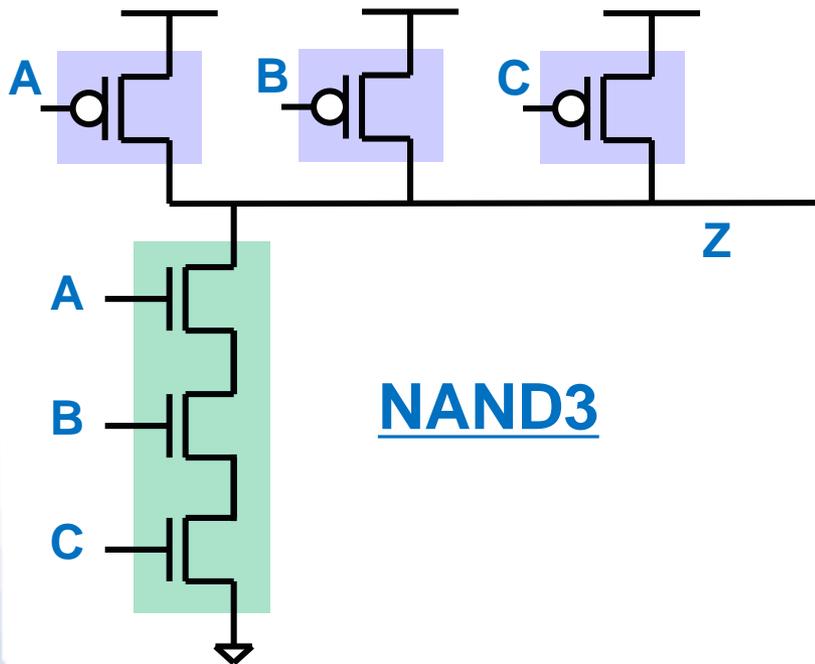
©2006, Pearson Education, Inc., Upper Saddle River, NJ. All rights reserved.

Exercício

- Projete duas (2) possíveis portas lógicas CMOS, diferentes, compostas de três (3) entradas (x_3, x_2, x_1) e uma (1) saída z cada.
- Dá-se a restrição de que elas são implementadas apenas com seis (6) transistores CMOS, sendo três (3) transistores CMOS canal N e três (3) transistores CMOS canal P.
- Descreva a operação lógica implementada em cada porta.

Exercício - Resposta

- NAND3 e NOR3



Conteúdo – Parte 2

- Características **estáticas**: quando entradas e saídas não estão mudando
 - Níveis lógicos e margem de ruído
 - Carga ideal e não ideal
 - Fan-out
 - Entrada aberta
- Características **dinâmicas**: quando ocorre mudança dos sinais de entrada e saída
 - Tempo de transição
 - Tempo de subida e descida
 - Atraso de propagação
 - Consumo de energia
- Tri-State

CARACTERÍSTICAS ESTÁTICAS

Informações presentes em datasheets

Estáticas

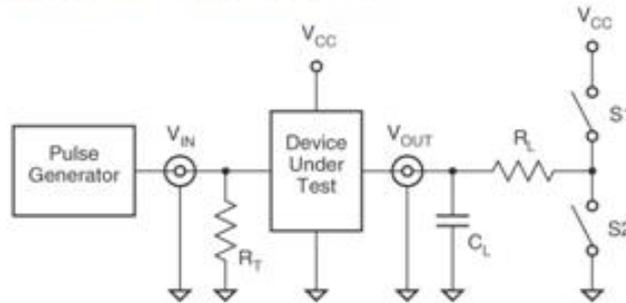
DC ELECTRICAL CHARACTERISTICS OVER OPERATING RANGE							
The following conditions apply unless otherwise specified: Commercial: $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$, $V_{CC} = 5.0\text{ V} \pm 5\%$; Military: $T_A = -55^\circ\text{C}$ to $+125^\circ\text{C}$, $V_{CC} = 5.0\text{ V} \pm 10\%$							
Sym.	Parameter	Test Conditions ⁽¹⁾		Min.	Typ. ⁽²⁾	Max.	Unit
V_{IH}	Input HIGH level	Guaranteed logic HIGH level		3.15	—	—	V
V_{IL}	Input LOW level	Guaranteed logic LOW level		—	—	1.35	V
I_{IH}	Input HIGH current	$V_{CC} = \text{Max.}$, $V_I = V_{CC}$		—	—	1	μA
I_{IL}	Input LOW current	$V_{CC} = \text{Max.}$, $V_I = 0\text{ V}$		—	—	-1	μA
V_{IK}	Clamp diode voltage	$V_{CC} = \text{Min.}$, $I_N = -18\text{ mA}$		—	-0.7	-1.2	V
I_{IOS}	Short-circuit current	$V_{CC} = \text{Max.}$, ⁽³⁾ $V_O = \text{GND}$		—	—	-35	mA
V_{OH}	Output HIGH voltage	$V_{CC} = \text{Min.}$, $V_{IN} = V_{IL}$	$I_{OH} = -20\ \mu\text{A}$	4.4	4.499	—	V
			$I_{OH} = -4\text{ mA}$	3.84	4.3	—	V
V_{OL}	Output LOW voltage	$V_{CC} = \text{Min.}$, $V_{IN} = V_{IH}$	$I_{OL} = 20\ \mu\text{A}$	—	.001	0.1	V
			$I_{OL} = 4\text{ mA}$	—	0.17	0.33	V
I_{CC}	Quiescent power supply current	$V_{CC} = \text{Max.}$, $V_{IN} = \text{GND}$ or V_{CC} , $I_O = 0$		—	2	10	μA
SWITCHING CHARACTERISTICS OVER OPERATING RANGE, $C_L = 50\text{ pF}$							
Sym.	Parameter ⁽⁴⁾	Test Conditions		Min.	Typ.	Max.	Unit
t_{PD}	Propagation delay	A or B to Y		—	9	19	ns
C_I	Input capacitance	$V_{IN} = 0\text{ V}$		—	3	10	pF
C_{pd}	Power dissipation capacitance per gate	No load		—	22	—	pF

NOTES:

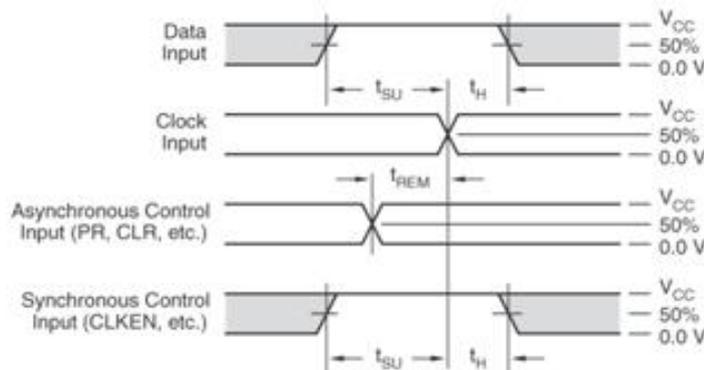
1. For conditions shown as Max. or Min., use appropriate value specified under Electrical Characteristics.
2. Typical values are at $V_{CC} = 5.0\text{ V}$, $+25^\circ\text{C}$ ambient.
3. Not more than one output should be shorted at a time. Duration of short-circuit test should not exceed one second.
4. This parameter is guaranteed but not tested.

Informações presentes em datasheets

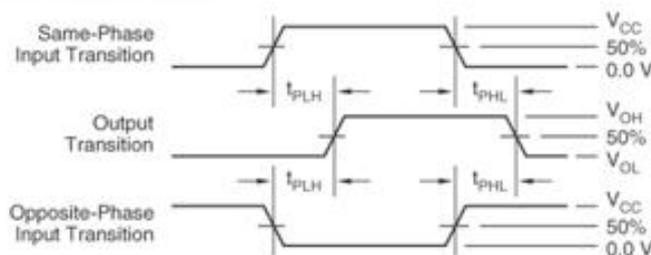
TEST CIRCUIT FOR ALL OUTPUTS



SETUP, HOLD, AND RELEASE TIMES



PROPAGATION DELAY



LOADING

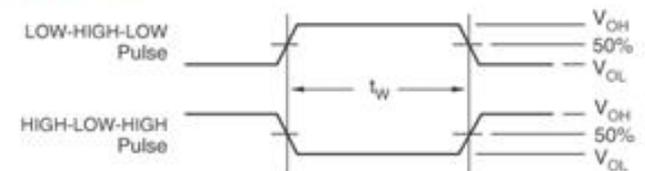
Parameter	R_L	C_L	S1	S2
t_{en}	1 K Ω	50 pF or 150 pF	Open	Closed
			Closed	Open
t_{dis}	1 K Ω	50 pF or 150 pF	Open	Closed
			Closed	Open
t_{pd}	—	50 pF or 150 pF	Open	Open

DEFINITIONS:

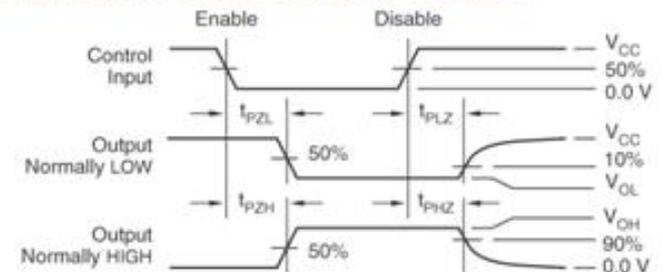
C_L = Load capacitance, includes jig and probe capacitance.

R_T = Termination resistance, should equal Z_{OUT} of the Pulse Generator.

PULSE WIDTH

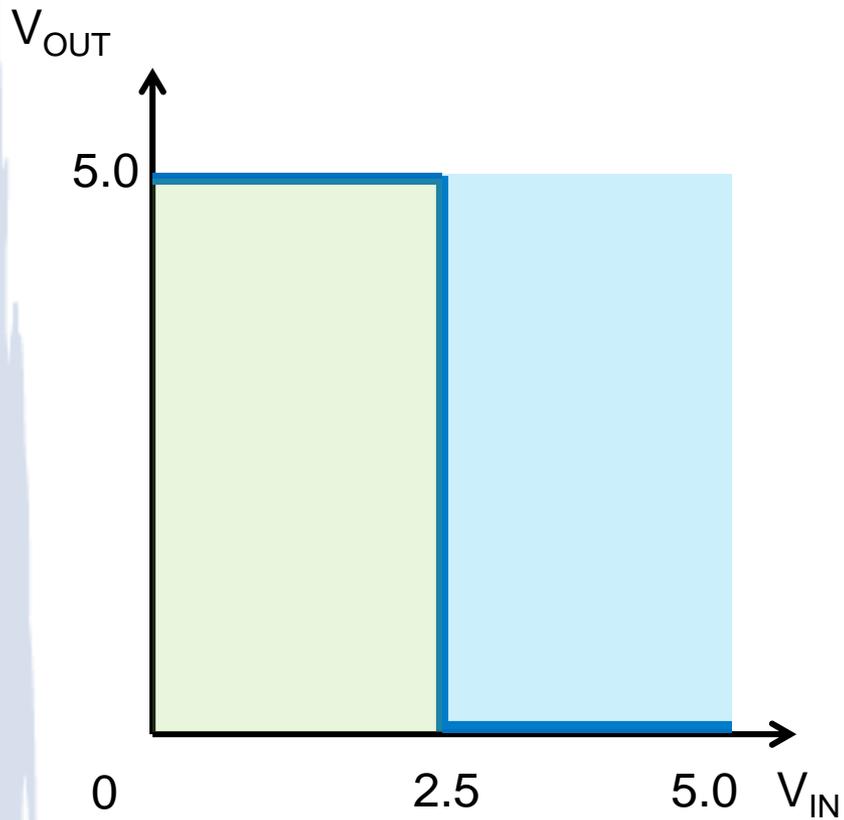


THREE-STATE ENABLE AND DISABLE TIMES

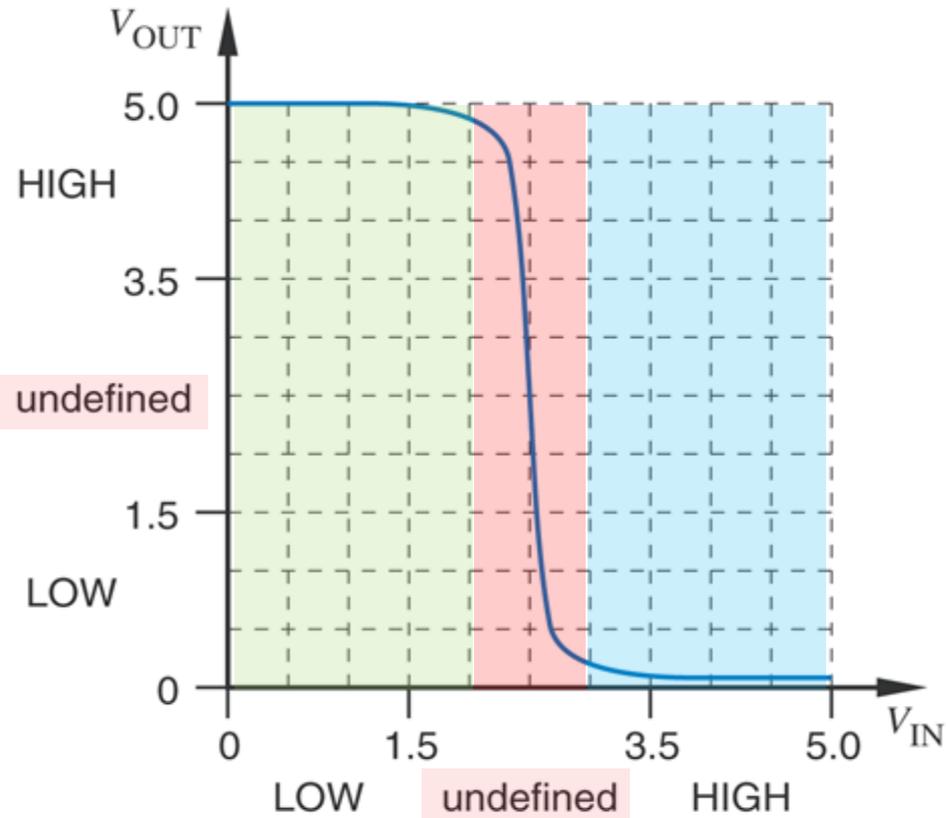


Dinâmicas

Curva de transferência de Inversor CMOS



Curva "ideal"



Curva típica

Margem de ruído

- Também chamada de *DC noise-margin*: quanto ruído é necessário para corromper V_{OUT} para um valor que não possa ser reconhecido por uma entrada
- Parâmetros garantidos por fabricante sob algumas condições (temperatura, valor do V_{CC} , etc.)

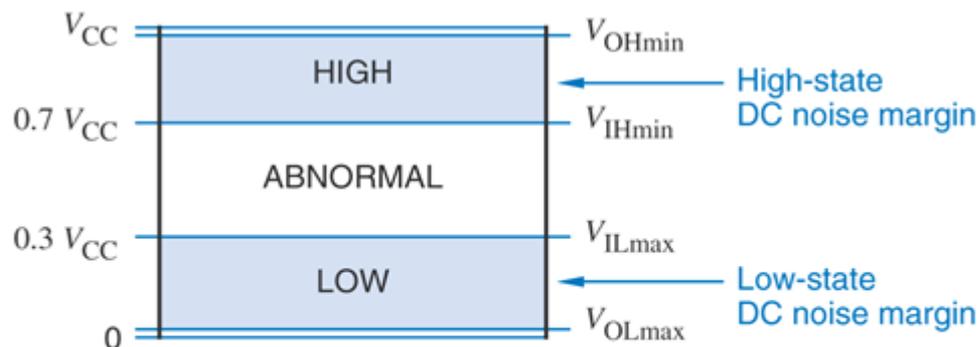


Figure 3-26

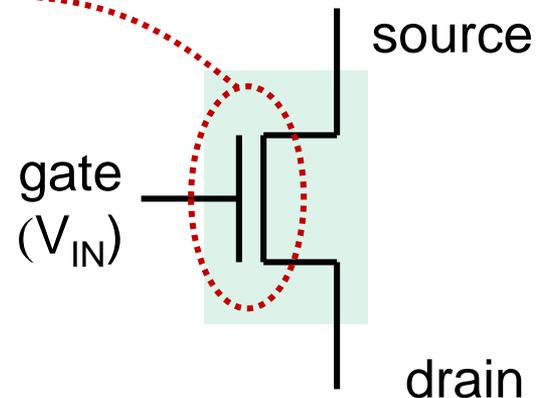
Logic levels and noise margins for the HC-series CMOS logic family.

- $V_{OHmin} = V_{OUT}$ mínimo para saída em HIGH
- $V_{IHmin} = V_{IN}$ mínimo garantido como HIGH
- $V_{ILmax} = V_{IN}$ máximo garantido como LOW
- $V_{OLmax} = V_{OUT}$ máximo para saída em LOW

Correntes na entrada

Sym.	Parameter	Test Conditions ⁽¹⁾	Min.	Typ. ⁽²⁾	Max.	Unit
I_{IH}	Input HIGH current	$V_{CC} = \text{Max.}, V_I = V_{CC}$	—	—	1	μA
I_{IL}	Input LOW current	$V_{CC} = \text{Max.}, V_I = 0 \text{ V}$	—	—	-1	μA

- Consumo muito baixo nos transistores de um inversor, havendo somente corrente de fuga.
 - I_{IH} : máxima corrente de entrada para HIGH
 - I_{IL} : máxima corrente de entrada para LOW
- Alta impedância!



Comportamento com cargas resistivas

- CMOS: consumo muito baixo quando ligado a outras portas lógicas CMOS
 - Mas nem sempre há apenas portas CMOS em um circuito: portas TTL, LEDs, resistências, ...
 - Transistor de saída tem resistência pequena, mas não nula: carga conectada provoca queda de tensão nessa resistência! → V_{OUT} pode variar!

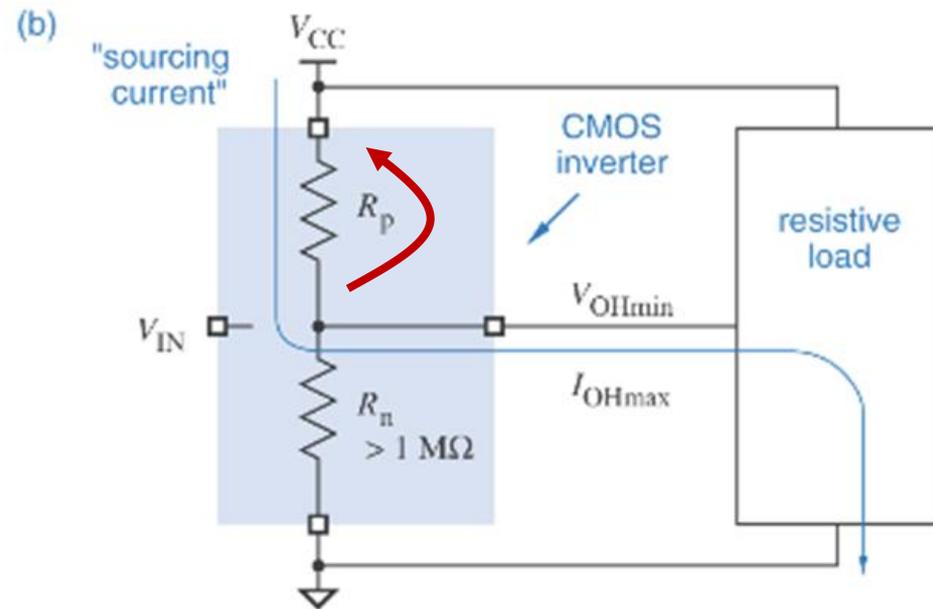
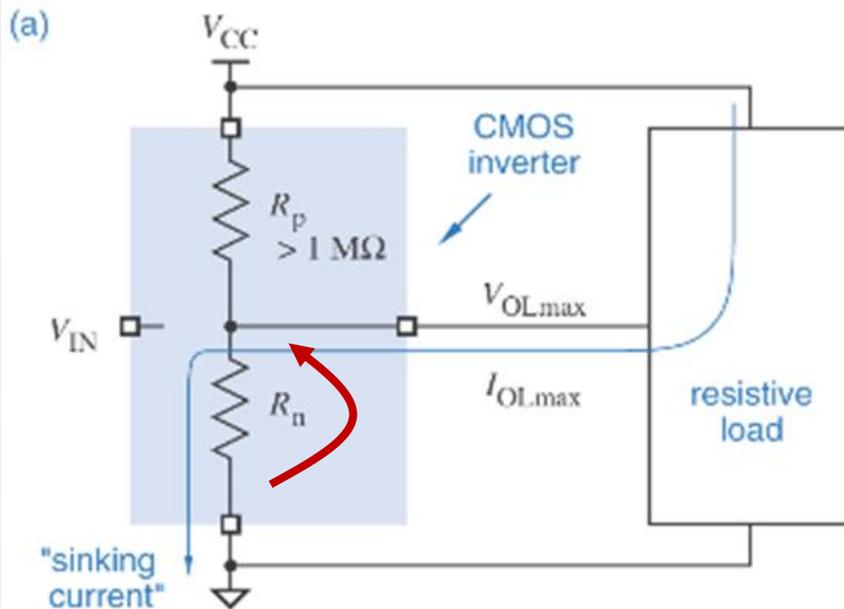
Sym.	Parameter	Test Conditions ⁽¹⁾	Min.	Typ. ⁽²⁾	Max.	Unit	
V_{OH}	Output HIGH voltage	$V_{CC} = \text{Min.},$ $V_{IN} = V_{IL}$	$I_{OH} = -20 \mu\text{A}$	4.4	4.499	—	V
			$I_{OH} = -4 \text{ mA}$	3.84	4.3	—	V
V_{OL}	Output LOW voltage	$V_{CC} = \text{Min.},$ $V_{IN} = V_{IH}$	$I_{OL} = 20 \mu\text{A}$	—	.001	0.1	V
			$I_{OL} = 4 \text{ mA}$		0.17	0.33	V

Conectado a porta CMOS (alta impedância)

Conectado a circuito com baixa impedância

Comportamento com cargas resistivas

- Transistor de saída tem resistância não nula e a carga conectada provoca queda de tensão nessa resistância! → V_{OUT} pode variar!



Queda de tensão entre V_{OUT} e $\{V_{CC}$ ou terra $\}$

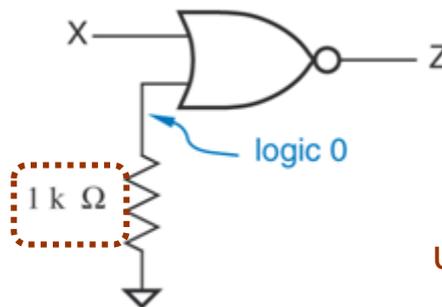
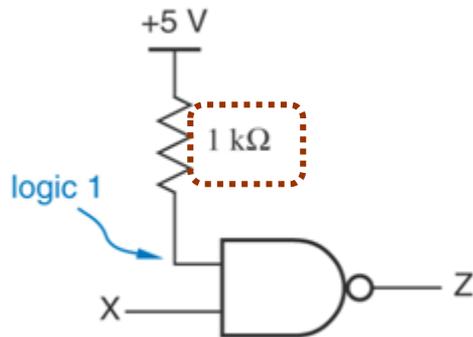
Fan-Out

- Número de entradas que podem ser conectadas a porta de saída sem exceder pior caso nas especificações.
 - Depende da porta de saída e das de entrada;
 - Deve ser analisado para HIGH e LOW.
- Exemplo:
 - Corrente max de saída (HIGH ou LOW) = 10 μ A
 - Corrente de entrada (HIGH ou LOW) = 1 μ A

} até 10 portas conectadas a saída
- Desrespeito a fan-out pode causar, entre outros:
 - Operação fora das faixas especificadas de tensão
 - Atrasos acima dos especificados
 - Superaquecimento (e, portanto, falhas)

Entradas não usadas

- Ex.: apenas 2 portas usadas em um NAND de 3 portas
- O que fazer com a porta não usada? 3 alternativas:
 - Deixar em aberto (**RUIM**): ruído pode causar flutuações na entrada, causando comportamento inesperado
 - Conectar a mesma entrada em duas portas (**não-ideal**): aumenta a carga sobre circuito e pode causar atrasos
 - Conectar a uma entrada lógica “neutra” (0 para NOR e 1 para NAND) ← **preferível**

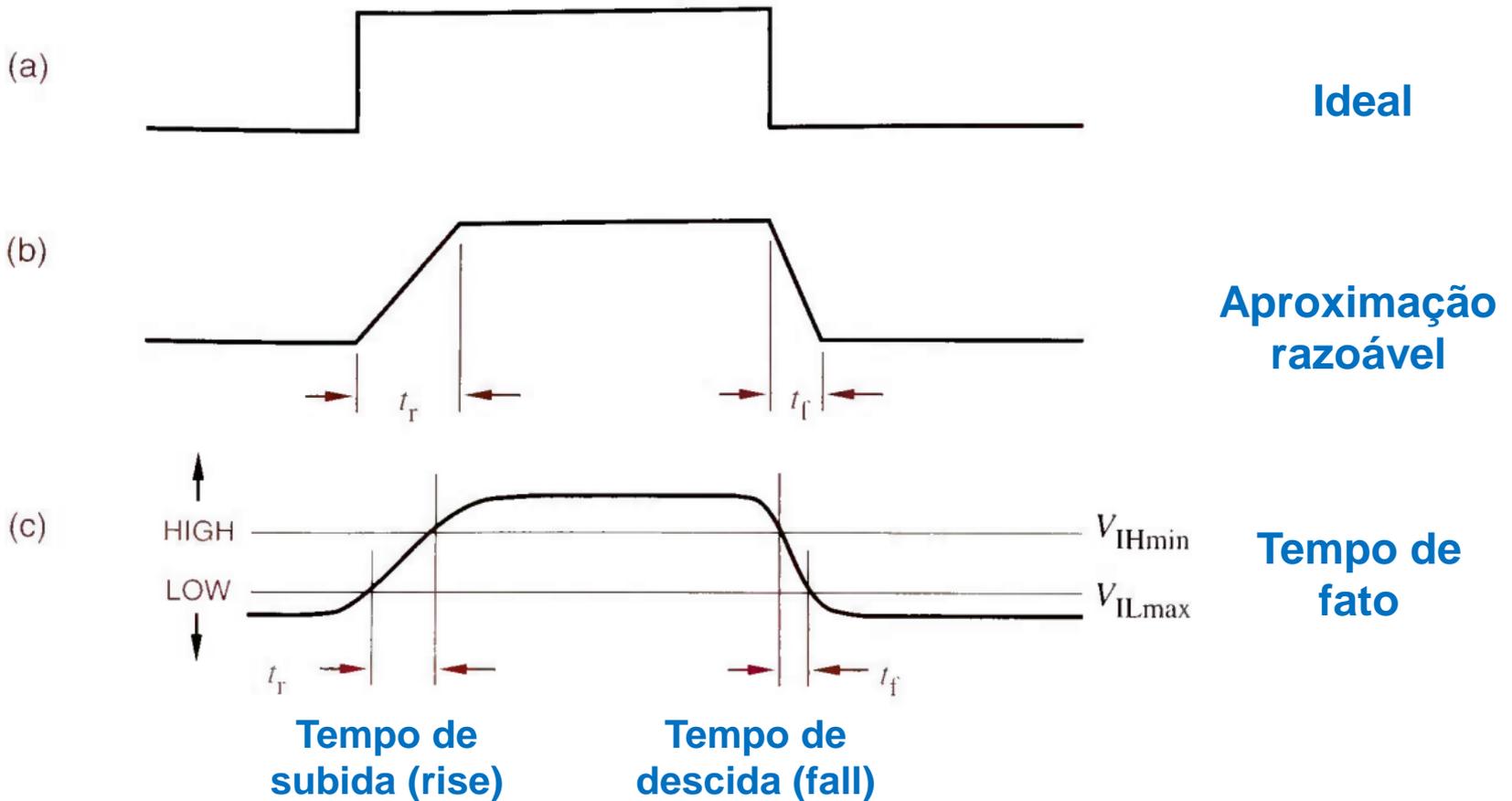


Resistor de pull-up/down (opcional): evita curtos se a entrada vier a ser usada (e alguém esquecer de desligá-la do Vcc/Terra...)

CARACTERÍSTICAS DINÂMICAS

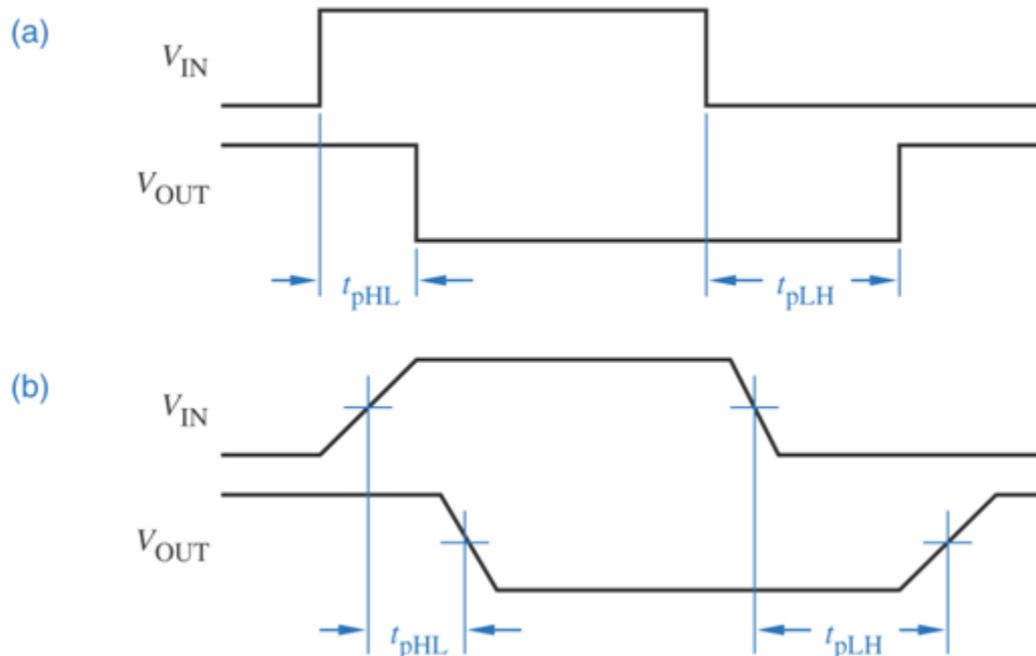
Tempo de transição

- Tempo que demora para saída do circuito lógico mudar de um estado para outro.



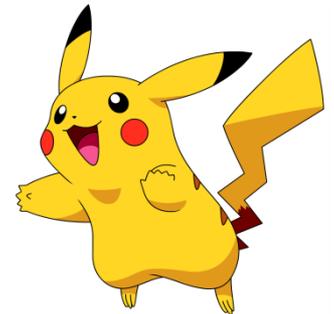
Atraso de propagação

- Tempo que demora para uma mudança no sinal de entrada gerar mudança na saída.
- Ex.: inversor CMOS (a) ignorando tempos de subida e descida ou (b) medidos nos pontos médios das transições



Consumo de energia

- CMOS: consumo estático muito baixo...
 - Ou seja, quando não está havendo computação
- ... mas transições consomem uma quantidade maior de energia
- Cálculo: $P_D = (C_{DP} + C_L) \cdot V_{CC}^2 \cdot F$, onde
 - P_D : potência dinâmica (devido a transições)
 - V_{CC} : tensão da fonte de alimentação
 - C_{DP} : capacitância de dissipação de potência
 - C_L : capacitância de carga capacitiva na saída.
 - F : frequência de transição (sinal de saída)



Porta tristate

- Além de saída em high e low, possui terceiro estado de alta impedância (HI-Z).
- Usado para conexão em barramentos: apenas circuitos ativos acessam barramento, prevenindo curtos

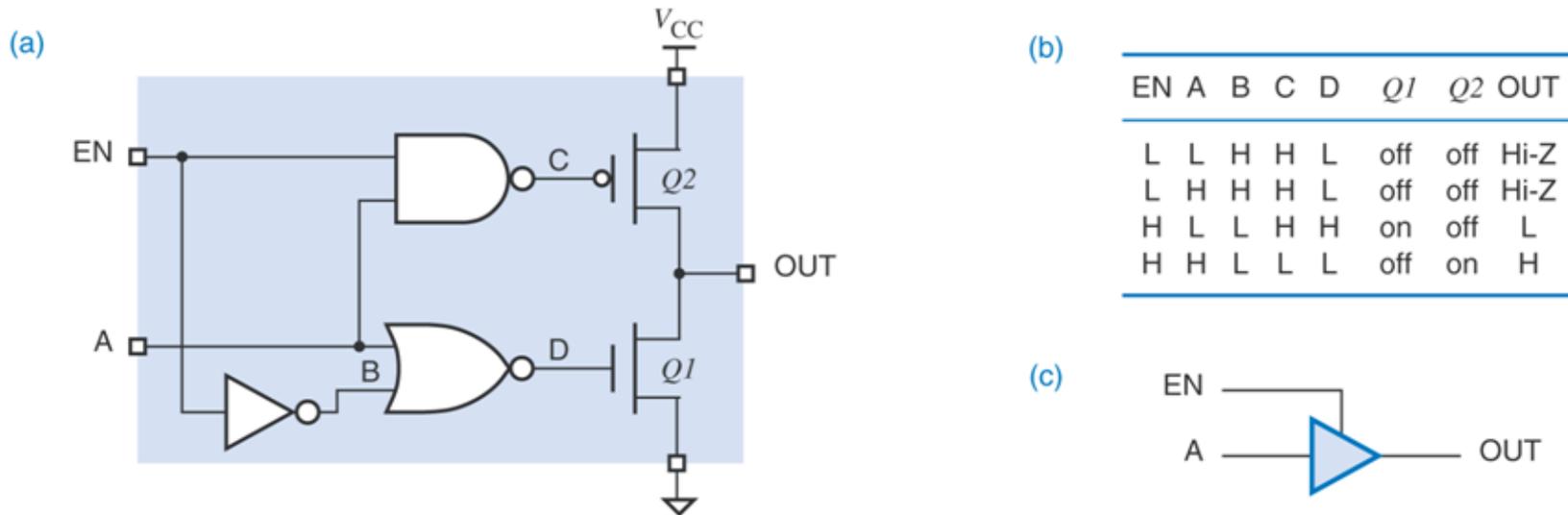
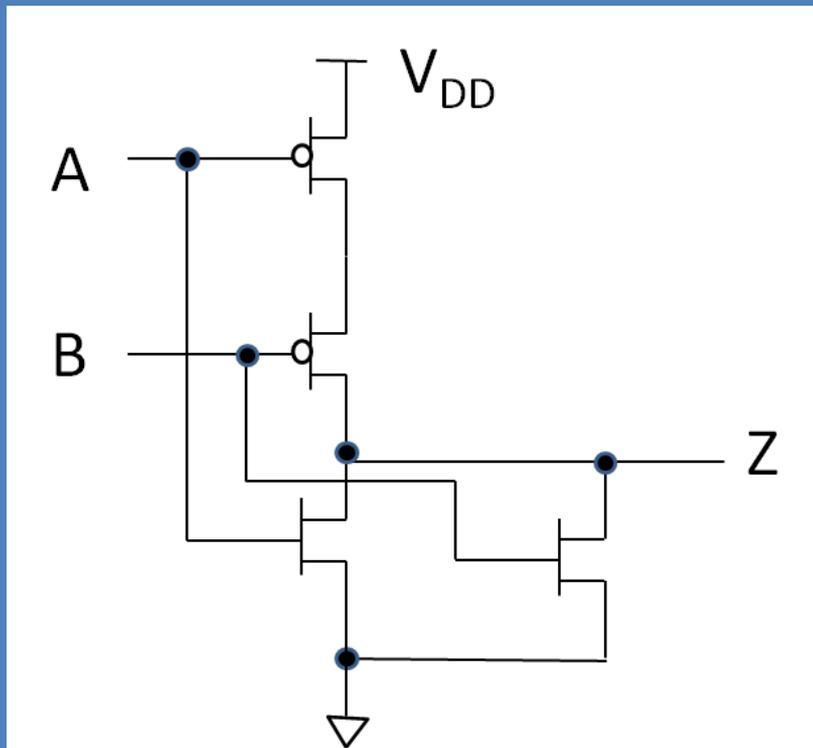


Figure 3-49

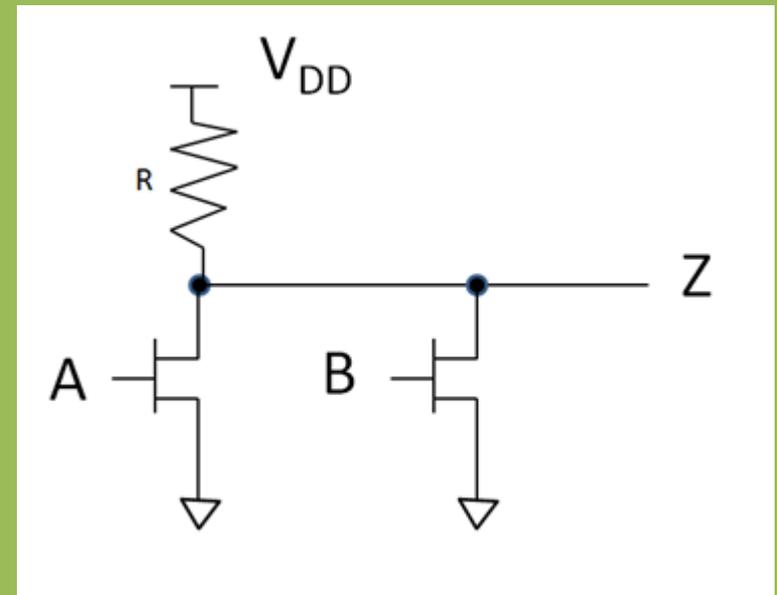
CMOS three-state buffer: (a) circuit diagram; (b) function table; (c) logic symbol.

Exercícios: qual a porta lógica implementada?

Função (a)



Função (b)



Tarefas

- Leitura do Capítulo 3 do livro-texto:
 - Seções 3.1 a 3.8
 - [Opcional] Leitura das seções 3.9 a 3.10
- Fazer exercícios do Capítulo 3 do livro-texto
 - ao menos *drill problems*