

N14746 BR



REPÚBLICA FEDERATIVA DO BRASIL

Ministério do Desenvolvimento, Indústria e Comércio Exterior
Instituto Nacional da Propriedade Industrial

CARTA PATENTE N.º PI 9506787-6

Patente de Invenção

O INSTITUTO NACIONAL DA PROPRIEDADE INDUSTRIAL

Para garantia da prioridade e do uso exclusivo do privilégio, na forma dos anexos, expede, nos termos da legislação em vigor, ressalvados os direitos de terceiros e a responsabilidade do governo quanto à novidade e à utilidade, a presente patente, mediante as características e condições abaixo:

(21) Número do Depósito : PI 9506787-6

(22) Data do Depósito : 01/02/1995

(43) Data da Publicação do Pedido : 24/08/1995

(51) Classificação Internacional : G11B 20/14; H03M 5/14; H03M 7/20

(30) Prioridade Unionista : 15/02/1994 NL 94200387.2(EP)

(54) Título : MÉTODOS DE CONVERTER PALAVRAS DE INFORMAÇÃO EM UM SINAL MODULADO E DE PROVER UM SUPORTE DE GRAVAÇÃO, DISPOSITIVOS CODIFICADOR, PARA GRAVAR INFORMAÇÕES, DECODIFICADOR E DE LEITURA, SINAL, E SUPORTE DE GRAVAÇÃO

(73) Titular : Koninklijke Philips Electronics N.V.. Endereço: Groenewoudseweg 1, 5621 BA Eindhoven, Holanda (NL).

(72) Inventor : Kornelis Antonie Schouhamer Immink. Endereço: Groenewoudseweg 1, NL-5621, BA Eindhoven, Holanda. Cidadania: Holandesa.

Prazo de Validade : 20 (vinte) anos contados a partir de 01/02/1995, observadas as condições legais.

Expedida em : 7 de Agosto de 2001.

Luiz Otávio Beaklini
Diretor de Patentes

José Graça Aranha
Presidente



Relatório Descritivo da Patente de Invenção
"MÉTODOS DE CONVERTER PALAVRAS DE INFORMAÇÃO EM UM SINAL
MODULADO E DE PROVER UM SUPORTE DE GRAVAÇÃO, DISPOSITIVOS
CODIFICADOR, PARA GRAVAR INFORMAÇÕES, DECODIFICADOR E DE
5 LEITURA, SINAL, E SUPORTE DE GRAVAÇÃO".

A invenção refere-se a um processo de converter
uma série de palavras de informações de m-bit para um sinal
modulado, com m sendo um número inteiro, em cujo processo
uma palavra código de n-bit é emitida para cada palavra de
10 informação recebida, com n sendo um número inteiro excedendo
m, e as palavras código emitidas são convertidas no sinal
modulado, e no qual a série de palavras de informação é
convertida em uma série de palavras código de acordo com as
regras de conversão, para que o sinal modulado
15 correspondente satisfaça um critério predeterminado.

A invenção adicionalmente refere-se a um
processo de produzir um suporte de gravação sobre o qual um
sinal é gravado obtido de acordo com o processo.

A invenção refere-se adicionalmente a um
20 dispositivo codificador para a realização do processo como
reivindicado, este dispositivo compreendendo um conversor de
m em n-bit para converter as palavras de informação de m-bit
em palavras código de n-bit, e dispositivos para converter
as palavras código de n-bit em um sinal modulado.

A invenção refere-se adicionalmente a um dispositivo de gravação no qual um dispositivo codificador deste tipo é usado.

A invenção refere-se adicionalmente a um ; sinal.

A invenção refere-se adicionalmente a um suporte de gravação sobre o qual o sinal é gravado.

A invenção refere-se adicionalmente a um dispositivo decodificador para converter o sinal em uma série de palavras de informação de m-bit, este dispositivo compreende dispositivos conversores para converter o sinal em uma cadeia de bits tendo um primeiro ou segundo valor lógico, esta cadeia de bits contendo palavras código de n-bit que correspondem às partes de sinal de informação, e este dispositivo compreendendo dispositivos conversores para converter a série de palavras código na série de palavras de informação, enquanto uma palavra de informação subordinada à palavra código é designada para cada uma das palavras código a ser convertida.

Finalmente, a invenção refere-se a um dispositivo de reprodução (leitura) no qual um dispositivo decodificador deste tipo é usado.

Os processos deste tipo, os dispositivos deste tipo, um suporte de gravação deste tipo e um sinal deste tipo são publicados por K.A. Schouhamer no livro intitulado "Coding Techniques for Digital Recorders" (ISBN 0-13-140047-9). No dito título, por exemplo, o denominado sistema de modulação EFM é descrito que é usado para gravar informações sobre os denominados Discos Compactos (CDs). O sinal EFM-modulado é

obtido convertendo uma série de palavras de informação de 8-bit em uma série de palavras código de 14-bit, três bits de intercalação sendo inseridos nas palavras código. As palavras código são selecionadas de tal maneira que o número mínimo de bits '0' situados entre os bits '1' é $d(2)$ e o número máximo é $k(10)$. Esta limitação é também designada de limitação-dk. A série de palavras código é convertida, via uma operação de integração módulo-2, em um sinal correspondente formado por células de bit tendo um alto ou baixo sinal de valor, um bit "1" sendo representado no sinal modulado por uma mudança do valor de sinal de alto para baixo ou vice versa. Um bit "0" é representado pela ausência de uma mudança de valor de sinal numa transição entre células de dois bit. Os bits de intercalação são selecionados de tal maneira que mesmo nas regiões de transição entre palavras código a limitação-dk é satisfeita e de que no sinal correspondente o denominado valor de soma digital em execução permanece substancialmente constante. O valor de soma digital em execução numa instante específico é entendido significar a diferença entre o número de células de bit tendo o valor de sinal alto e o número de células de bit tendo o valor do sinal baixo, calculado sobre a parte de sinal modulado situada antes deste instante. Um valor de soma digital em execução constante significa que o espectro de frequência do sinal não compreende componentes de frequência na área de baixa frequência. Um sinal deste tipo é também designado de um sinal livre de CC. A ausência de componentes de baixa frequência no sinal é altamente vantajoso quando o sinal é lido de um suporte de gravação sobre o qual o sinal é gravado na trilha, porque então controle de

trilhamento contínuo inafetado pelo sinal gravado é possível. A gravação de informações tem uma necessidade constante por aumentar a densidade de informações sobre o suporte de gravação.

Uma solução possível para isto é uma redução do número de células de bit por palavra de informações no sinal modulado. Todavia, o problema que ocorre então é que como um resultado da redução deste número de células de bit por palavra de informação o número de combinações de bit singular que pode representar as palavras de informação decrescerá, devido ao que limitações menos rigorosas podem ser impostas sobre o sinal modulado, por exemplo, limitações no tocante ao conteúdo de baixa frequência do sinal modulado.

Deve ser notado, que a EP-A-392506 descreve um processo de conversão de m-bit para n-bit. Para cada palavra de informação de m-bit possível umas poucas palavras de código de n-bit estão disponíveis. Para a palavra de informação de m-bit corrente uma das palavras de código de n-bit disponíveis é para ser selecionada dependendo do padrão de bit de cauda da palavra de código prévia para satisfazer as limitações do comprimento-execução e controlar o valor da soma digital em execução. Para cada um dos padrões de cauda possíveis uma série de partes frontais disponíveis é dado para possibilitar a seleção. Na próxima conversão uma palavra de código tem que ser selecionada tendo uma das partes frontais disponíveis.

Constitui um dos objetivos da invenção proporcionar meios para reduzir o número de células de bit por palavra de informação e neutralizar a redução do número de

combinações de bit singulares.

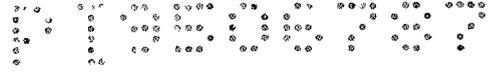
De acordo com um primeiro aspecto da invenção este objetivo é alcançado com um processo conforme definido no parágrafo inicial, caracterizado pelo fato das palavras código serem estendidas através de pelo menos um grupo de um primeiro e pelo menos um grupo de um segundo tipo, enquanto a distribuição de cada uma das palavras código pertencentes ao grupo do primeiro tipo estabelece um primeiro tipo de estado de codificação determinado pelo grupo associado, a distribuição de cada uma das palavras código pertencentes ao grupo do segundo tipo estabelece um segundo tipo de estado de codificação determinado pelo grupo associado e pela palavra de informação associada com a palavra código fornecida e, quando uma das palavras código é alocada à palavra de informação recebida, esta palavra código é selecionada de uma série de palavras código que depende do estado de codificação estabelecido quando a palavra código precedente foi fornecida, ao passo que as séries de palavras código pertencentes aos estados de codificação do segundo tipo não possuem palavras código em comum, desse modo permitindo uma mesma palavra código do grupo do segundo tipo sendo associada com uma pluralidade de palavras de informação entre as quais a palavra de informação respectiva é distinguível detectando a série respectiva da qual a palavra código seguinte é um membro.

5

De acordo com um segundo aspecto da invenção, um dispositivo codificador é caracterizado pelo fato do dispositivo compreender dispositivos estabelecedores de estado para estabelecer um estado de codificação sobre o fornecimento de uma palavra código pelo conversor, os dispositivos

estabelecidos de estado sendo dispostos para estabelecer um primeiro tipo de estado de codificação para cada uma das palavras código fornecidas pertencentes a um grupo do primeiro tipo cujo estado é determinado pelo grupo associado, e para estabelecer um segundo tipo de estado de codificação para cada uma das palavras código fornecidas pertencentes a um grupo do segundo tipo cujo estado é determinado pelo grupo associado e pela palavra de informação associada com a palavra código fornecida, e o conversor de m em n-bit compreendendo dispositivos para selecionar uma palavra código correspondente à palavra de informação de uma seleção de palavras código que depende do estado de codificação, as séries de palavras código pertencentes aos estados de codificação do segundo tipo não contendo quaisquer palavras código em comum, desse modo permitindo uma mesma palavra código do grupo do segundo tipo sendo associada com uma pluralidade de palavras de informação entre as quais a palavra de informação respectiva é distinguível detectando a série respectiva da qual a palavra código seguinte é um membro.

0 No processo e dispositivo codificador de acordo com a invenção a combinação da mesma palavra código com palavras código de séries de palavras código apartadas (= séries sem palavras código em comum) estabelece várias combinações de bit únicas, para que mais de uma palavra de
25 informação possa ser singularmente representada pela mesma palavra código em combinação com a sucessiva palavra código. A palavra código do grupo do segundo tipo é sempre sucedida quanto a isto por uma palavra código da qual é sempre possível estabelecer inambiguamente à qual grupo pertence esta palavra



código seguinte. É então possível com as palavras código de cada um dos grupos disjuntos sempre estabelecer um número suficiente de combinações de bit singulares para representar todas as palavras de informação.

Estas medidas proporcionam assim uma possibilidade de estabelecer um grande número de combinações de bit singulares com palavras código tendo um número relativamente pequeno de bits por palavra código. No caso onde as palavras código são selecionadas para serem estendidas através das séries e grupos, de forma que o número de combinações de bit singulares excedam o número de palavras de informação diferentes, é possível utilizar combinações de bit remanescentes para influenciar propriedades predeterminadas do sinal modulado.

É alternativamente possível utilizar somente tantas combinações de bit quantas forem as palavras de informação. Naquele caso as combinações de bit remanescentes especificam requisitos adicionais a serem estabelecidos sobre as palavras código.

)
Para um ou mais grupos, todavia, há uma preferência a alocar um par de palavras código do grupo associado a cada uma de um número de palavras de informação, e a seguir, mediante a conversão, selecionar qualquer uma das palavras código disponíveis do par de acordo com um critério específico de modo a influenciar uma propriedade específica do sinal modulado. Um processo no qual isto é realizado é caracterizado pelo fato da série de palavras de informação ser convertida de acordo com as regras de conversão na série de palavras código, para que o sinal modulado correspondente não

apresente substancialmente quaisquer componentes de frequência em uma área de baixa frequência no espectro de frequência e no qual o sinal modulado é qualquer número de sucessivas células de bit tendo o mesmo valor de sinal mínimo $d+1$ e o valor de sinal máximo $k+1$, os grupos de palavras código contendo um par de palavras código para cada uma de pelo menos um número de palavras de informação, ao passo que os componentes de baixa frequência no sinal modulado são evitados efetuando seleções de palavras código dos pares de palavras código quando as palavras de informação são convertidas.

A presente concretização é vantajosa pelo fato de, a despeito da redução do número de células de bit por palavra de informação, a presença de componentes de baixa frequência no sinal modulado pode ser substancialmente evitada.

Uma outra concretização é caracterizada pelo fato de palavras de sincronização (sync) serem inseridas nas séries de palavras código, as palavras sync apresentando configurações de bit que não podem ocorrer na cadeia de bit formada pelas palavras código, enquanto as palavras sync são usadas tendo diferentes configurações de bit e a palavra sync usada depende do estado de codificação, um estado de codificação predeterminado sendo estabelecido para a conversão da palavra de informação seguinte após uma palavra sync ter sido inserida, enquanto que as palavras sync são mutuamente distinguíveis na base dos valores lógicos de bits em posições de bit predeterminadas de uma maneira correspondente à maneira pela qual os grupos de palavras código pertencentes aos estados de codificação do segundo tipo são mutuamente

distinguíveis.

A presente modalidade é vantajosa pelo fato de no caso onde uma palavra código do grupo do segundo tipo é sucedida por uma palavra sync, uma palavra de informação é estabelecida por uma combinação de bit formada pela palavra código e palavra sync de modo similar ao caso onde a palavra código do grupo do segundo tipo seria sucedida por uma palavra código.

A última concretização é além disso vantajoso pelo fato de um estado de codificação ser estabelecido cada vez após uma palavra sync ter sido emitida, de modo que as limitações impostas sobre a cadeia de bits na transição da palavra sync para a palavra código seguinte sempre podem ser satisfeitas.

5 O sinal obtido pelo dispositivo codificador de acordo com a invenção é vantajoso pelo fato de poder ser decodificado de uma maneira extremamente simples.

20 Uma concretização para um dispositivo decodificador pela qual isto é realizado é caracterizada pelo fato dos dispositivos conversores serem previstos para converter a palavra de informação também na dependência dos valores lógicos de bits na cadeia de bit localizada em posições predeterminadas com respeito à palavra código.

25 A invenção será adicionalmente explanada com referência às figuras 1 a 17 do desenho, nas quais:

A fig. 1 mostra uma série de palavras de informação, uma correspondentes série de palavras código e um sinal modulado;

As figs. 2 e 3 mostram tabelas nas quais a

relação entre as palavras de informação e as palavras código é estabelecida.

A fig. 4 mostra os valores de vários parâmetros conforme se apresentam quando uma série de palavras de informação é convertida em uma série de palavras código;

As figs. 5a e 5b mostram as partes de baixa frequência de espectros de frequência de vários sinais;

As figs. 6 e 8 mostram várias concretizações para dispositivos codificadores;

A fig. 7 mostra uma concretização para um circuito de seleção a ser usado no dispositivo codificador mostrado na fig. 6;

A fig. 9 mostra possíveis configurações de bit de palavras sync apropriadas;

A fig. 10 mostra uma adaptação do dispositivo codificador da fig. 6 para a inserção de palavras sync;

A fig. 11 mostra um dispositivo decodificador;

A fig. 12 mostra um suporte de gravação;

A fig. 13 mostra uma parte consideravelmente ampliada do suporte de gravação da fig. 12;

A fig. 14 mostra um dispositivo de gravação;

A fig. 15 mostra um dispositivo de reprodução (leitura);

A fig. 16 mostra partes de um sinal modulado e suas correspondentes palavras código; e

A fig. 17 oferece uma representação diagramática do estendimento de palavras código através de grupos e séries.

A figura 1 mostra três palavras informação de

m-bit consecutivas, neste caso, palavras de informação de 8-bit designadas 1. As três palavras de informação 1 tem os respectivos valores de palavra "24", "121" e "34". Esta série de 3 palavras de informação 1 é convertida em três palavras código de n-bit consecutivas, neste caso, palavras código de 16-bit designada 4. As palavras código 4 formam uma cadeia bit de bits tendo um valor lógico "0" e bits tendo um valor lógico "1". A conversão das palavras de informação é tal que na cadeia de bit o número mínimo de bits tendo um valor lógico "0" posicionado entre dois bits tendo um valor lógico "1" é d e o máximo é k, onde d é igual a 2 e k é igual a 10. Uma cadeia de bit deste tipo é frequentemente designada de uma cadeia RLL (RLL = Comprimento Corrido Limitado) com uma limitação-dk. Os bits individuais das palavras código serão adicionalmente designado x_1, \dots, x_{16} , onde x_1 designa o primeiro bit (a partir da esquerda) da palavra código e x_{16} designa o último bit da palavra código.

A cadeia de bit formada pelas palavras código 4 é convertida em um sinal modulado 7 por intermédio de uma operação de integração módulo-2. Este sinal modulado compreende três partes de sinal de informação 8 representando as palavras código 4. As partes de sinal de informação compreende células de bit 11 que pode ter um alto valor de sinal H ou um baixo valor de sinal L. O número de células de bit por parte de sinal de informação é igual ao número de bits da palavra código associada. Cada bit de palavra código tendo um valor lógico "1" é indicado no sinal modulado 7 por uma transição de uma célula de bit tendo o valor de sinal alto para uma célula de bit tendo o valor de sinal baixo, ou vice

versa. Cada bit de palavra código tendo o valor lógico "0" é indicado no sinal modulado 7 pela ausência de uma mudança de valor de sinal em uma transição de célula de bit.

Outrossim, o espectro de frequência do sinal modulado 7 é requerido não incluir substancialmente quaisquer componentes de baixa-frequência. Expresso diferentemente, o sinal modulado 7 deve ser livre de CC.

A seguir será descrita em detalhe uma concretização do processo de acordo com a invenção pelo qual o sinal modulado pode ser obtido.

Primeiro há um requisito com respeito às palavras código de que dentro das palavras-código a limitação-dk seja satisfeita. A fig. 17 mostra diagramaticamente o conjunto de todas as possíveis palavras código satisfazendo a limitação-dk na zona encerrada pelo quadro 170. As palavras código são divididas em pelo menos um grupo de um primeiro tipo e pelo menos um grupo de um segundo tipo. Quando uma palavra código é emitida de um dos grupos do primeiro tipo, um estado de codificação é estabelecido que depende exclusivamente do grupo do primeiro tipo ao qual pertence a palavra código emitida. Quando uma das palavras código do grupo do segundo tipo é emitida, um estado de codificação é estabelecido que depende tanto do grupo do segundo tipo como da palavra de informação representada pela palavra código emitida. Na modalidade aqui descrita, dois grupos do primeiro tipo podem ser distinguidos, isto é, um primeiro grupo G11 que compreende palavras código terminando em a bits tendo um valor lógico "0", onde a é um número inteiro igual a 0 ou 1, e um segundo grupo G12 de palavras código terminando em b bits tendo um "0"

lógico onde b é um número inteiro menor que ou igual a 9 e maior que ou igual a 6.

Na fig. 17 as palavras código pertencentes ao grupo G11 residem em um quadro 171. As palavras código pertencentes ao grupo G12 residem em um quadro 172.

O estado de codificação estabelecido pelo primeiro grupo G11 do primeiro tipo será doravante designado S1. O estado de codificação estabelecido pelo segundo grupo G12 do primeiro tipo será doravante designado S4. A concretização a ser aqui descrita somente conhece um grupo do segundo tipo. Este grupo compreende palavras código terminando em c bits tendo um valor lógico "0", onde c é um número inteiro maior que ou igual a 2 e menor que ou igual a 5. Este grupo será doravante designado G2. Na fig. 17 as palavras 5 códigos do grupo G2 residem em um quadro 173. No exemplo a ser aqui descrito, dois estados de codificação, isto é, S2 e S3 podem ser estabelecidos pela combinação de uma palavra código e palavra de informação associada.

Quando as palavras de informação são 10 convertidas em palavras código, uma palavra código pertencente a um conjunto de palavras código dependendo do estado de codificação é atribuída à palavra de informação a ser convertida. Os conjuntos de palavras código pertencentes aos estados de codificação S1, S2, S3 e S4 doravante serão 25 designados V1, V2, V3 e V4, respectivamente. As palavras código dos conjuntos V1, V2, V3 e V4 residem nos quadros 174, 175, 176 e 177. As palavras código nos conjuntos são de tal maneira selecionadas que cada cadeia de bits que pode ser formada por uma palavra código a partir do grupo que

estabeleceu um estado de codificação e uma palavra código arbitrária do conjunto estabelecido por este estado de codificação satisfaz a limitação-dk. No caso onde o estado de codificação S4 é estabelecido pela emissão da palavra código previamente emitida e o estado de codificação assim indica que a palavra código prévia termina em uma cadeia de bit tendo um valor lógico "0" maior que ou igual a 6 e menor que ou igual a 9, o conjunto de palavra código V4 que é estabelecido pelo estado de codificação S4 é somente permitido a compreender palavras código se iniciando com um máximo de 1 bit tendo o valor lógico "0". Quanto a isto, palavras código se iniciando com um maior número de bits tendo o valor lógico "0" terão áreas de transição entre a palavra código previamente emitida e a palavra código a ser emitida, em cujas áreas o número de sucessivos bits tendo o valor lógico "0" nem sempre será menor que ou igual a 10 e assim não satisfaz a limitação-dk. Por razões similares, o conjunto V1 compreende somente palavras códigos se iniciando com um número de bits tendo o valor lógico "0" que é maior que ou igual a 2 e menor que ou igual a 9.

Os conjuntos V2 e V3 de palavras código pertencentes aos estados de codificação S2 e S3 contém somente palavras código se iniciando com um número de bits tendo um valor lógico "0" maior que ou igual a 0 e menor que ou igual a 5. As palavras código satisfazendo esta condição são distribuídas através dos dois conjuntos V2 e V3, de modo que os conjuntos V2 e V3 não contém quaisquer palavras código comuns. Os conjuntos V2 e V3 serão designados de conjuntos disjuntos a seguir. A distribuição das palavras código através

dos conjuntos V2 e V3 de preferência é tal que na base dos valores lógicos de um número limitado de p bits pode ser determinado a que conjunto uma palavra código pertence. No exemplo descrito acima, a combinação de bit $x_1.x_{13}$ é usada para esta finalidade. As palavras código do conjunto V2 são identificáveis da combinação de bit $x_1.x_{13} = 0.0$. As palavras código do conjunto V3 são então identificáveis da combinação $x_1.x_{13}$ que não é igual a 0.0 . Uma distinção é feita entre as palavras código estabelecendo o estado de codificação S1 (grupo G1) na emissão, as palavras código estabelecendo o estado de codificação S2 ou S3 (grupo G2) na emissão, e as palavras código estabelecendo o estado de codificação S4 (grupo G12) na emissão. O conjunto V1 compreende 138 palavras código do grupo G1, 96 palavras código do grupo G2 e 22 palavras código do grupo G12. Será evidente que o número de diferentes palavras código no conjunto V1 é menor que o número de diferentes palavras de informação de 8-bit.

Uma vez que as palavras código do grupo G2 são sempre sucedidas por uma palavra código do conjunto V2 ou uma palavra código do conjunto V3, e, além disso, baseadas sobre a palavra código que se segue a uma palavra código do Grupo G2 pode ser estabelecido a que grupo esta palavra código pertence, uma palavra código do grupo G2 sucedida por uma palavra código do conjunto V2 pode ser inequivocamente distinguida da mesma palavra código do grupo G2, porém sucedida por uma palavra código do conjunto V3. Enunciado diferentemente, quando palavras código são alocadas a uma palavra de informação, cada palavra código do grupo G2 pode ser usada duas vezes. Cada palavra código do grupo G2

juntamente com uma palavra código aleatória do conjunto V2 forma uma combinação de bit singular que é inseparável da combinação de bit formada pela mesma palavra código e uma palavra código aleatória do mesmo conjunto V3. Isto significa que 138 combinações de bit singulares (palavras código) do grupo G11 podem ser usadas para o conjunto V1, 22 combinações de bit singulares (palavras código) do grupo G12 e 2*96 combinações de bit singulares (palavras código do grupo G2 combinadas com palavras código subsequentes) do grupo G2. Isto leva o número total de combinações de bit singulares úteis para 352. O número de combinações de bit singulares formadas com as palavras código dos conjuntos V2, V3 e V4 são 352, 351 e 415, respectivamente.

A título de ilustração, a fig. 17 mostra uma palavra código 178 pertencente ao grupo G2. Isto significa que a palavra código seguinte pertence quer ao conjunto V2 quer ao conjunto V3. A palavra código 178 e a palavra código seguinte são assim suscetíveis de serem inambiguamente estabelecerem duas palavras de informação diferentes. Na fig. 17 a palavra código 178 sucedida por uma palavra código do conjunto V2, por exemplo, a palavra código 179, estabelece uma palavra de informação diferente daquela estabelecida pela palavra código 178 sucedida por uma palavra código do conjunto V3, por exemplo, a palavra código 180. A palavra código 179 pertence ao grupo G11, resultando no fato daquela palavra código 179 ser sempre sucedida por uma palavra código do conjunto VI, indiferentemente à palavra de informação a ser codificada a seguir, de forma que a palavra código 179 é suscetível de estabelecer não mais do que uma única palavra de informação.

O mesmo se aplica para a palavra código 180. A conversão de palavras de informação se processa como segue:

Presuma-se que a palavra código emitida por último seja a palavra código 178 do grupo G2, a palavra código seguinte então pertencerá quer ao conjunto V2 quer ao conjunto V3, dependendo da palavra de informação a ser convertida. Presumindo-se que esta palavra de informação estabeleça a palavra código 179, isto significa que a palavra código seguinte pertencerá ao conjunto VI. Qual palavra código do conjunto V1 é usada é determinada pela palavra de informação a ser convertida. Neste exemplo esta é a palavra código 181. A palavra código 181 pertence ao grupo G12, de forma que a palavra código seguinte pertencerá ao conjunto V4. Qual palavra código esta será mais uma vez é estabelecido pela palavra de informação a ser convertida. Neste exemplo esta é a palavra código 182. A palavra código 182 pertence ao grupo G2. Isto significa que, dependendo da palavra de informação correspondente à palavra código 182, a palavra código seguinte é proveniente quer do conjunto V2 quer do conjunto V3. Qual das palavras código do conjunto V2 ou V3 é usada depende da palavra de informação a ser convertida. Neste exemplo a palavra código 182 é sucedida pela palavra código 183. A palavra código 183 também pertence ao grupo G2, de forma que, dependendo da palavra de informação correspondente à palavra código 183, a palavra código seguinte será proveniente quer do conjunto V2 quer do V3. Qual das palavras código no conjunto é usada mais uma vez depende da palavra de informação a ser convertida. Neste caso é a palavra código 184. Da maneira descrita acima qualquer série aleatória de palavras de

informação pode ser singularmente convertida em uma série de palavras código.

No precedentemente exposto uma explanação foi fornecida do número de palavras código disponíveis estendidas por uma subdivisão de palavras código em grupos de um primeiro e de um segundo tipo que estabelece um estado de codificação, cujos estados de codificação em si próprios estabelecem um conjunto de palavras código do qual uma palavra código deve ser selecionada para a conversão de uma palavra de informação seguinte. É então essencial que os conjuntos de palavras código dos quais uma seleção deve ser feita não possuem palavras código em comum no caso de estados de codificação estabelecidos pela palavras código de um grupo do segundo tipo. Consequentemente, é possível alocar a mesma palavra código de um conjunto de palavras código para diferentes palavras de informação, contanto que devida cautela seja tomada para que as palavras código que se seguem a esta mesma palavra código pertençam a diferentes conjuntos que não possuem palavras código em comum. Será óbvio aqueles versados na técnica que a dita subdivisão de palavras código em conjuntos e grupos para obter palavras código às quais mais de uma palavra de informações pode ser alocada também pode ser aplicada a palavras código tendo um número de bits aleatório diferente. Tampouco é necessário para a série de palavras código satisfazer uma limitação d_k específica. Outras limitações são possíveis, por exemplo, como descrito na EP-A 0.319.101.

Como precedentemente explanado, um maior número de combinações de bit singulares disponíveis decorre do

fato de que mais de uma combinação de bit singular pode ser estabelecida com palavras código provenientes do grupo ou grupos do segundo tipo (G2). Genericamente, a subdivisão de palavras código em grupos e conjuntos será selecionada de tal maneira que o número de combinações de bit singulares disponíveis é maior que o número de palavras de informação diferentes. Este excesso de combinações de bit singulares proporciona a possibilidade de impor limitações adicionais sobre a conversão.

Uma possibilidade é utilizar somente tantas combinações de bit singulares disponíveis quantas forem as diferentes palavras de informação. Naquele caso o excedente de combinações de bit singulares permite a imposição de limites adicionais específicos sobre as palavras código.

Todavia, deve ser preferido para um ou mais dos conjuntos alocar um par formado por duas palavras código do conjunto associado para cada de um número de palavras de informação, e a seguir selecionar quer as palavras código disponíveis do par de acordo com um determinado critério ou conversão, de modo a influenciar a propriedade específica do sinal modulado.

Uma possibilidade extremamente atraente é influenciar o componente de baixa-frequência no sinal modulado. Esta influência consiste em minimizar os componentes de CC. Isto pode ser efetuado determinando o valor de soma digital na extremidade de cada parte de sinal de informação e selecionar as ditas palavras código quando as informações são convertidas, para que o valor de soma digital determinado ao término de cada parte de informações permaneça em torno de um

determinado valor de referência. Isto pode ser efetuado atribuindo a um número de palavras de informação um par de palavras código que efetuam diferentes alterações do valor de soma digital. De preferência, cada par de palavras código não compreende mais de duas palavras código para as quais as mudanças dos valores de soma digital tem sinais algébricos opostos. Para um nível de sinal dado ao término da última parte de sinal de informação, a palavra código pode então ser selecionada para a qual o valor de soma digital estará mais próximo do valor de referência uma vez que a palavra código tenha sido emitida.

Outra possibilidade de selecionar palavras código é selecionar a palavra código para a qual, ao nível de sinal dado ao término da palavra código por último emitida, o sinal algébrico da mudança de valor de soma digital causado pela palavra código associado será oposto aquele da diferença entre o valor de soma digital anterior à emissão da palavra código e o valor de referência. A seleção da palavra código a ser emitida quando uma seleção é possível dentro de duas palavras código tendo influência oposta sobre o valor de soma digital pode ser simplesmente efetuada na base do valor do sinal ao término de cada parte de sinal de informação e o sinal algébrico da diferença entre o valor de soma digital associado com esta extremidade e o valor de referência.

A fig. 2 mostra a título de ilustração para cada um dos conjuntos V1, V2, V3 e V4 uma palavra código atribuída a cada uma das possíveis palavras de informação. Nesta figura a primeira coluna (esquerda) mostra os valores de palavra de todas as possíveis palavras de informação. As

segunda, quarta, sexta e oitava colunas mostram as palavras código alocadas às palavras de informação dos respectivos conjuntos V1, V2, V3 e V4. As terceira, quinta, sétima e nona colunas mostram por intermédio dos respectivos dígitos 1, 2, 3 e 4 quais dos estados de codificação S1, S2, S3 e S4 são estabelecidos pela palavra código associada. Na fig. 2 não mais de 256 das palavras código disponíveis são usadas para cada um dos conjuntos V1, V2, V3 e V4. A fig. 3 mostra, de maneira similar à fig. 2, as palavras códigos dos conjuntos não mostrados na tabela da fig. 2 para 88 palavras de informação para as quais um par de duas palavras códigos é alocado. As palavras código representadas na fig. 3 serão doravante designadas de palavras código alternativas. A alocação de palavras código às palavras de informação é de tal natureza que a mudança do valor de soma digital causada pelas 15 palavras código alternativas é a oposta à mudança do valor de soma digital causado pelas palavras código da fig. 2 que são atribuídas aos valores de palavra "0" a "87" inclusive.

20 Deve ser observado que todos os conjuntos na fig. 3 contém igualmente muitas palavras código. Será óbvio aqueles versados na técnica que isto não é indispensável. É igualmente possível que estes conjuntos não sejam igualmente grandes.

25 Outrossim, é observado que a atribuição de palavras código às palavras de informação é selecionada para ser tal que a relação entre, por um lado, a combinação de uma palavra código e os bits x1 e x13 da palavra código seguinte e, por outro lado, as palavras de informação, é singular, de forma que a decodificação pode ser exclusivamente efetuada

baseada sobre uma palavra código recebida e sobre os bits x1 e x13 da palavra código seguinte. Para a atribuição da palavra código isto significa que se uma palavra código ocorre em diferentes conjuntos, as mesmas palavras código nos diferentes conjuntos representam as mesmas palavras de informação. Por exemplo, a palavra de informação tendo o valor de palavra "2" é representada por "0010000000100100" nos conjuntos V0 e V2 mostrados na fig. 2 e por "100000000010010" nos conjuntos V2 e V3.

Desnecessário observar-se que é desnecessário que as palavras código provenientes de diferentes conjuntos representem as mesmas palavras de informação. Todavia, isto efetivamente significa que o estado de codificação deve ser recuperado na decodificação para reconstituir a palavra de informação original.

A conversão de uma série de palavras de informação em uma série de palavras código será adicionalmente explanada com referência à fig. 4.

A coluna IW mostra de cima para baixo os valores de palavra de uma série de sucessivas palavras de informação de m-bit. Para cada uma das palavras de informação para a qual um valor de palavra é incluído na coluna IW é mostrado um número de dados. A coluna SW representa o estado de codificação estabelecido quando a palavra código foi emitida, cuja palavra código foi obtida como um resultado da conversão da palavra de informação precedente. Esta palavra código será doravante designada de palavra código precedente. O estado de codificação na coluna SW indica quais dos conjuntos V1, V2, V3 e V4 de palavras código deve ser usado

para a conversão da palavra de informação. A coluna LB mostra o valor de sinal do sinal modulado ao término da parte de sinal de informação cuja parte corresponde com a palavra código obtida quando a palavra de informação precedente foi convertida. Este valor de sinal será doravante designado de valor de sinal de informação corrente. Na coluna D S V é mostrado o valor de soma digital que pertence ao valor de sinal corrente do sinal modulado, o valor de sinal modulado corrente.

A coluna CW mostra as palavras código atribuídas às palavras de informações da coluna IW de acordo com as colunas das figs. 2 e 3. NO caso onde um par de palavras código é atribuído a uma palavra de informação, as duas palavras código do par são mostradas, a palavra código superior do par correspondente à tabela da fig. 2 e a palavra código inferior do par correspondente à tabela da fig. 3. A coluna dDSV mostra a mudança no valor de soma digital causado pela palavra código, presumindo-se que o valor de sinal modulado corrente teria tido o valor "H".

A coluna DSVN mostra o novo valor de soma digital para a palavra código associada como este valor seria para o caso onde a palavra código associada é emitida. A coluna L B N representa via um "1" lógico que o valor de sinal ao início e fim da parte de sinal de informação pertencente à palavra código são diferentes. Um "0" lógico indica que os valores de sinal ao início e fim da parte de sinal de informação associada são iguais. O valor de sinal ao início e fim de uma parte de sinal de informação são diferentes se a palavra código associada contém um número ímpar de bits "1",

que corresponde a um número ímpar de mudanças de níveis de sinal na parte de sinal de informação. Com um número par de bits "1" na palavra código, o valor do sinal ao início e fim da parte de sinal de informação é o mesmo. Na coluna SWN o estado de codificação é mostrado que seria estabelecido no caso onde a palavra código pertinente é emitida.

Outrossim, as colunas CS indicam por um asterisco "*" qual palavra código é efetivamente emitida para a palavra de informação associada.

A primeira palavra (superior) da série de palavras código mostradas na coluna IW tem um valor de palavra de "2". Presuma-se que o estado de codificado (coluna SW) seja S1 quando a conversão da série de palavras de informação é iniciada, e que o sinal modulado se inicie com o nível de sinal H e que o valor de soma digital DSV seja igual a 0. Naquele caso o valor DSVN associado é igual a -6 para a palavra código superior, ao passo que o valor DSVN é +10 para a palavra código inferior do par. Quando o critério é aplicado de que a palavra código é emitida para a qual o valor DSVN está o mais próximo possível de um valor de referência de 0, a superior das duas palavras código do par é emitida para a palavra de informação tendo o valor de palavra de "2". Isto significa que o estado de codificação para a palavra de informação seguinte (valor de palavra "8") torna-se S2. Ao término da parte de sinal de informação correspondente à palavra código emitida, o valor de sinal é L e o valor de sinal ao início da parte de informação seguinte é assim L como é mostrado na coluna LB. O valor de dDSV para a palavra código superior do par pertencente à palavra de informação tendo o

valor de palavra de "8" é igual a -6. Este valor de -6 se aplica ao caso onde o valor do sinal ao início da parte de sinal de informação associada seria H. Uma vez que este valor de sinal é L na situação mostrada, a mudança do valor de soma digital causada pela palavra código não é igual a -6, porém +6. Isto significa que DSVN torna-se igual a 0. Para a palavra código inferior do par DSVN é igual a -18. O valor de DSVN para a palavra código superior está mais próximo de 0, de modo que a palavra código superior é emitida. Subsequentemente, a palavra de informação tendo o valor de palavra de "100" deve ser convertida. Não mais de uma palavra código é atribuída a esta palavra de informação, de forma que uma seleção dependendo de DSVN é impossível para esta palavra de informação. De maneira similar à maneira acima descrita, as palavras de informação tendo os valores de palavra "230", "0", "61" e "255" são convertidas. Cada vez que uma conversão deve se verificar de uma palavra de informação para a qual um par de palavras código é atribuído, aquela palavra código específica é selecionada do par para o qual o valor de DSVN está mais próximo de zero. Desta maneira o nível de tensão CC do sinal modulado é mantido a um nível substancialmente constante e o espectro de frequência do sinal modulado não apresentará quaisquer componentes de baixa frequência. Ainda que um conjunto de palavras código não seja disponível para cada palavra de informação, uma influência do valor de soma digital não obstante será possível para 88/256 de todas as palavras de informação a serem convertidas em média. Na prática isto parece ser amplamente suficiente para assegurar que o componente de baixa-frequência esteja ausente no sinal

modulado. Deve ser preferido incluir nos pares de palavras código aquelas palavras código para as quais a mudança causada no valor de soma digital é máxima. Por um lado, isto é vantajoso pelo fato do valor da soma digital poder ser alterado para o seu máximo. Por outro lado, isto significa que a mudança causada no valor de soma digital é relativamente pequena para palavras código não pertencentes ao par e que a influência destas palavras código sobre o valor de soma digital é relativamente pequena.

A título de ilustração, a fig. 5a mostra a parte de baixa frequência do espectro de frequência de um sinal modulado obtido implementando o processo de acordo com a invenção. Na fig. 5b a parte de baixa frequência correspondente do espectro de frequência de um sinal EFM-modulado é plotada. Conforme se evidencia das figs. 5a e 5b, os espectros de frequência para os dois sinais são substancialmente os mesmos. A limitação-dk para o sinal EFM-modulado e o sinal modulado obtido implementando o processo de acordo com a invenção é também substancialmente a mesma. O número de células de bit por palavra de informação em um sinal EFM-modulado é igual a 17, ao passo que esta é igual a 16 em um sinal modulado de acordo com a invenção. Isto significa que se o processo de acordo com a invenção é implementado, um aumento de densidade de informações de cerca de 7% é obtido em relação a um sinal EFM-modulado, sem este ser obtido a custa de um aumento do conteúdo de baixa-frequência e sem quaisquer concessões à limitação-dk.

A fig. 6 mostra uma concretização para um dispositivo codificador 140 de acordo com a invenção pelo qual

o processo acima descrito pode ser realizado. O dispositivo codificador é previsto para converter as palavras de informação de m-bit 1 em palavras código de n-bit 4 e o número de diferentes estados de codificação pode ser indicado por s bits. O dispositivo codificador compreende um conversor 60 para converter (m+s+1) sinais de entrada binários em (n+s+t) sinais de saída binários. Das entradas do conversor m entradas são conectadas com um duto 61 para receber palavras de informação de m-bit. Das saídas do conversor n saídas são conectadas com um duto 62 para emitir palavras código de n-bit. Outrossim, s entradas são conectadas com um duto de s-bit 63 para receber uma palavra de estado indicando o estado de codificação atual. Uma palavra de estado é emitida por uma memória báfer 64, por exemplo, na forma de flip-flops. A memória báfer 64 tem s entradas conectadas com um duto 58 para receber uma palavra de estado a ser armazenada na memória báfer. Para emitir as palavras de estado a serem armazenadas na memória báfer, são usadas s saídas do conversor 60 que são conectadas com o duto 58.

O duto 62 é conectado com as entradas paralelas de um conversor paralelo/serial 66 que converte as palavras código 4 recebidas através do duto 62 em uma cadeia de bit seria a ser fornecida através de uma linha de sinal 67 a um circuito modulador 68 que converte a cadeia de bit no sinal modulado 7 a ser emitido através da linha de sinal 70. O circuito modulador pode ser de um tipo costumeiro, por exemplo, um denominado integrador-módulo-2.

Além das palavras código e palavras de estado, o conversor aplica a um duto 75 para cada combinação recebida

de palavra de informação e informações de palavra de estado que

- indica se para a palavra de estado associada a palavra código ou um par de palavras código é alocada à palavra de informação associada;

- indica para cada uma destas palavras códigos alocadas a mudança dDSV do valor de soma digital causado pela palavra código quando esta mudança seria para um valor de sinal elevado ao início de uma parte de sinal de informação correspondente a esta palavra código;

- indica se o número de "1" bits na palavra código é ímpar ou par.

Para transferência de informações para um circuito de seleção 76 o duto é conectado com entradas do circuito de seleção 76.

Baseado sobre estas informações o circuito de seleção 76 emite um sinal de seleção que indica se a palavra código a ser alimentada ao duto 62 com a palavra de informação apresentada deve ser convertida de acordo com as relações estabelecidas nas tabelas da fig. 2, ou de acordo com as relações estabelecidas nas tabelas da fig. 3. Este sinal de seleção é aplicado ao conversor 60 através de uma linha de sinal 77.

O conversor 60 pode compreender uma memória ROM na qual as tabelas de palavra código mostradas nas figs 2 e 3 são armazenadas em endereços determinados pela combinação de palavras de estado e palavra de informação aplicadas às entradas do conversor. Em resposta ao sinal de detecção, os endereços das posições da memória são selecionados com as

palavras código correspondentes à tabela mostrada na fig. 2 ou os endereços das posições de memória com as palavras código correspondentes à tabela mostrada na fig. 3.

Na concretização mostrada na fig. 6 as palavras de estado são armazenadas na memória 60. Alternativamente, é possível derivar, por um circuito de porta, somente as palavras de estado das palavras código emitidas para o duto 62.

Em vez de compreender uma memória ROM, o conversor também pode compreender um circuito lógico combinatório formado pelos circuitos de porta. A sincronização das operações, executadas no conjunto podem ser obtidas de maneira convencional com sinais de relógio sincronizados que podem ser derivados por um circuito gerador de sinais de relógio (não mostrado) convencional. A fig. 7 mostra uma possível concretização para o circuito de seleção 76. As linhas de sinal formando o duto 75 são divididas em um sub-duto 80 e um sub-duto 81. O valor de dDSV é transferido através do sub-duto 80 para uma palavra código da tabela mostrada na fig. 2 que é atribuída em resposta à combinação recebida de palavra de estado e palavra de informação. Através do sub-duto 81 é transferido o valor de dDSV para a palavra código proveniente da tabela mostrada na fig. 3 no caso onde esta tabela contém uma palavra código para a combinação associada de palavra de estado e palavra de informação. O sub-duto 80 é conectado com uma primeira entrada de um circuito aritmético 82. Uma segunda entrada do circuito aritmético 82 recebe, através de um duto 85, o valor de DSV armazenado em uma memória b fer 83. Outrossim, uma entrada de controle do

circuito aritmético recebe um sinal de controle através de uma linha de sinal 84, cujo sinal indica se o valor de sinal ao início da parte de sinal de informação correspondente à palavra código associada tem o alto valor H ou o baixo valor L.

O sinal sobre a linha de sinal 84 é obtido por intermédio, por exemplo, de um flip-flop cujo estado é constantemente adaptado quando a palavra código é emitida, cuja adaptação se verifica em resposta a um sinal indicando se o número de bits tendo um valor lógico "1" na palavra código emitida é ímpar ou par. Este sinal é emitido pelo conversor 60 e alimentado através de uma das linhas de sinal formando o duto 75. O circuito aritmético 82 é um de um tipo convencional subtraindo ou adicionando o valor dDSV recebido através do duto 80 de ou a respectivamente, o valor de DSV recebido através do duto 85 em resposta ao sinal de controle.

O circuito de seleção 76 compreende um outro circuito aritmético 86 que, de maneira similar ao circuito aritmético 82, adicional o valor de dDSV recebido através do duto 81 ao valor de DSV recebido através do duto 85 ou o subtrai do mesmo em resposta ao sinal de controle sobre a linha de sinal 84. Os resultados das operações efetuadas pelos circuitos aritméticos 82 e 86 são aplicados através de um duto 87,88 respectivamente, a um circuito de decisão 89 e um circuito multiplex 90. Estes resultados representam, se um par de palavras código foi atribuído à palavra de estado apresentada, as novas mudanças de valor de soma digital DSVN que seriam obtidas com a emissão de duas palavras código diferentes do par. O circuito de decisão 89 é de um tipo

costumeiro que determinada, em resposta aos valores de DSVN recebidos através dos dutos 87 e 88, qual dos dois valores recebidos está mais próximo de um valor de referência, e qual circuito 89 alimenta um sinal de decisão correspondente a este resultado a uma linha de linha 91. Na eventualidade de uma seleção de duas palavras código de um par de palavras código, o sinal de decisão indica qual das duas palavras código deve ser emitida. Este sinal de decisão é aplicado à linha de sinal 77 através de uma porta-AND 92. No caso onde não um par de palavras código porém somente uma palavra código é disponível, o sinal na linha de sinal 77 é para indicar que a palavra de informação emitida de acordo com as tabelas como mostrado na fig. 2 deve ser convertida. Para realizar isto, uma segunda entrada da porta-AND 92 é alimentada com um sinal proveniente do duto 75 cujo sinal indica se não mais de uma única palavra código ou um par de palavra código é disponível para a combinação apresentada de palavra de estado e palavra de informação.

A linha de sinal 77 é também conectada com uma entrada de controle do circuito multiplex 90. Dependendo do sinal na sua entrada de controle o circuito multiplex 90 passa os valores de DSVN recebidos através dos dutos 87 e 88 para uma saída pertencente à palavra código emitida. A saída do circuito 90 é acoplada com a entrada da memória báfer 83. A carga da memória báfer é controlada de uma maneira convencional, para que o valor de DSVN passado adiante pelo circuito multiplex seja armazenado na memória báfer 83 quando a palavra código selecionada é emitida.

No caso onde um conjunto de palavras código

é disponível para uma palavra de informação apresentada na concretização para o dispositivo codificador, a palavra código é selecionada do par para o qual o valor de soma digital está mais próximo de um valor de referência predeterminado quando a palavra código é emitida. Outra possibilidade de selecionar palavras código do par de palavras código é selecionada que a palavra código para a qual o sinal algébrico do valor de soma digital muda, cuja mudança é causada pela emissão da palavra código, é oposta ao sinal algébrico do valor de soma digital ao início da emissão da palavra código.

A fig. 8 mostra uma concretização para um dispositivo codificador de acordo com a invenção na qual as palavras código são selecionadas na base do dito critério. O dispositivo codificador mais uma vez é previsto para converter as palavras de informação de m -bit 1 em palavras código de n -bit 4, enquanto o número de diferentes estados de codificação pode ser representado por s bits. O dispositivo codificador compreende um conversor 50 para converter $(m+s+1)$ sinais de entrada binários em $(n+s)$ sinais de saída binários. Das entradas do conversor m entradas são conectadas com um duto 51 para receber palavras de informação de m -bit. Das saídas do conversor n saídas são conectadas com um duto 52 para emitir palavras código de n -bit. Outrossim, s entradas são conectadas com um duto de s -bit 53 para receber uma palavra de estado que indica o estado de codificação instantâneo. A palavra de estado é fornecida por uma memória báfer que compreende, por exemplo s flip-flops. A memória báfer 54 tem s entradas conectadas com um duto para receber uma palavra de estado para ser carregada na memória báfer. Para emitir as palavras de

estado a serem carregadas na memória báfer, as saídas do conversor 50 são usadas.

O duto 52 é conectado com as entradas paralelas de um conversor paralelo/serial 56 que converte as palavras código fornecidas através do duto 52 em uma cadeia de bit serial a ser aplicada, através de uma linha de sinal 57, a um circuito modulador 58 que converter a cadeia de bits no sinal modulado 7 a ser emitido através de uma linha de sinal 40. O circuito modulador 58 pode ser um circuito de um tipo convencional, por exemplo, um integrador módulo-2. O sinal modulado 7 é aplicado a um circuito de um tipo convencional para derivar o valor de soma digital corrente do sinal modulado 7. O circuito 59 emite um sinal Sdsv que depende do valor de soma digital determinado, cujo sinal Sdsv indica se uma palavra código deve ser convertida de acordo com as relações estipuladas na fig. 2 ou se uma palavra de informação apresentada deve ser convertida de acordo com as relações estipuladas na fig. 3. O conversor 50 pode ser de um tipo similar ao conversor 60 exceto pelo fato de que no conversor 50 somente as palavras código e as palavras de estado associadas necessitam ser armazenadas. As informações fornecidas ao circuito de decisão 76 pelo conversor 60 através do duto 75 é redundante na concretização mostrada na fig. 8.

Para o fim de sincronização das operações a serem executadas, o dispositivo compreende um circuito gerador de sinais de relógio 41 de um tipo convencional gerando sinais de relógio para controlar o conversor paralelo/serial 58 e para controlar o carregamento da memória báfer 54.

De preferência, o sinal modulado 7 compreende

sync a combinação de bit $x_{1..13}$ é igual a 0.0. No caso onde o estado de codificação S3 é estabelecido, a palavra sync 100 é inserida. Nesta palavra sync a combinação de bit $x_{1..13}$ é igual a 1.0. Na palavra sync que se segue a uma palavra código que estabelece o estado de codificação S2, esta combinação de bit $x_{1..13}$ é sempre 0.0 e para uma palavra sync que se segue a uma palavra código que estabelece o estado S3 a combinação de bit $x_{1..13}$ é sempre 1.0, de forma que uma palavra de informação associada é sempre inambiguamente estabelecida na base da palavra código e da palavra código que se segue.

As palavras sync 100 e 101 ambas terminam em um bit tendo o valor lógico "1", que significa que a palavra código que se segue a qualquer uma destas palavras sync deve ser selecionada do conjunto V1 para assegurar que na transição da palavra sync para a palavra código seguinte sempre seja satisfeita a limitação-dk com $d = 2$ e $k = 10$. Isto significa que o estado de codificação S1 é estabelecido com cada emissão de uma palavra código.

A fig. 10 mostra uma modificação do dispositivo codificador mostrado na fig. 6 pelo qual palavras sync podem ser inseridas da maneira acima descrita. Na fig. 10 componentes idênticos aqueles da fig. 6 são designados por caracteres de referência idênticos. A modificação refere-se a uma memória 103 tendo duas posições de memória que armazenam cada uma qualquer uma das duas palavras sync 100 e 101. A memória 103 compreende um circuito de endereçamento para endereçar qualquer uma das duas posições de memória na dependência da palavra de estado aplicada às entradas de endereço da memória 103 através do duto 63. A palavra sync na

posição de memória endereçada é aplicada a um conversor paralelo/ serial 105 através de um duto 104. A saída serial do conversor 105 é aplicada a uma primeira entrada de uma unidade de comutação eletronicamente operável 106. A linha de sinal 67 é conectada com uma segunda entrada da unidade de comutação 106. O dispositivo codificador é controlado por um circuito de controle 107 de um tipo convencional que alternadamente dispõe o dispositivo codificador em um primeiro estado ou em um segundo estado. No primeiro estado um número predeterminado de palavras de informação são convertidas em palavras código que são aplicadas na modalidade serial ao integrador módulo-2 68 via a unidade de comutação 106. Na transição do primeiro para o segundo estado, a conversão de palavras de informação é interrompida e a palavra sync determinada pela palavra de estado é emitida pela memória 103 e aplicada ao integrador módulo-2 68 via o conversor paralelo/serial 104 e a unidade comutadora. Além disso, na transição do segundo para o primeiro estado e sob o controle do circuito de controle 107 a memória báfer é carregada com a palavra de estado que corresponde ao estado de codificação S1 e, subseqüentemente, a conversão das palavras de informação em palavras código é retomada até o dispositivo codificador ser mais uma vez levado ao segundo estado pelo circuito de controle 107.

Para a inserção de palavras sync, o dispositivo codificador mostrado na fig. 8 pode ser adaptado de uma maneira similar à adaptação mostrada na fig. 10.

A fig. 11 mostra uma concretização para um dispositivo decodificador 150 de acordo com a invenção para reconverter sinais modulados obtidos com um dos processos

descritos acima em uma sequência de palavras de informação. O circuito decodificador compreende um diferenciador módulo-2 110 para converter o sinal modulado em uma cadeia de bit na qual um bit tendo um valor lógico "1" representa uma transição de uma célula de bit tendo um valor de sinal L em uma célula de bit tendo um valor de sinal H ou vice versa e no qual cada célula de bit tendo o valor lógico "0" representa duas sucessivas células de bit tendo o mesmo valor de sinal. A cadeia de bit assim obtida é aplicada a dois registradores de deslocamento ligados em série cada um tendo um comprimento correspondente ao comprimento de uma palavra código de n-bit. Os conteúdos dos registradores de deslocamento 111 e 112 são fornecidos aos respectivos dutos 113 e 114 através de saídas paralelas. O dispositivo decodificador compreende um conversor (n+p)-em-m-bit 115. Todos os n bits presentes no registrador de deslocamento 112 são aplicados às entradas do conversor 115 através do duto 114. A partir dos n bits presentes no registrador de deslocamento 111, p bits são aplicados ao conversor 115 cujos p bits, juntamente com os n bits no registrador de deslocamento 114, singularmente estabelecem uma palavra de informação. O conversor 115 pode compreender uma memória com uma tabela de consulta que contém uma palavra de informação de m-bit para cada combinação de bit permitida formada pelos n bits de uma palavra código de n-bit e os p-bits predeterminados de uma parte de cadeia de bit que se segue a esta palavra código. O conversor, todavia, também pode ser realizado por circuitos de porta .

As conversões realizadas pelo conversor 115 podem ser sincronizadas de maneira convencional por intermédio

de um circuito de sincronização 117, para cada vez que uma palavra código completa é carregada no registrador de deslocamento 112, a palavra de informação é apresentada nas saídas do conversor cuja palavra de informação corresponde à combinação de bits aplicada às entradas do conversor 115.

De preferência, um detector de palavra sync 116 conectado com os dutos 113 e 114 e que detecta uma configuração de bit correspondente às palavras sync é usada para a sincronização.

A título de ilustração, a fig. 16 mostra um sinal que pode ser obtido de acordo com o processo inventado acima descrito. O sinal compreende uma sequência de q sucessivas partes de sinal de informação 160, onde q é um número inteiro, as partes de sinal do qual representam q palavras de informação. Entre as partes de sinal de informação são inseridas partes de sinal sync, uma das quais sendo designada 161 na fig. 16. Um número de partes de sinal de informação são mostradas em detalhe. Cada uma das partes de sinal de informação 160 compreende n células de bit, neste caso 16, que tem um primeiro valor de sinal (baixo) L ou um segundo valor de sinal (alto) H. Uma vez que a cadeia de bits formada pelas palavras código e representada pelo sinal modulado satisfaz uma limitação-dk, o número de sucessivas células de bit tendo o mesmo valor de sinal será pelo menos igual a $d+1$ e no máximo será igual a $k+1$. Devido à seleção das palavras código que dependem do valor de soma digital, o valor corrente da diferença entre o número de células de bit tendo o primeiro valor de sinal e das células de bit tendo o segundo valor de sinal em um ponto arbitrário no sinal é

essencialmente constante na parte de sinal que precede este ponto. Cada parte de sinal de informação correspondente a uma palavra código de um grupo do primeiro tipo estabelece singularmente uma palavra de informação. Na fig. 16 esta é, por exemplo, a parte de sinal de informação 160c que corresponde à palavra código "0100000001000010". Esta palavra código estabelece singularmente a palavra de informação tendo o valor de palavra "121". Cada parte de sinal de informação representando uma palavra código do grupo do segundo tipo representa singularmente, juntamente com uma parte de sinal adjacente, uma palavra de informação.

A parte de sinal de informação 160a mostrada na fig. 16 corresponde à palavra código "00010000000100100". Esta palavra código pode estabelecer tanto a palavra de informação tendo o valor de palavra "24" como a palavra de informação tendo o valor de palavra "34". Qual informação é efetivamente estabelecida por esta palavra código é determinada pelos valores lógicos na primeira e décima-terceira posição de bit da parte imediatamente seguinte da cadeia de bits. Se os valores lógicos destes bits são ambos iguais a 0, a palavra de informação tendo o valor de palavra "24" é estabelecido. Se estes bits não são iguais a "0", a palavra de informação tendo o valor de palavra "34" é estabelecida. Na fig. 16 os valores de bits nas primeira e décima terceira posições por trás da palavra código estabelecida pela parte de sinal de informação 160a são ambas iguais a "0", de modo que a palavra de informação tendo o valor de palavra "24" é estabelecida. A palavra código estabelecida pela parte de sinal de informação 160b é idêntica

à palavra código estabelecida pela parte de sinal de informação 160a. A palavra código representada pela parte de sinal de informação 160b, todavia, é imediatamente sucedida por uma palavra sync da qual o primeiro bit tem o valor lógico "1", de forma que agora a palavra de informação tendo o valor de palavra "34" é estabelecida.

A fig. 12 mostra a título de exemplo, um suporte de gravação 120 de acordo com a invenção. O suporte de gravação ilustrado é de um tipo opticamente detectável. O suporte de gravação também pode ser de um tipo diferente, por exemplo, de um tipo magneticamente legível. O suporte de gravação compreende configurações de informação distribuídas em trilhas 121. A fig. 13 mostra uma parte grandemente ampliada 122 de uma das trilhas 121. A configuração de informações na parte de trilha 121 mostrada na fig. 13 compreende primeiras seções 123, por exemplo, na forma de marcas opticamente detectáveis e segundas seções 124, por exemplo, áreas intermediárias situadas entre as marcas. As primeira e segunda seções alternam numa direção da trilha 125. As primeiras seções 123 apresentam primeiras propriedades detectáveis 123 e as segundas seções 124 apresentam segundas propriedades que são distinguíveis das primeiras propriedades detectáveis. As primeiras seções 123 representam células de bit 12 do sinal binário modulado 7 tendo um nível de sinal, por exemplo, o nível de sinal baixo L. As segundas seções 124 representam células de bit 11 tendo o outro nível de sinal, por exemplo, o nível de sinal alto H. O suporte de gravação 12 pode ser obtido primeiramente gerando o sinal modulado e a seguir munir o suporte de gravação da configuração de

informações. Se o suporte de gravação é de um tipo opticamente detectável, o suporte de gravação pode então ser obtido com técnicas de produção de um "mestre" e de "cópias" em si conhecidas baseadas sobre o sinal modulado 7.

5 A fig. 14 mostra um dispositivo de gravação para gravar informações, no qual o dispositivo codificador de acordo com a invenção é usado, por exemplo, o dispositivo codificador 140 mostrado na fig. 6. No dispositivo de gravação a linha de sinal para transmitir o sinal modulado é conectada com um circuito de controle 141 para um cabeçote de gravar 142
10 ao longo do qual um suporte de gravação 143 de um tipo gravável é deslocado. A cabeça de gravar 142 é de um tipo convencional suscetível de introduzir marcas tendo variações detectáveis sobre o suporte de gravação 143. O circuito de controle 141 também pode ser de um tipo convencional gerando
15 um sinal de controle para o cabeçote de gravar em resposta ao sinal modulado aplicado ao circuito de controle 141, para que o cabeçote de gravar 142 introduza uma configuração de marcas que corresponde ao sinal modulado.

20 A fig. 15 mostra um dispositivo de reprodução (leitura) no qual um dispositivo decodificador de acordo com a invenção é usado, por exemplo, o dispositivo decodificador 153 mostrado na fig. 11. O dispositivo de reprodução compreende uma cabeça de reprodução de um tipo convencional
25 para efetuar a reprodução (leitura) de um suporte de gravação de acordo com a invenção cujo suporte de gravação é portador de uma configuração de informações que corresponde ao sinal modulado. A cabeça de reprodução 150 então produz um sinal de leitura analógico modulado de acordo com a configuração de

informações lida-emitida pela cabeça de reprodução 150. C circuito de detecção 152 converte este sinal de leitura de maneira convencional em um sinal binário que é aplicado ac circuito decodificador 153.

REIVINDICAÇÕES

1. Método de converter palavras de informação (1) em um sinal modulado (7), em cujo processo uma série de palavras de informação de m-bit é convertida em uma série de palavras código de n-bit (4) de acordo com as regras de conversão, e as série de palavras código são convertidas no sinal modulado, com m e n sendo inteiros e n excedendo m, as regras de conversão sendo tais que o sinal modulado satisfaça um critério pré determinado e em cujo método uma palavra código (4) é emitida para uma palavra de informação (1) recebida, cuja palavra código é selecionada a partir de uma de uma pluralidade de conjuntos (V1, V2, V3, V4) de palavras código, cujo conjunto é associado com um estado de codificação (S1, S2, S3, S4) estabelecido quando a palavra código precedente foi emitida caracterizado pelo fato das palavras código (4) serem estendidas através de pelo menos um grupo de um primeiro tipo (G11, G12) e de pelo menos um grupo de um segundo tipo (G2), e pelo fato de que a emissão de cada uma das palavras código pertencentes ao grupo do primeiro tipo (G11, G12) estabelece um primeiro tipo de estado de codificação (S1, S4) de um primeiro tipo determinado pelo grupo do primeiro tipo e a emissão de cada uma das palavras código pertencentes ao grupo do segundo

tipo (G2) estabelece um de estado de codificação (S2, S3) de um segundo tipo determinado pelo grupo de segundo tipo e pela palavra de informação (1) recebida, enquanto qualquer conjunto (V2, V3) da palavras código associado com um estado de codificação (S2, S3) de segundo tipo não apresenta nenhuma palavra código em comum com qualquer outro conjunto (V2, V3) de palavras código associado com qualquer outro estado de codificação (S2, S3) de segundo tipo, e enquanto pelo menos conjunto (V1, V2, V3, V4) de palavras código compreende uma palavra código de um grupo de segundo tipo sendo associado com uma pluralidade de palavras de informação, cada palavra de informação da pluralidade estabelecendo um estado de codificação diferente de segundo tipo, permitindo então distinguir a respectiva palavra de informação a partir da pluralidade detectando a palavra código seguinte.

2. Método de acordo com a reivindicação 1, caracterizado pelo fato da sequência de palavras de informação ser convertida na sequência de palavras código de acordo com as regras de conversão em que o sinal modulado correspondente não apresenta substancialmente quaisquer componentes de frequência em uma área de baixa frequência no espectro de frequência e em que cada número de sucessivas células tendo um mesmo valor de sinal no sinal modulado é pelo menos de $d+1$ e no máximo $k+1$, os conjuntos (V1, V2, V3, V4) de palavras código para cada uma de pelo menos um número de palavras de informação compreendendo pelo menos um par de palavras código, componentes de baixa frequência no sinal modulado (7) sendo evitados quando as palavras de informação

são convertidas pelas palavras código selecionadas dentre o pares de palavras código.

3. Método de acordo com a reivindicação 2 caracterizado pelo fato de um valor de soma digital corrente ser estabelecido como uma medida para o conteúdo de C atual, cujo valor é determinado através de uma parte precedente do sinal modulado (7) e designa para esta parte o valor atual de uma diferença entre o número de células de bit tendo um segundo valor, ao passo que os pares compreendendo duas palavras código tem efeitos opostos sobre o valor de soma digital e as palavras código são selecionadas dos pares em resposta a determinados valores de soma digital de forma que o valor de soma digital continua a ser limitado.

4. Método de acordo com a reivindicação 2 ou 3, caracterizado pelo fato das palavras de informação serem convertidas em uma sequência de palavras código que estabelece uma cadeia de bits tendo bits de um primeiro valor lógico e bits de um segundo valor lógico, um número de sucessivos bits tendo o primeiro valor lógico e situado entre bits tendo o segundo valor lógico sendo de pelo menos d e no máximo k , e a cadeia de bit sendo convertida no sinal modulado (7), no qual transições de células de bit tendo o primeiro valor de sinal para células de bit tendo o segundo valor de sinal ou vice versa correspondem aos bits dotados do segundo valor lógico na cadeia de bits.

5. Método de acordo com uma das reivindicações de 1 a 4, caracterizado pelo fato dos conjuntos (V_2, V_3) de palavras código pertencentes aos estados de codificação $(S_2,$

S3) do segundo tipo poderem ser mutuamente distinguidos na base dos valores lógicos de bits em p posições de bit predeterminadas nas palavras código, onde p é um número inteiro menor que n .

5 6. Método de acordo com a reivindicação 5, caracterizado pelo fato de palavras de sincronização (sync) (100, 101) serem inseridas na série de palavras código, as palavras sync apresentando configurações de bit que não podem ocorrer na cadeia de bits formada pelas palavras
10 códigos, enquanto as palavras sync são usadas tendo diferentes configurações de bit e a palavra sync usada depende do estado de codificação, pelo fato de um estado de codificação predeterminado ser estabelecido para a conversão da palavra de informação seguinte após uma palavra sync ter
15 sido inserida, enquanto que as palavras sync são mutuamente distinguíveis na base dos valores lógicos de bits em posições de bit predeterminadas de uma maneira correspondente à maneira pela qual os conjuntos de palavras código pertencentes aos estados de codificação do segundo tipo são mutuamente distinguíveis.

 7. Método de acordo com uma das reivindicações de 1 a 6, caracterizado pelo fato de d ser igual a 2 e k ser igual a 10 e pelo fato da relação de n para m ser de 2:1.

25 8. Método de acordo com a reivindicação 7, caracterizado pelo fato de m ser igual a 8 e n ser igual a 16.

 9. Método de acordo com uma das reivindicações 4, 5, 6, 7, ou 8, caracterizado pelo fato de p ser igual a 2.

10. Método de acordo com a reivindicação 6, 7, 8 ou 9, caracterizado pelo fato de um primeiro grupo (G1) do primeiro tipo de palavras código ser formado por palavras código terminando em **a** bits tendo o primeiro valor lógico, onde **a** é igual a 0 ou 1, pelo fato de um segundo grupo (G2) do primeiro tipo de palavras código ser formado por palavras código terminando em **b** sucessivos bits tendo o primeiro valor lógico, onde **b** é um número inteiro maior que ou igual a 6 e menor que ou igual a 9, o grupo (G2) do segundo tipo sendo formado por palavras código terminando em **c** bits tendo o primeiro valor lógico, onde **c** é um número inteiro maior que ou igual a 2 e menor que ou igual a 5, e os conjuntos (V1, V2, V3, V4) relacionados com o estado de codificação (S1, S2, S3, S4) de palavras código dos quais as palavras código alocadas às palavras de informação são selecionadas serem formados por palavras código se iniciando com um número de bits do primeiro valor lógico, cujo número de bits depende do estado de codificação relacionado com o conjunto, de forma que o número de sucessivos bits tendo o primeiro valor lógico na cadeia de bits formada por duas palavras código sucessivas é pelo menos igual a **d** e no máximo igual a **k**.

11. Método de prover um suporte de gravação (120), caracterizado pelo fato de um sinal modulado (7) ser gerado pelo processo como reivindicado em uma das reivindicações de 1 a 10 e do suporte de gravação (120) ser então munido de uma configuração de informações (123, 124) representando este sinal.

12. Dispositivo codificador (140) para a

realização do processo conforme reivindicado, o dispositivo compreendendo um conversor (60) de m em n bits para converter as palavras de informação de m -bit em palavras de código de n -bit pela emissão de uma palavra código para uma palavra de informação recebida, e dispositivos (60, 64) estabelecendo de estado para estabelecer um estado de codificação (S1, S2, S3, S4) na emissão da palavra código, cujo conjunto é associado com um estado de codificação estabelecido quando a palavra código precedente foi emitida, e dispositivos (66, 68) para converter palavras código de n -bit em sinal modulado, caracterizado pelo fato dos dispositivos estabelecendo de estado estarem arranjados para estabelecer um estado de codificação (S1, S4) de primeiro tipo, para cada uma das palavras código emitidas pertencentes a um grupo (G11, G12) do primeiro tipo cujo estado é determinado pelo grupo de primeiro tipo, e para estabelecer um estado de codificação (S2, S3) de segundo tipo para cada uma das palavras código emitidas pertencentes a um grupo (G2) do segundo tipo cujo estado é determinado pelo grupo de segundo tipo e pela palavra de informação recebida, e pelo fato de que qualquer conjunto (V2, V3) de palavras código associado com um estado de codificação (S2, S3) de segundo tipo não apresenta palavras código em comum com qualquer outro conjunto (V2, V3) de palavras código associado com qualquer outro estado de codificação (S2, S3) de segundo tipo, e pelo fato de que pelo menos um conjunto (V1, V2, V3, V4) de palavras código compreenda uma palavra código de um grupo de segundo tipo associado com uma pluralidade de palavras de informação, cada palavra de

informação da pluralidade estabelecendo um estado de codificação de segundo tipo diferente, permitindo então distinguir a respectiva palavra de informação da pluralidade detectando a palavra código seguinte.

5 13. Dispositivo de acordo com a reivindicação 12, para converter a série de palavras de informação em um sinal modulado (7) que não apresenta substancialmente quaisquer componentes de frequência em uma área de baixa-frequência no espectro de frequência e em que cada número
10 mínimo de sucessivas células de bit tendo o mesmo valor de sinal é de $d+1$ e cada número máximo de $k+1$, o conversor (60) compreendendo dispositivos para gerar um par de palavras código para cada uma de pelo menos um número de palavras de informação e o dispositivo caracterizado pelo fato de
15 compreender dispositivos de seleção (76) para selecionar, para a emissão da palavra código, qualquer uma das palavras código dos pares de acordo com um critério predeterminado relacionado com o conteúdo de baixa-frequência do sinal modulado.

25 14. Dispositivo de acordo com a reivindicação 13, caracterizado pelo fato do dispositivo compreender dispositivos (82, 83, 86) para determinar um valor de soma digital corrente cujo valor indica para uma parte precedente do sinal modulado (7) o valor corrente de uma diferença entre o número de células de bit tendo um primeiro valor e o número de células de bit tendo um segundo valor, os pares de palavras código compreendendo cada um pelo menos duas palavras código tendo efeitos opostos sobre o valor de soma digital, e os dispositivos de seleção (76) compreendendo

dispositivos (89) para selecionar, de acordo com um critério dependendo do valor de soma digital, aquelas palavras código dos conjuntos para os quais o valor de soma digital de acordo com este critério continua a ser limitado.

5 15. Dispositivo de acordo com a reivindicação 13 ou 14, caracterizado pelo fato do dispositivo ser previsto para converter palavras de informação em uma série de palavras código que estabelecem uma cadeia de bits tendo um primeiro valor lógico e bits tendo um segundo valor lógico, o número mínimo de sucessivos bits tendo o primeiro valor lógico localizados entre bits tendo o segundo valor lógico sendo de **d** e o número máximo sendo de **k**, o dispositivo adicionalmente incluindo um integrador (58) módulo-2 para converter a cadeia de bits no sinal modulado.

10 15. Dispositivo de acordo com uma das reivindicações 12, 14 ou 15, caracterizado pelo fato dos conjuntos (V2, V3) de palavras código pertencentes aos estados de codificação (S2, S3) do segundo tipo poderem ser mutuamente distinguidos na base dos valores lógicos de bits em **p** posições de bit predeterminadas nas palavras código, onde **p** é um número inteiro menor que ou igual a **n**.

15 17. Dispositivo de acordo com a reivindicação 15 ou 16, caracterizado pelo fato do dispositivo compreender dispositivos (103, 105, 106, 107) para inserir palavras sync na cadeia de bits, as palavras sync exibindo configurações de bit que não podem ocorrer na cadeia de bits formada pelas palavras código, o dispositivo compreendendo dispositivos (103) para selecionar palavras sync a serem inseridas que tem diferentes configurações de bit na dependência do estado

de codificação determinado, as palavras sync sendo mutuamente distinguíveis na base dos valores lógicos de bit em posições de bit predeterminadas de uma maneira que corresponde à maneira pela qual os conjuntos de palavras código pertencentes aos estados de codificação do segundo tipo podem ser mutuamente distinguidos.

18. Dispositivo de acordo com a reivindicação 17, caracterizado pelo fato do dispositivo compreender dispositivos (107) para efetuar um estado de codificação predeterminado uma vez que uma palavra sync tenha sido inserida.

19. Dispositivo de acordo com uma das reivindicações 12 a 18, caracterizado pelo fato de **d** ser igual a 2 e **k** ser igual a 10 e pelo fato da relação de **n** para **m** ser de 2:1.

20. Dispositivo de acordo com a reivindicação 19, caracterizado pelo fato de **m** ser igual a 8 e **n** ser igual a 16.

21. Dispositivo de acordo com uma das reivindicações 16 a 20, caracterizado pelo fato de **p** ser igual a 2.

22. Dispositivo de acordo com uma das reivindicações 19, 20 ou 21, caracterizado pelo fato de um primeiro grupo (G11) do primeiro tipo de palavras código ser formado por palavras código ser formado por palavras código terminando em **a** bits tendo o primeiro valor lógico, onde **a** é igual a 0 ou 1, pelo fato de um segundo grupo (G12) do primeiro tipo de palavras código ser formado por palavras código terminando em **b** sucessivos bit tendo o primeiro valor

lógico, onde **b** é um número inteiro maior que ou igual a 6 e menor que ou igual a 9, o grupo do segundo tipo (G2) sendo formado por palavras código terminando em **c** bits tendo o primeiro valor lógico, onde **c** é um número inteiro maior que ou igual a 2 e menor que ou igual a 5, e os conjuntos (V1, V2, V3, V4) relacionados com o estado de codificação de palavras código dos quais as palavras código alocadas às palavras de informação são selecionadas são formados por palavras código se iniciando com um número de bits do primeiro valor lógico, cujo número de bits depende do estado de codificação relacionado com o conjunto, de forma que o número de sucessivos bits tendo o primeiro valor lógico na cadeia de bits formada por duas sucessivas palavras código é pelo menos igual a **d** e no máximo igual a **k**.

23. Dispositivo para gravar informações, caracterizado pelo fato do dispositivo compreender um dispositivo (140) codificador como reivindicado em uma das reivindicações 12 a 22 para converter uma série de palavras de informação representando a informação em um sinal modulado e dispositivos (141, 142) para gravar sobre um suporte de gravação (143) uma configuração de informações correspondente ao sinal.

24. Sinal compreendendo uma sequência de sucessivas partes de sinal de informação (160) cada parte representando uma palavra de informação, em cujo sinal cada uma das partes (160) de sinal de informação compreende **n** células de bit tendo um primeiro ou segundo valor lógico, caracterizado pelo fato das partes de sinal de informação serem estendidas através de pelo menos um grupo de um

primeiro tipo (G11, G12) e de pelo menos um grupo de um segundo tipo (G2), enquanto cada parte de sinal de informação pertencente ao grupo de primeiro tipo representa unicamente uma palavra de informação e cada parte de sinal de informação pertencente a um grupo de segundo tipo em combinação com valores lógicos de p células de bit em posições pré-determinadas em uma parte de sinal de informação seguinte que representa uma palavra de informação única, permitindo então uma parte de sinal de informação pertencente a um grupo de segundo tipo representar uma pluralidade de palavras de informação entre as quais a respectiva palavra de informação é distinguível pelos valores lógicos.

25. Sinal de acordo com a reivindicação 24, caracterizado pelo fato de cada número de sucessivas células de bit tendo o mesmo valor de sinal ser no mínimo de $d+1$ e no máximo de $k+1$, e em qualquer ponto arbitrário no sinal o valor corrente da diferença entre o número de células de bit tendo o primeiro valor lógico e as células de bit tendo o segundo valor lógico na parte de sinal precedente a este ponto ser limitado.

26. Sinal de acordo com a reivindicação 25, caracterizado pelo fato de n ser igual a 16, d ser igual a 2 e k ser igual a 10.

27. Sinal de acordo com a reivindicação 24, 25 ou 26, caracterizado pelo fato do sinal (7) compreender partes (161) de sinal sync que tem configurações de célula de bit que não ocorrem na sequência de sucessivas partes (160) de sinal de informação, enquanto que uma palavra de

informação singular é estabelecida por cada uma das partes de sinal de informação do segundo grupo (G2) combinadas com quer uma parte (161) de sinal sync adjacente quer com uma parte (160) de sinal de informação adjacente.

5 28. Sinal de acordo com a reivindicação 24, 25, 26 ou 27, caracterizado pelo fato da presença ou ausência de mudanças do valor lógico entre pares de sucessivas células de bit em **p** transições de célula de bit predeterminadas em cada uma das partes (160) de sinal adjacentes em combinação com a parte de informação associada do segundo grupo (G2) de partes de sinal de informação estabelecer a palavra de informação associada, onde **p** é um número inteiro menor que **n**.

15 29. Sinal de acordo com a reivindicação 28, caracterizado pelo fato de **p** ser igual a 2.

30. Sinal de acordo com uma das reivindicações 24 a 29, caracterizado pelo fato das partes de sinal de informação terminarem em **s** células de bit tendo um mesmo valor lógico, e pelo fato das partes (160) de sinal de informação do segundo grupo (G2) terminarem em **t** células de bit tendo o mesmo valor lógico, onde **s** pode assumir um número de diferentes valores e onde **t** pode assumir um número de diferentes valores e onde **s** e **t** são diferentes.

25 31. Sinal de acordo com a reivindicação 30, caracterizado pelo fato de **s** ser maior que ou igual a 2 e menor que ou igual a 5.

32. Suporte de gravação (120) sobre o qual o sinal (7) como reivindicado em uma das reivindicações 24 a 31 é gravado em uma trilha (121) na qual configurações (123,

124) de informação representam as partes (160) de sinal, caracterizado pelo fato de que suas configurações (123, 124) de informação compreendem primeira e segunda partes alternando na direção da trilha, as primeiras partes
 5 apresentam propriedades detectáveis e as segundas partes apresentam segundas propriedades distinguíveis das primeiras propriedades, e as partes tendo as primeiras propriedades representam células de bit tendo o primeiro valor lógico e as partes tendo as segundas propriedades representam as
 10 células de bit tendo o segundo valor lógico.

33. Dispositivo decodificador para converter o sinal (7) como reivindicado em uma das reivindicações 24 a 31 em uma série de palavras (1) de informação de m-bit, este dispositivo compreendendo dispositivos (110) para converter
 15 o sinal em uma cadeia de bits tendo um primeiro ou segundo valor lógico, esta cadeia de bits contendo palavras (4) código de n-bit que correspondem às partes (160) de sinal de informação e cujo dispositivo compreende dispositivos conversores (113, 114, 115) para converter a série de
 20 palavras código em uma série de palavras de informação, uma palavra de informação sendo alocada em uma palavra código a ser convertida e em dependência da mesma, caracterizado pelo fato dos dispositivos conversores (113, 114, 115) serem previstos para converter a palavra código também na
 25 dependência dos valores lógicos de bits na cadeia de bits que são localizados em **p** posições predeterminadas em uma palavra código seguinte para distinguir uma palavra de informação respectiva entre uma pluralidade de palavras de informação representadas por uma palavra código pertencente

a um grupo (G2) de segundo tipo.

34. Dispositivo decodificador de acordo com a reivindicação 33, caracterizado pelo fato de n ser igual a 16 e m ser igual a 8, e onde p é igual a 2.

35. Dispositivo decodificador de acordo com a reivindicação 34, caracterizado pelo fato das p posições de bit predeterminadas serem a primeira e décima-terceira posições de bit além do término da palavra código associada.

36. Dispositivo decodificador de acordo com uma das reivindicações 33 a 35, caracterizado pelo fato do dispositivo compreender dispositivos de detecção (116) para detectar palavras sync tendo configurações de bit que não podem ser formadas pelas sucessivas palavras código na série, ou por uma parte da palavra sync em combinação com uma palavra código adjacente.

37. Dispositivo decodificador de acordo com a reivindicação 36, caracterizado pelo fato dos dispositivos de detecção (116) serem dispostos para detectar palavras sync de 26-bit correspondentes a uma configuração de bit de "10010000000000010000000001" ou a uma configuração de bit de "00010000000000010000000001", onde "0" representa um primeiro valor lógico e onde "1" representa um segundo valor lógico.

38. Dispositivo de leitura para efetuar a leitura (reprodução) de um suporte de gravação (151) sobre o qual informações são gravadas em uma configuração de informações, o dispositivo caracterizado pelo fato de compreender dispositivos (150, 152) para converter a configuração de informações em um correspondente sinal de

leitura binário, o dispositivo de leitura compreendendo um dispositivo decodificador (153) como reivindicado em uma das reivindicações 33 a 37 para converter o sinal de leitura binário em uma série de palavras de informação de m-bit.

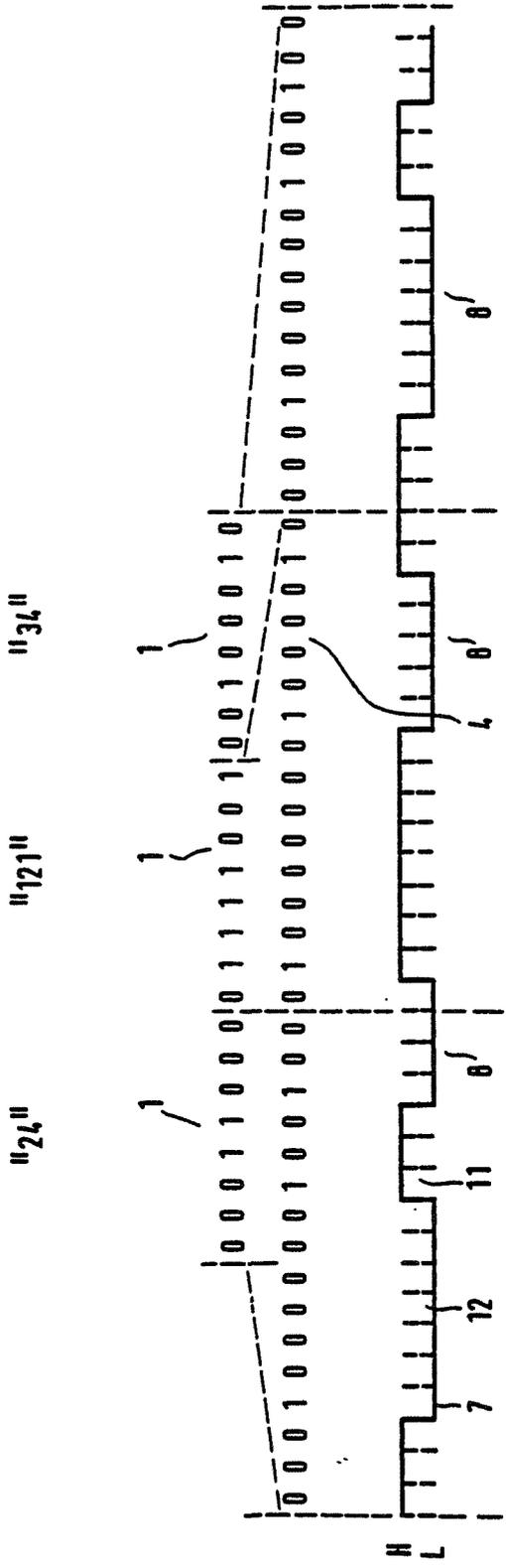


FIG.1

| | V ₁ | V ₂ | V ₃ | V ₄ | |
|----|--------------------|-------------------|--------------------|-------------------|---|
| 62 | 0010001001000010 | 0010001001000010 | 1001001000001001 | 1001001000001001 | 1 |
| 63 | 0010010001000001 | 0010010001000001 | 1000010000010000 | 1000010000010000 | 2 |
| 64 | 0010010010000010 | 0010010010000010 | 1000010010000100 | 1000010010000100 | 2 |
| 65 | 0000100000000100 | 0000100000000100 | 1000100000010000 | 1000100000010000 | 2 |
| 66 | 0000100000100100 | 0000100000100100 | 1000100100000100 | 1000100100000100 | 2 |
| 67 | 0000100000100100 | 0100001001000001 | 0000100001001000 | 0100001001000001 | 1 |
| 68 | 0000100001001000 | 0000100001001000 | 1000100100100100 | 1000100100100100 | 2 |
| 69 | 0000100100100000 | 0000100100100000 | 1001001000000100 | 1001001000000100 | 2 |
| 70 | 0001000000001000 | 0100000001000100 | 0001000000001000 | 0100000001000100 | 2 |
| 71 | 0001000001000100 | 0001000001000100 | 1001001000100100 | 1001001000100100 | 2 |
| 72 | 0001000001000100 | 0100000100010000 | 0001000001000100 | 0100000100010000 | 2 |
| 73 | 0001000100010000 | 0001000100010000 | 1000010000010000 | 1000010000010000 | 3 |
| 74 | 0001001000100000 | 0001001000100000 | 1000010010000100 | 1000010010000100 | 3 |
| 75 | 0010000000010000 | 0010000000010000 | 1000100000100000 | 1000100000100000 | 3 |
| 76 | 0010000010000100 | 0010000010000100 | 1000100100000100 | 1000100100000100 | 3 |
| 77 | 0010000100001000 | 0100001000010000 | 0010000100001000 | 0100001000010000 | 2 |
| 78 | 0010001000010000 | 0010001000010000 | 1000100100010010 | 1000100100010010 | 3 |
| 79 | 0010010000100000 | 0010010000100000 | 1001001000000100 | 1001001000000100 | 3 |
| 80 | 0000100000000100 | 0000100000000100 | 1001001000100100 | 1001001000100100 | 3 |
| 81 | 0000100000100100 | 0000100000100100 | 1001000001000000 | 1001000001000000 | 4 |
| 82 | 0000100001001000 | 0100000001000100 | 0000100001001000 | 0100000001000100 | 3 |
| 83 | 0000100010010000 | 0000100010010000 | 1001001001001000 | 1001001001001000 | 3 |
| 84 | 0000100100100000 | 0000100100100000 | 0100001000000100 | 0100001000000100 | 2 |
| 85 | 0001000000001000 | 0100000100010000 | 0001000000001000 | 0100000100010000 | 3 |
| 86 | 0001000001000100 | 0001000001000100 | 1000010000001000 | 1000010000001000 | 2 |
| 87 | 0001000001000100 | 0100001000010000 | 0001000001000100 | 0100001000010000 | 3 |
| 88 | 0001000100010000 | 0001000100010000 | 1000010000001000 | 1000010000001000 | 3 |
| 89 | 0001001000100000 | 0001001000100000 | 0100000100001001 | 0100000100001001 | 1 |
| 90 | 0010000000010000 | 0010000000010000 | 0100001001001001 | 0100001001001001 | 1 |
| 91 | 00100000010000100 | 00100000010000100 | 0100010010001001 | 0100010010001001 | 1 |
| 92 | 001000001000001000 | 01001001000000001 | 001000001000001000 | 01001001000000001 | 1 |

FIG. 2C

| | V ₁ | V ₂ | V ₃ | V ₄ | |
|-----|-------------------|-------------------|-------------------|-------------------|---|
| 93 | 0010001000010000 | 0010001000010000 | 1000100010001001 | 1000100010001001 | 1 |
| 94 | 0010010000100000 | 0010010000100000 | 1001001001001001 | 1001001001001001 | 1 |
| 95 | 0000000100000001 | 0100010010000010 | 1000000100000001 | 0100010010000010 | 1 |
| 96 | 0000001000000010 | 0100100010000001 | 1000001000000010 | 0100100010000001 | 1 |
| 97 | 0000010000001001 | 0100000000100000 | 0000010000001001 | 0100000000100000 | 2 |
| 98 | 0000010000010010 | 0000010000010010 | 1000010010001000 | 1000010010001000 | 2 |
| 99 | 0000100000010001 | 0000100000010001 | 0100001000001000 | 0100001000001000 | 3 |
| 100 | 0000100000100010 | 0000100000100010 | 1000010000010001 | 1000010000010001 | 1 |
| 101 | 0000100001001001 | 0100010001000001 | 0000100001001001 | 0100010001000001 | 1 |
| 102 | 0000100010010001 | 0000100010010001 | 1000010000100010 | 1000010000100010 | 1 |
| 103 | 0000100100100001 | 0000100100100001 | 1000010010010001 | 1000010010010001 | 1 |
| 104 | 0001000000100001 | 0001000000100001 | 1000100000100001 | 1000100000100001 | 1 |
| 105 | 0001000001000010 | 0001000001000010 | 1000100001000010 | 1000100001000010 | 1 |
| 106 | 0001000010001001 | 0100010000100000 | 0001000010001001 | 0100010000100000 | 2 |
| 107 | 0001000010010010 | 0001000010010010 | 1000100010010010 | 1000100010010010 | 1 |
| 108 | 00010000100010001 | 00010000100010001 | 1000100100010001 | 1000100100010001 | 1 |
| 109 | 00010000100100010 | 00010000100100010 | 1000100100100010 | 1000100100100010 | 1 |
| 110 | 0001001000100001 | 0001001000100001 | 1001000001000001 | 1001000001000001 | 1 |
| 111 | 0001001001000010 | 0001001001000010 | 1001000010000010 | 1001000010000010 | 1 |
| 112 | 0010000001000001 | 0010000001000001 | 1001000010000010 | 1001000010000010 | 1 |
| 113 | 0010000010000010 | 0010000010000010 | 1001001000010001 | 1001001000010001 | 1 |
| 114 | 0010000100001001 | 0100010000100000 | 0010000100001001 | 0100010000100000 | 3 |
| 115 | 0010000100010010 | 0010000100010010 | 1001001000010001 | 1001001000010001 | 1 |
| 116 | 0010001000010001 | 0010001000010001 | 0100100100001001 | 0100100100001001 | 1 |
| 117 | 0010001000100010 | 0010001000100010 | 1001000100001001 | 1001000100001001 | 1 |
| 118 | 0010001001001001 | 0100000000100001 | 0010001001001001 | 0100000000100001 | 1 |
| 119 | 0010010000100001 | 0010010000100001 | 1000010001000100 | 1000010001000100 | 2 |
| 120 | 0010010001000010 | 0010010001000010 | 1000100000010000 | 1000100000010000 | 2 |
| 121 | 0010010010001001 | 0100000001000010 | 0010010010001001 | 0100000001000010 | 1 |
| 122 | 0010010010010010 | 0010010010010010 | 1000100010000100 | 1000100010000100 | 2 |
| 123 | 00000100000000100 | 00000100000000100 | 10010000000100000 | 10010000000100000 | 2 |

FIG. 2D

| | V ₁ | V ₂ | V ₃ | V ₄ | |
|-----|-------------------|-------------------|--------------------|--------------------|---|
| 124 | 0000010000100100 | 0000010000100100 | 1001000100000100 | 1001000100000100 | 2 |
| 125 | 0000010000100100 | 0100000010010010 | 0000010001001000 | 0100000010010010 | 1 |
| 126 | 0000010010010000 | 0000010010010000 | 1001000100100100 | 1001000100100100 | 2 |
| 127 | 0000100000001000 | 01000001000010001 | 0000100000001000 | 01000001000010001 | 1 |
| 128 | 0000100001000100 | 0000100001000100 | 1001001001000100 | 1001001001000100 | 2 |
| 129 | 0000100010001000 | 0100000100100010 | 0000100010001000 | 0100000100100010 | 1 |
| 130 | 0000100100010000 | 0000100100010000 | 1000100100001000 | 1000100100001000 | 2 |
| 131 | 0001000000010000 | 0001000000010000 | 10000100001000100 | 10000100001000100 | 3 |
| 132 | 0001000010000100 | 0001000010000100 | 1000100000010000 | 1000100000010000 | 3 |
| 133 | 0001000100001000 | 01000010000100001 | 0001000100001000 | 01000010000100001 | 1 |
| 134 | 0001001000010000 | 0001001000010000 | 1000100010000100 | 1000100010000100 | 3 |
| 135 | 0010000000100000 | 0010000000100000 | 1001000000100000 | 1001000000100000 | 3 |
| 136 | 0010000100000100 | 0010000100000100 | 1001000100000100 | 1001000100000100 | 3 |
| 137 | 0010000100100100 | 0010000100100100 | 1001000100100100 | 1001000100100100 | 3 |
| 138 | 0010001000001000 | 0100001001000010 | 0010001000001000 | 0100001001000010 | 1 |
| 139 | 0010001001000100 | 0010001001000100 | 1001001001000100 | 1001001001000100 | 3 |
| 140 | 0010010000010000 | 0010010000010000 | 1000010001001001 | 1000010001001001 | 1 |
| 141 | 0010010010000100 | 0010010010000100 | 1001001000001000 | 1001001000001000 | 2 |
| 142 | 0000010000000100 | 0000010000000100 | 10001001000001000 | 10001001000001000 | 3 |
| 143 | 0000010000100100 | 0000010000100100 | 1001001000001000 | 1001001000001000 | 3 |
| 144 | 0000010001001000 | 0100000010000100 | 0000010001001000 | 0100000010000100 | 2 |
| 145 | 0000010010010000 | 0000010010010000 | 1000000001000000 | 1000000001000000 | 4 |
| 146 | 0000100000001000 | 01000010000010000 | 0000100000001000 | 01000010000010000 | 2 |
| 147 | 0000100001000100 | 0000100001000100 | 1000010001001000 | 1000010001001000 | 2 |
| 148 | 0000100010001000 | 0100000010000100 | 0000100010001000 | 0100000010000100 | 3 |
| 149 | 0000100100010000 | 0000100100010000 | 0100001001001000 | 0100001001001000 | 3 |
| 150 | 0001000000010000 | 0001000000010000 | 0100010010001000 | 0100010010001000 | 3 |
| 151 | 0001000010000100 | 0001000010000100 | 1000000001000000 | 1000000001000000 | 4 |
| 152 | 0001000100001000 | 01000010000010000 | 0001000100001000 | 01000010000010000 | 3 |
| 153 | 00010010000010000 | 00010010000010000 | 0100001000001001 | 0100001000001001 | 1 |
| 154 | 00100000000100000 | 00100000000100000 | 100010000100001000 | 100010000100001000 | 2 |

FIG. 2E

| | V1 | V2 | V3 | V4 | |
|-----|-------------------|-------------------|-------------------|-------------------|---|
| 155 | 0010000100000100 | 0010000100000100 | 0100010000001000 | 0100010000001000 | 3 |
| 156 | 0010000100100100 | 0010000100100100 | 1000100001001001 | 1000100001001001 | 1 |
| 157 | 0010001000001000 | 0100100100000010 | 0010001000001000 | 0100100100000010 | 1 |
| 158 | 0010001001000100 | 0010001001000100 | 1000010010001000 | 0100100100000000 | 4 |
| 159 | 00100100000010000 | 00100100000010000 | 0100001001001000 | 0100001001001000 | 2 |
| 160 | 0010010010000100 | 0010010010000100 | 0100010010001000 | 0100010010001000 | 2 |
| 161 | 0000000010000001 | 0100000000100000 | 1000000010000001 | 0100000000100000 | 3 |
| 162 | 0000000100000010 | 0100100000100000 | 1000000100000010 | 0100100000100000 | 3 |
| 163 | 0000001000001001 | 0100100100100100 | 1000001000001001 | 0100100100100000 | 2 |
| 164 | 0000010000010010 | 0100010000100001 | 10000010000010010 | 0100010000100001 | 1 |
| 165 | 0000010000010001 | 0000010000010001 | 0100100100001000 | 0100100100001000 | 2 |
| 166 | 0000010000100010 | 0000010000100010 | 1001000100001000 | 1001000100001000 | 2 |
| 167 | 0000010001001001 | 0100010010000100 | 0000010001001001 | 0100010010000100 | 2 |
| 168 | 0000010010010001 | 0000010010010001 | 1000100010001000 | 1000100010000100 | 2 |
| 169 | 0000100000100001 | 0000100000100001 | 1000100000100010 | 1000100000100010 | 3 |
| 170 | 0000100001000010 | 0000100001000010 | 1000100000010001 | 1000100000010001 | 1 |
| 171 | 0000100010001001 | 0100100000100000 | 0000100010001001 | 0100100000100000 | 1 |
| 172 | 0000100010010010 | 0000100010010010 | 1000100000100010 | 1000100000100010 | 3 |
| 173 | 0000100100010001 | 0000100100010001 | 1000100010010001 | 1000100010010001 | 1 |
| 174 | 0000100100100010 | 0000100100100010 | 1000100100100001 | 1000100100100001 | 1 |
| 175 | 0001000001000001 | 0001000001000001 | 1001000000100001 | 1001000000100001 | 1 |
| 176 | 0001000010000010 | 0001000010000010 | 10010000001000010 | 10010000001000010 | 1 |
| 177 | 00010000100001001 | 0100100001000001 | 00010000100001001 | 0100100001000001 | 1 |
| 178 | 0001000100010010 | 0001000100010010 | 1001000010010010 | 1001000010010010 | 1 |
| 179 | 0001001000010001 | 0001001000010001 | 10010001000010001 | 10010001000010001 | 1 |
| 180 | 0001001000100010 | 0001001000100010 | 10010001000100010 | 10010001000100010 | 1 |
| 181 | 0001001001001001 | 0100010000010000 | 0001001001001001 | 0100010000010000 | 2 |
| 182 | 0010000010000001 | 0010000010000001 | 1001001000100001 | 1001001000100001 | 1 |
| 183 | 00100000100000010 | 00100000100000010 | 1001001000000100 | 1001001000000100 | 1 |
| 184 | 00100001000001001 | 01000010010000100 | 00100001000001001 | 01000010010000100 | 3 |
| 185 | 00100010000010010 | 00100010000010010 | 1000010000000100 | 1000010000000100 | 2 |

FIG. 2F

| | V1 | V2 | V3 | V4 | |
|-----|--------------------|-------------------|--------------------|-------------------|---|
| 186 | 0010010000010001 | 0010010000010001 | 10000100000100100 | 10000100000100100 | 2 |
| 187 | 00100100000100010 | 00100100000100010 | 10000100010010000 | 10000100010010000 | 2 |
| 188 | 001001000001001001 | 0100010010010010 | 001001000001001001 | 01000100000100100 | 1 |
| 189 | 0010010010010001 | 0010010010010001 | 10001000001000100 | 10001000001000100 | 2 |
| 190 | 0000001000000100 | 010000000100000 | 1000001000000100 | 010000000100000 | 2 |
| 191 | 0000001000100100 | 0100100100000100 | 1000001000100100 | 0100100100000100 | 2 |
| 192 | 0000001001001000 | 0100100100100100 | 1000001001001000 | 0100100100100100 | 2 |
| 193 | 00000010000001000 | 0100010000010000 | 0000010000001000 | 0100010000010000 | 3 |
| 194 | 0000010001000100 | 0000010001000100 | 1000010010001000 | 1000010010001000 | 2 |
| 195 | 0000010010001000 | 0100000001000001 | 0000010010001000 | 0100000001000001 | 1 |
| 196 | 0000100000010000 | 0000100000010000 | 1001000000010000 | 1001000000010000 | 2 |
| 197 | 0000100010000100 | 0000100010000100 | 1001000010000100 | 1001000010000100 | 2 |
| 198 | 0000100100001000 | 0100000010000010 | 0000100100001000 | 0100000010000010 | 1 |
| 199 | 0001000000100000 | 0001000000100000 | 1001001000010000 | 1001001000010000 | 2 |
| 200 | 0001000100000100 | 0001000100000100 | 1000010000000100 | 1000010000000100 | 3 |
| 201 | 0001000100100100 | 0001000100100100 | 10000100000100100 | 10000100000100100 | 3 |
| 202 | 0001001000001000 | 0100000010001000 | 0001001000001000 | 0100000010001000 | 1 |
| 203 | 0001001001000100 | 0001001001000100 | 1000010010010000 | 1000010010010000 | 3 |
| 204 | 0010001000000100 | 0010001000000100 | 1000100001000100 | 1000100001000100 | 3 |
| 205 | 00100010000100100 | 00100010000100100 | 1000100100010000 | 1000100100010000 | 3 |
| 206 | 0010001001001000 | 0100001000010001 | 0010001001001000 | 0100001000010001 | 1 |
| 207 | 0010010000001000 | 0100001000100010 | 0010010000001000 | 0100001000100010 | 1 |
| 208 | 0010010001000100 | 0010010001000100 | 1001000000010000 | 1001000000010000 | 3 |
| 209 | 0010010010001000 | 0100010001000010 | 0010010010001000 | 0100010001000010 | 1 |
| 210 | 0000001000000100 | 0100100010000010 | 10000010000000100 | 0100100010000010 | 1 |
| 211 | 0000001000100100 | 0100000100000100 | 1000001000100100 | 0100000100000100 | 2 |
| 212 | 0000001001001000 | 0100000100100010 | 1000001001001000 | 0100000100100010 | 2 |
| 213 | 0000010000001000 | 01001001000010010 | 0000010000001000 | 01001001000010010 | 1 |
| 214 | 0000010001000100 | 0000010001000100 | 10010000010000100 | 10010000010000100 | 3 |
| 215 | 00000100010001000 | 01000001001000100 | 00000100010001000 | 01000001001000100 | 2 |
| 216 | 00001000000010000 | 00001000000010000 | 10010010000010000 | 10010010000010000 | 3 |

FIG. 2G

SECRET

| | V1 | V2 | V3 | V4 | |
|----|------------------|-------------------|--------------------|--------------------|---|
| 0 | 0001001000000000 | 0001001000000000 | 10010000001001000 | 10010000001001000 | 2 |
| 1 | 0000100100000000 | 0000100100000000 | 10010000001001000 | 10010000001001000 | 3 |
| 2 | 0000010010000000 | 0000010010000000 | 10010000000001001 | 10010000000001001 | 1 |
| 3 | 0000001001000000 | 0100100000000010 | 10000001001000000 | 01001000000000010 | 1 |
| 4 | 0000000100100000 | 01000010000000001 | 10000000100100000 | 01000010000000001 | 1 |
| 5 | 0000000010010000 | 01000001000000000 | 10000000010010000 | 01000001000000000 | 4 |
| 6 | 0000000001001000 | 01000000100000000 | 10000000001001000 | 01000000100000000 | 2 |
| 7 | 0000000000100000 | 01000000010000000 | 10000000000100000 | 01000000010000000 | 4 |
| 8 | 0000000000010000 | 01001000100100000 | 10000000010010000 | 01001000100100000 | 3 |
| 9 | 0000000000001000 | 01001000000000100 | 10000000001001000 | 01001000000000100 | 2 |
| 10 | 0010001000000000 | 00100010000000000 | 10010010010000000 | 10010010010000000 | 4 |
| 11 | 0001000100000000 | 00010001000000000 | 01001000001001000 | 01001000001001000 | 3 |
| 12 | 0000100010000000 | 00001000100000000 | 10010000100100000 | 10010000100100000 | 3 |
| 13 | 0000010001000000 | 00000100010000000 | 10010000010010000 | 10010000010010000 | 3 |
| 14 | 0000001000100000 | 01001000000000100 | 10000001000100000 | 01001000000000100 | 3 |
| 15 | 0000000100010000 | 01001000000000100 | 10000000100010000 | 01001000000000100 | 2 |
| 16 | 0000000010001000 | 01000010000000010 | 10000000010001000 | 01000010000000010 | 1 |
| 17 | 0000000001000100 | 01000001000000001 | 10000000001000100 | 01000001000000001 | 1 |
| 18 | 0000000000100000 | 01001000001001000 | 10000001000100000 | 01001000001001000 | 3 |
| 19 | 0000000100010000 | 01001001001000000 | 10000000100010000 | 01001001001000000 | 3 |
| 20 | 0000000010001000 | 01001000001001000 | 10000000010001000 | 01001000001001000 | 2 |
| 21 | 0000000001000100 | 01001000000010010 | 10000000001000100 | 01001000000010010 | 1 |
| 22 | 0010010000000001 | 00100100000000001 | 10010000000100100 | 10010000000100100 | 3 |
| 23 | 0001001000000001 | 00010010000000001 | 10010000000000100 | 10010000000000100 | 3 |
| 24 | 0000100100000001 | 00001001000000001 | 10010000100100000 | 10010000100100000 | 2 |
| 25 | 0000010010000001 | 00000100100000001 | 10010000010010000 | 10010000010010000 | 2 |
| 26 | 0000001001000001 | 01000100000000100 | 10000001001000001 | 01000100000000100 | 3 |
| 27 | 0000000100100001 | 01000100000000100 | 10000000100100001 | 01000100000000100 | 1 |
| 28 | 0000000010010001 | 01000100000100000 | 10000000010010001 | 01000100000100000 | 2 |
| 29 | 0000000001001001 | 01000100100100001 | 10000000001001001 | 01000100100100001 | 1 |
| 30 | 0010000100000000 | 00100001000000000 | 100100000000100100 | 100100000000100100 | 2 |

FIG. 3A

PROOF

| | V ₁ | V ₂ | V ₃ | V ₄ | |
|----|------------------|------------------|-------------------|-------------------|---|
| 31 | 0001000010000000 | 0001000010000000 | 10010000000000100 | 10010000000000100 | 2 |
| 32 | 0000100001000000 | 0000100001000000 | 01001000000001001 | 01001000000001001 | 1 |
| 33 | 0000010000100000 | 0000010000100000 | 1001000000010010 | 1001000000010010 | 1 |
| 34 | 0000001000010000 | 0100100010010001 | 1000001000010000 | 0100100010010001 | 1 |
| 35 | 0000000100001000 | 0100100000010001 | 1000000100001000 | 0100100000010001 | 1 |
| 36 | 0000000010000100 | 0100000100000000 | 1000000010000100 | 0100000010000000 | 4 |
| 37 | 0000010000100000 | 0000010000100000 | 1000100000000010 | 1000100000000010 | 1 |
| 38 | 0000001000010000 | 0100010000100100 | 1000001000010000 | 0100010000100100 | 3 |
| 39 | 0000000100001000 | 0100010010010000 | 1000000100001000 | 0100010010010000 | 2 |
| 40 | 0000000010000100 | 0100001000000010 | 1000000010000100 | 0100001000000010 | 1 |
| 41 | 0010010000000010 | 0010010000000010 | 1000010000000001 | 1000010000000001 | 1 |
| 42 | 0010001000000001 | 0010001000000001 | 1000001000000000 | 1000001000000000 | 4 |
| 43 | 0001001000000010 | 0001001000000010 | 0100100001001000 | 0100100001001000 | 2 |
| 44 | 0001000100000001 | 0001000100000001 | 1001000001001001 | 1001000001001001 | 1 |
| 45 | 0000100100000010 | 0000100100000010 | 1001000001000100 | 1001000001000100 | 3 |
| 46 | 0000100010000001 | 0000100010000001 | 1001000000001000 | 1001000000001000 | 3 |
| 47 | 0000010010000010 | 0000010010000010 | 1000100000000100 | 1000100000000100 | 1 |
| 48 | 0000010001000001 | 0000010001000001 | 1000100001001000 | 1000100001001000 | 3 |
| 49 | 0000001001000010 | 0100000100000001 | 1000001001000010 | 0100000100000001 | 1 |
| 50 | 0000001000100001 | 0100100001000100 | 1000001000100001 | 0100100001000100 | 3 |
| 51 | 0000000100100010 | 0100010010010000 | 1000000100100010 | 0100010010010000 | 3 |
| 52 | 0000000100010001 | 0100010000100100 | 1000000100010001 | 0100010000100100 | 2 |
| 53 | 0000000010010010 | 0100010000000100 | 1000000010010010 | 0100010000000100 | 2 |
| 54 | 0000000010001001 | 0100100000100010 | 1000000010001001 | 0100100000100010 | 1 |
| 55 | 0000000001000010 | 0100100100010000 | 1000000001000010 | 0100100100010000 | 3 |
| 56 | 0010000001000000 | 0010000001000000 | 1001000000001000 | 0100100000001000 | 3 |
| 57 | 0001000001000000 | 0001000001000000 | 1001000000001000 | 0100100000001000 | 2 |
| 58 | 0010010001001000 | 0010010001001000 | 1001000000001000 | 0100100000001000 | 2 |
| 59 | 0010010000100100 | 0010010000100100 | 0010010000100100 | 0100100000100100 | 2 |
| 60 | 0010010000010010 | 0010010000010010 | 01001000000001000 | 01001000000001000 | 2 |
| 61 | 0010010000000010 | 0010010000000010 | 01000100001001000 | 01000100001001000 | 2 |

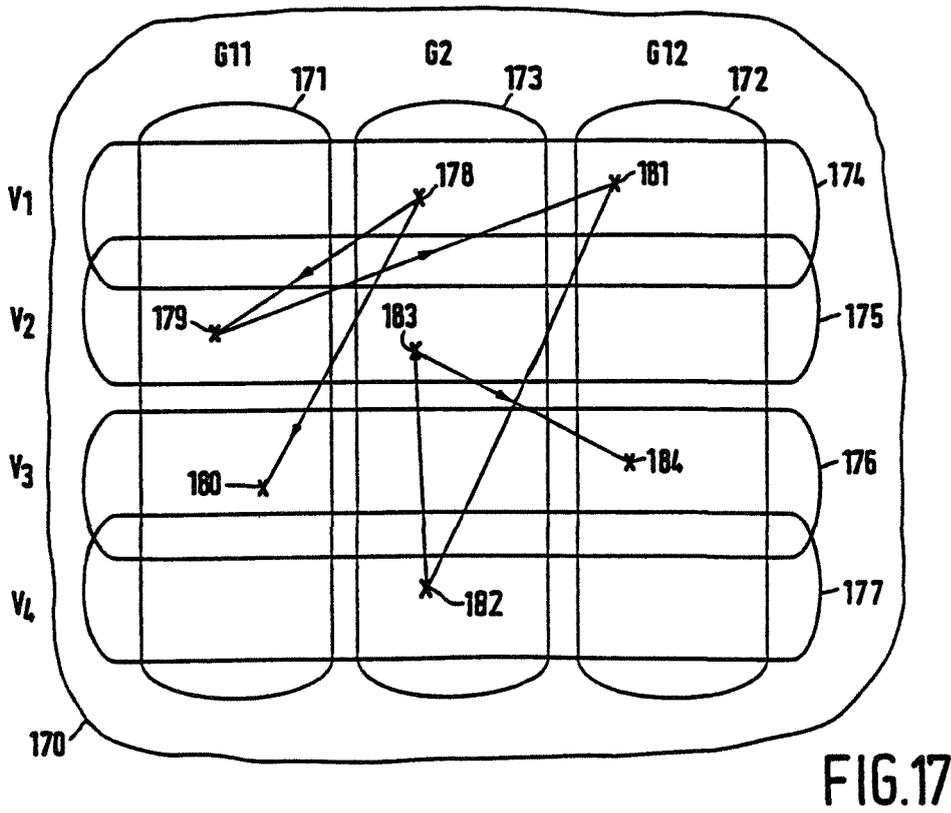
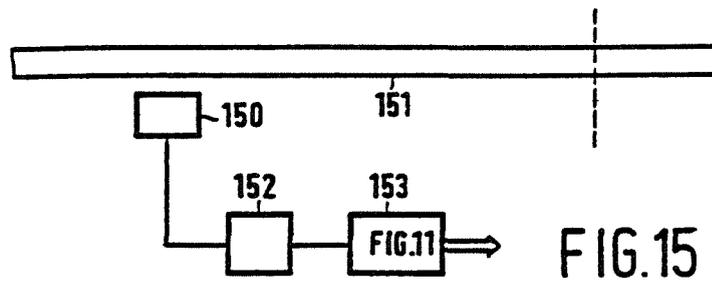
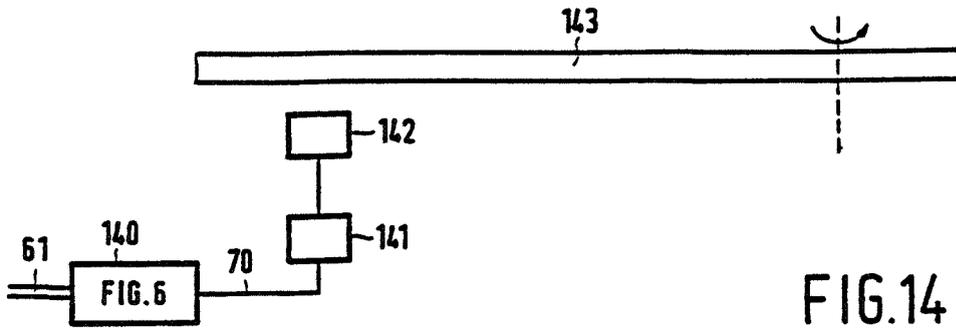
FIG. 3B

| | V ₁ | V ₂ | V ₃ | V _k | |
|----|-------------------|-------------------|--------------------|--------------------|---|
| 62 | 00010010010001000 | 01001001000010001 | 00010010010001000 | 01001001000010001 | 1 |
| 63 | 0001001000100100 | 0001001000100100 | 01000100010001000 | 01000100010001000 | 3 |
| 64 | 0001001000000100 | 0001001000000100 | 1001001000100000 | 1001001000100000 | 3 |
| 65 | 0000100100100100 | 0000100100100100 | 1001000100010000 | 1001000100010000 | 3 |
| 66 | 0000100100000100 | 0000100100000100 | 1001000001000100 | 1001000001000100 | 3 |
| 67 | 0000100000100000 | 0000100000100000 | 10001000100100000 | 10001000100100000 | 3 |
| 68 | 0000010010000100 | 0000010010000100 | 10001000010010000 | 10001000010010000 | 3 |
| 69 | 0000010000010000 | 0000010000010000 | 1000100000100100 | 1000100000100100 | 3 |
| 70 | 0000001001000100 | 010010000010000 | 1000001001000100 | 0100100000010000 | 2 |
| 71 | 0000001000001000 | 0100100000010000 | 1000001000001000 | 0100100000010000 | 3 |
| 72 | 0000000100100100 | 0100010001000100 | 1000000100100100 | 0100010001000100 | 3 |
| 73 | 0000000100000100 | 0100001000100100 | 1000000100000100 | 01000001000100100 | 3 |
| 74 | 0010010010010000 | 0010010010010000 | 1000100000000100 | 1000100000000100 | 3 |
| 75 | 0010010001001000 | 0100001000000100 | 0010010001001000 | 0100001000000100 | 3 |
| 76 | 0010010000100100 | 0010010000100100 | 1000100001001000 | 1000100001001000 | 2 |
| 77 | 0010010000000100 | 0010010000000100 | 1001001000100000 | 1001001000100000 | 2 |
| 78 | 0001001001001000 | 0100100100100010 | 0001001001001000 | 0100100100100010 | 1 |
| 79 | 0001001000010010 | 0001001000010010 | 10010000100010000 | 10010000010001000 | 2 |
| 80 | 0001001000000100 | 0001001000000100 | 10010000001000100 | 10010000001000100 | 2 |
| 81 | 0000100100100100 | 0000100100100100 | 10001001001000000 | 10001001001000000 | 2 |
| 82 | 0000100100000100 | 0000100100000100 | 10001000010010000 | 10001000010010000 | 2 |
| 83 | 0000100000100000 | 0000100000100000 | 10001000000100100 | 10001000000100100 | 2 |
| 84 | 0000010010000100 | 0000010010000100 | 10001000000000100 | 10001000000000100 | 2 |
| 85 | 0000010000010000 | 0000010000010000 | 01001000001001001 | 01001000001001001 | 1 |
| 86 | 0000001001000100 | 0100001000100100 | 10000010010000100 | 010000010001000100 | 2 |
| 87 | 00000001000001000 | 01000001000000100 | 100000010000001000 | 010000010000000100 | 2 |

FIG. 3C

| IW | SW | LB | DSV | CW | CS | dSD | DSVN | LBN | SWN |
|-------|----|----|-----|--------------------|----|-----|------|-----|-----|
| "2" | S1 | H | 0 | 00100000001001000* | -6 | +10 | -6 | 1 | S2 |
| | | | | 0000010010000000 | | | +10 | 0 | S4 |
| "6" | S2 | L | -6 | 0010000010010000* | -6 | +12 | -0 | 1 | S3 |
| | | | | 0100100010010000 | | | -10 | 0 | S3 |
| "100" | S3 | H | 0 | 1000010000010001* | -2 | | -2 | 0 | S1 |
| "230" | S1 | H | -2 | 0010000001000000* | +2 | | 0 | 0 | S4 |
| "0" | S4 | H | 0 | 0100000000100100 | -8 | +4 | -8 | 1 | S2 |
| | | | | 1001000001001000* | | | +4 | 0 | S2 |
| "61" | S2 | H | +4 | 0010001000100001* | -2 | +3 | +2 | 0 | S1 |
| | | | | 00100010000000100 | | | +7 | 1 | S2 |
| "255" | S1 | H | +2 | 0000000100100100* | +4 | | +6 | 1 | S1 |

FIG. 4



RESUMO

Patente de Invenção "MÉTODOS DE CONVERTER PALAVRAS DE INFORMAÇÃO EM UM SINAL MODULADO E DE PROVER UM SUPORTE DE GRAVAÇÃO, DISPOSITIVOS CODIFICADOR, PARA GRAVAR INFORMAÇÕES, DECODIFICADOR E DE LEITURA, SINAL, E SUPORTE DE GRAVAÇÃO".

Os pedidos de patente referem-se a um processo de converter uma série de palavras de informação de m-bit (1) em um sinal modulado (7). Para cada palavra de informação da série uma palavra código de n-bit (4) é emitida. As palavras código (4) emitidas são convertidas no sinal modulado (7). As palavras código (4) são distribuídas através de pelo menos um grupo (G11, G12) de um primeiro tipo e pelo menos um grupo (G2) de um segundo tipo. Para a emissão de cada uma das palavras código pertencentes ao grupo (G11, G12) do primeiro tipo o grupo associado estabelece um estado de codificação (S1, S4) do primeiro tipo. Quando cada uma das palavras código (4) pertencentes ao grupo (G2) do segundo tipo é emitida, um estado de codificação (S2, S3) do segundo tipo é estabelecido que é determinado por uma palavra de informação pertencente à palavra código emitida. Quando uma das palavras código (4) é alocada à palavra de informação recebida (1), esta palavra código é selecionada de um conjunto (V1, V2, V3, V4) de palavras código que depende dos estados de codificação (S1,

S2, S3, S4). Os conjuntos de palavras código (V2, V3) pertencentes aos estados de codificação (S1, S2) do segundo tipo são disjuntas. Neste processo de codificação o número de combinações de bit singulares que pode ser estabelecido pelas palavras código na série é ampliado. O sinal modulado (7) assim obtido pode ser reconvertido em palavras de informação (4) primeiramente convertendo o sinal modulado (7) em uma série de palavras código (4) e a seguir alocar uma palavra de informação (1) a cada uma das palavras código da série na dependência da palavra código a ser convertida e também na dependência dos valores lógicos dos bits da cadeia de bits que estão situados em posições predeterminadas em relação à palavra código. Outrossim, um dispositivo de gravação e um dispositivo de reprodução (leitura) são apresentados.