

Lógica Dinâmica (Sedra)

Resolver os seguintes exercícios (com respostas).

***10.12** Para fixar melhor os conhecimentos sobre o problema de associação em cascata descrito, determinaremos a diminuição na tensão de saída v_{Y2} para o circuito da Figura 10.35. Especificamente, considere o circuito assim que a fase de avaliação começa: em $t = 0$, $v_{Y1} = v_{Y2} = V_{DD}$ e $v_{\phi} = v_A = V_{DD}$. Os transistores Q_{p1} e Q_{p2} estão cortados e podem ser removidos do circuito equivalente. Além disso, para uma análise aproximada, podemos substituir a associação em série de Q_1 e Q_{e1} como um único dispositivo que tenha um valor de W/L apropriado e também, de forma similar, podemos fazer o mesmo para Q_2 e Q_{e2} . O resultado é o circuito equivalente aproximado, exposto na Figura E10.12. Estamos interessados na operação desse circuito no intervalo Δt durante o qual v_{Y1} cai de V_{DD} para V_t e nesse momento Q_{eq2} corta e C_{L2} pára de descarregar. Suponha que o processo tecnológico de fabricação tenha os mesmos parâmetros especificados no Exemplo 10.4 e ainda que, para todos os transistores NMOS no circuito da Figura 10.35, $W/L = 4 \mu\text{m}/2 \mu\text{m}$ e que $C_{L1} = C_{L2} = 40 \text{ fF}$.

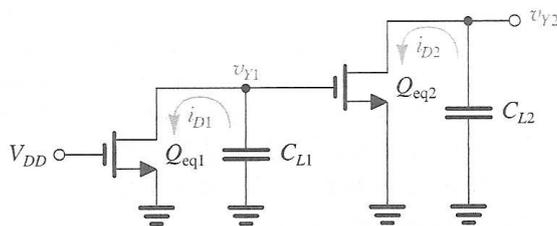


Figura E10.12

- Obtenha $(W/L)_{eq1}$ e $(W/L)_{eq2}$.
- Obtenha os valores de i_{D1} em $v_{Y1} = V_{DD}$ e em $v_{Y1} = V_t$. Portanto, determine um valor médio para i_{D1} .
- Utilize o valor médio de i_{D1} encontrado em (b) para determinar uma estimativa para o intervalo Δt .
- Obtenha o valor médio de i_{D2} durante Δt . Para simplificar o cálculo, considere o valor médio de i_{D2} como aquele em que a tensão de porta v_{Y1} está no meio de sua excursão (isto é, $v_{Y1} = 3 \text{ V}$). (Dica: Q_{eq2} permanecerá em saturação.)
- Utilize o valor de Δt encontrado em (c) juntamente com o valor médio de i_{D2} determinado em (d) para encontrar uma estimativa na redução de v_{Y2} durante o intervalo Δt . Determine o valor final de v_{Y2} .

Resposta (a) 1, 1; (b) $400 \mu\text{A}$ e $175 \mu\text{A}$ para um valor médio de $288 \mu\text{A}$; (c) $0,56 \text{ ns}$; (d) $100 \mu\text{A}$; (e) $\Delta v_{Y2} = 1,4 \text{ V}$, portanto v_{Y2} diminui para $3,6 \text{ V}$.

Problema

*10.13 Desejamos calcular a redução na tensão de saída de uma porta lógica dinâmica como resultado da redistribuição de cargas. Veja o circuito da Figura 10.34(a) e suponha que em $t = 0$, $v_Y = V_{DD}$ e $v_{C1} = 0$. Em $t = 0$, ϕ fica alto, Q_P desliga e, simultaneamente, a tensão na porta de Q_1 fica alta (em V_{DD}) ligando Q_1 . O transistor Q_1 permanecerá conduzindo até que a tensão em sua fonte (v_{C1}) alcance $V_{DD} - V_m$ ou $v_Y = v_{C1}$, o que acontecer primeiro. Em ambos os casos, o valor final de v_Y pode ser determinado usando conservação de carga. Para $V_m = 1$ V, $V_{DD} = 5$ V, $C_L = 30$ fF e, desprezando o efeito de corpo em Q_1 , determine a queda de tensão na saída para dois casos: (a) $C_1 = 5$ fF, (b) $C_1 = 10$ fF (tal que Q_1 permaneça na saturação durante todo o intervalo de condução).

Resposta:

Pode-se ter duas possibilidades, então (denominamos como nó X aquele entre Q_1 e Q_2):

- 1) $V_Y = V_X \leq V_{DD} - V_T$ (em geral para $C_1 \cong C_L$)
- 2) $V_Y \geq V_X = V_{DD} - V_T$ (em geral para $C_1 \ll C_L$)

Se em condução, e não considerarmos a limitação $V_{DD} - V_T$ em V_X , da carga total $q_{CL} = V_{DD} \cdot C_L = 5V \cdot 30fF = 150$, inicialmente em C_L , a carga $q_{C1} = q_{CL} \cdot [(C_1 / (C_1 + C_L))]$

a) $C_1 = 5fF \rightarrow q_{C1} = 150 \cdot 5 / 35 = 150 / 7$, ou seja, a tensão em $V_X = q_{C1} / C_1 = 150 / (7 \cdot 5) = 4,29$ V.

Isto significa que a redistribuição ideal não é alcançada, pois $V_X = V_{DD} - V_T = 4V$ antes. Neste caso,

$$q_{C1} = C_1 \cdot V_X = 5fF \cdot 4V = 20 \text{ e } q_{CL} = 150 - 20 = 130 \rightarrow V_Y = q_{CL} / C_L = 130 / 30 = 4,33$$

b) $C_1 = 10fF \rightarrow q_{C1} = 150 \cdot 10 / 40 = 150 / 4$, ou seja, a tensão em $V_X = q_{C1} / C_1 = 150 / (4 \cdot 10) = 3,75$ V.

Isto significa que a redistribuição ideal é alcançada, pois V_X não atingiu $V_{DD} - V_T$ ainda.

$$V_Y = V_X = 3,75 \text{ V}$$

Problema Extra

Baseado nos exemplos básicos vistos de circuitos em lógica dinâmica com PDN, faça o esboço completo dos circuitos para as portas NOT, NAND e NOR (estas duas últimas de duas portas), além do circuito para $\bar{Y} = AB + CD$.

Verifique quais dos casos acima possuem problemas de redistribuição de cargas e com que condições de entrada.

Resposta Parcial:

Casos com problemas é o NAND e $\bar{Y} = AB + CD$.