

Projeto (Parte 3-Final): Edição de Leiaute do DAC e Simulações Finais

Após o desenvolvimento do leiaute, a extração do circuito no-RC e a confirmação do funcionamento por simulação dos blocos R/2R e digital, na Semana 2 de projeto, os grupos devem seguir na finalização do projeto com a integração de todos os módulos e a simulação do DAC completo.

1 – Integração dos blocos R/2R+chaves e módulo digital

Os grupos deverão realizar a **integração dos leiautes** dos blocos **R/2R** e **digital**, cujos circuitos extraídos já devem ter sido simulados e validados, gerando o **circuito DAC** que deverá conter os doze (12) pinos especificados para o chip AD7524, adaptado para 4 bits. O leiaute deverá conter os rótulos dos 12 portos. A Figura 1 indica como a integração deverá ser feita.

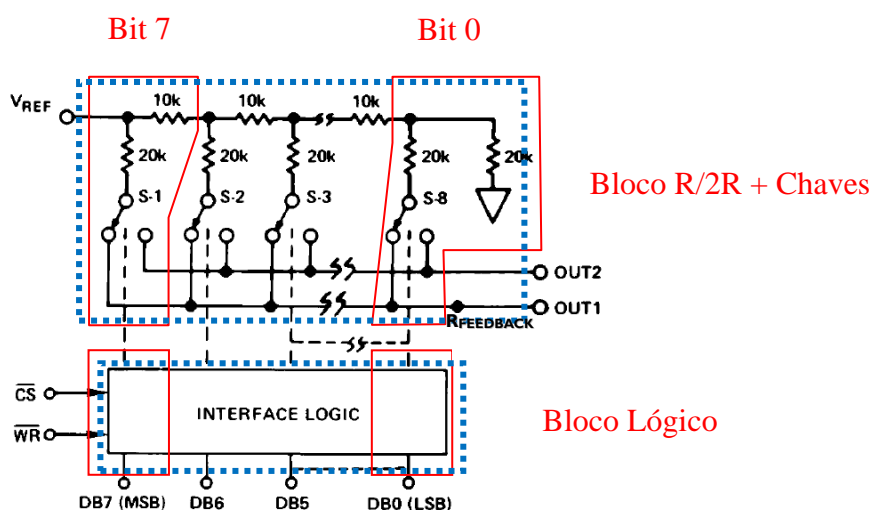


Figura 1. Circuito DAC com os blocos projetados.

Atenção: muito cuidado na integração dos leiautes, pois iremos realizar a simulação do DAC já com o *testbench* dado (como descrito na seção 2), portanto a depuração em caso de erros será um pouco mais complexa.

Após a integração e finalização do leiaute, os grupos deverão realizar a extração do circuito:

1) Realizem a extração No-RC inicialmente para a verificação da funcionalidade através de uma versão mais limpa do circuito. Para facilitar, vamos denominá-la de **DAC-noRC**.

2) Fazer a simulação segundo a seção 3 abaixo.

2) Em uma segunda etapa, quando todos os erros encontrados na fase 1 já tiverem sido corrigidos, os grupos deverão proceder com a extração de uma versão do circuito com todos os parasitários, R+C+CC, para a verificação da influência destes parâmetros. Para facilitar, vamos denominá-la de **DAC-withRC**.

2 – As Simulações do DAC

Para a simulação do circuito extraído, um circuito de *testbench* será fornecido aos grupos. A Figura 2 ilustra o *testbench* que conterà três blocos: o DAC e dois (2) opamps, A1 e A2, estes baseados no chip LM107. Além dos blocos (chips), resistores e capacitores discretos são também incluídos.

Apesar de rodarmos todos os blocos no Eldo, o opamp não seguirá o modelo TSMC035, utilizando-se de modelos de transistores bipolares (estarão incluídos no arquivo dado). De qualquer forma, os opamps têm o objetivo de colocar o DAC no seu ambiente de uso.

O circuito da Figura 2 é um similar ao encontrado no datasheet do AD7524. O *testbench* é baseado nesta figura, sendo que valores de resistência foram ajustados para ganhos diferentes para A1 e A2. Particularmente, R_{REF} , R2 e RLOAD1 foram ajustados para que o ganho de A1 fosse -1 em relação às V_{REF} (você perceberão que os valores R2, de realimentação, afastam-se de caso ideal de OpAmp. Já R4 e R5 foram ajustadas para que A2 tivesse um ganho de -2.

Ficará eventualmente a cargo dos grupos realizarem as simulações adequadas para gerarem os ganhos esperados.

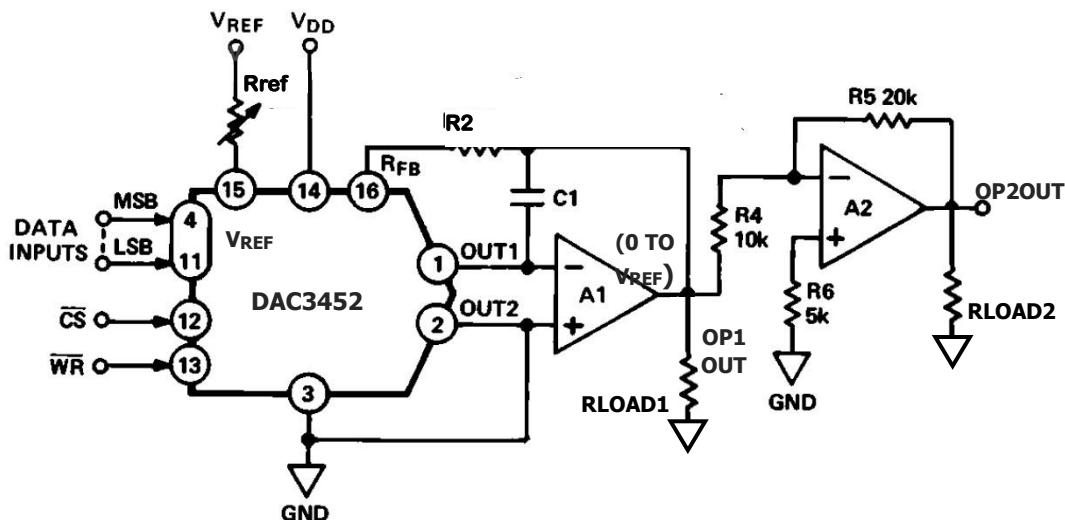


Figura 2. Bloco DAC com os OpAmps

Os grupos deverão realizar as tarefas seguintes nas simulações:

- 1) Entender o *testbench* com o circuito DAC exemplo: observar que um circuito DAC exemplo (modelo funcional com R/2R equivalente de $R=1,5k\Omega$) é dado, mas este **deverá ser substituído** pelo **seu projeto**. Como valor de R2 foi ajustado com este modelo para dar o ganho de -1 para A1, R2 poderá ser levemente alterado no projeto de cada dupla para manter o ganho.
- 2) Incluir no *testbench* o circuito DAC extraído pela dupla e já simulado, **DAC-noRC**.
- 3) Simular o arquivo do *testbench* com o Eldo e visualizar os resultados de tensão e corrente pelo Ezwave;
- 4) Verificar ao funcionamento do circuito, ajustado **com os códigos binários**.
- 5) Verificar as correntes e a análise frente à especificação dada (dica: use códigos em

DB0...3 que gerem corrente pelo ramo desejado).

6) Ajustar os parâmetros de simulação para incluir as maiores transições dos códigos binários, ou seja, de "0000" para "1111" e de "1111" para "0000", portanto com maiores tempos de atraso.

7) Verificar a estabilidade das tensões resultantes em OP1OUT e OP2OUT, isto é, veja se está nos valores esperados de acordo com os códigos binários.

8) Substituir no *testbench* o circuito **DAC-noRC** pelo **DAC-withRC**.

9) Verificar as correntes com os parasitários e a faça nova análise frente à especificação dada e ao resultado do item 5.

10) Variar os parâmetros de simulação para verificar os limites de tempo de amostragem dos códigos binários para o funcionamento correto do **DAC-withRC** (diminua o tempo de amostragem até os níveis não estarem mais adequados (estabeleça um limiar visualmente).

4 – Entregáveis (no dia 11/12 até 23:00)

- a) leiaute do DAC integrado (Seção 1)
- b) circuito DAC-noRC extraído (Seção 1)
- c) simulações do DAC-noRC isolado com seu arquivo topo
- d) *testbench* fornecido com DAC-noRC exemplo simulado (Seção 2)
- e) simulações e discussões com o DAC-noRC no *testbench* (Seção 2)
- f) circuito DAC-withRC extraído (Seção 1)
- g) simulações e discussões com o DAC-withRC no *testbench* (Seção 2)
- h) relatório final (formulário dado).