

PSI-3452- Projeto de Circuitos Integrados Digitais e Analógicos

Projeto Final: Conversor Digital Analógico

1 – Objetivo

- 1) Implementação de Versão Simplificada de 4 bits do DAC AD7524 em CMOS;
- 2) Projeto da escada R/2R e chaves;
- 3) Projeto de bloco para captura de código digital;
- 4) Caracterização do DAC com testbench e simulação com o pad-ring.

2 – O DAC AD7524

O conversor digital-analógico de referência é um produto comercial da Analog Devices, com a foto de um dos encapsulamentos possíveis mostrado na Figura 1, junto com a sua pinagem¹.

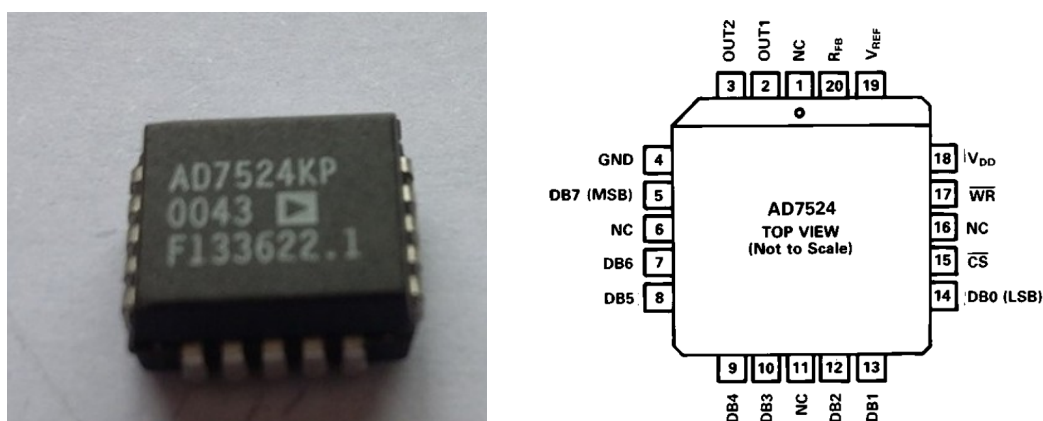


Figura 1. Imagem do CI AD7524 e o seu mapa de pinos.

2.1 – Funcionalidade

Aqui apresentamos alguns aspectos da funcionalidade do AD7524 **de 8 bits** com o auxílio da Figura 2. **Entretanto**, no projeto da disciplina, as duplas trabalharão com uma **versão simplificada de 4 bits**. Observe-se que os únicos pinos da Figura 1 que não aparecem no esquemático são V_{DD} e GND, usados implicitamente como alimentação dos transistores.

O objetivo principal do circuito é converter um código binário de 8 bits em um valor analógico correspondente. Para o código "00...00", o valor de tensão de saída é 0V e, para o código "11...11", a saída de tensão analógico deverá ter o valor máximo, ou seja o $V_{REF} \times (255/256)$. Estes valores serão proporcionais à corrente na saída OUT1. O valor de V_{REF} pode ser qualquer um dentro de uma escala estabelecida e depende das necessidades específicas do sistema onde o AD7524 é utilizado.

O funcionamento básico da conversão consiste do seguinte:

- 1) O código digital é fornecido pelo usuário nos pinos DB7 (MSB) ..., DB0 (LSB) e aplicado a um módulo digital;
- 2) O módulo digital encarrega-se fornecer os dados digitais, respectivamente, às

¹ Procurar o *datasheet* do CI nos sites da Internet.

entradas das chaves S-1,... , S-8, de acordo com as condições dadas nos pinos $\overline{\text{CS}}$ e $\overline{\text{WR}}$;

- 3) Cada chave S-k nada mais é do que uma dupla de transistores de passagem (tipo n) com os drenos interligados; a fonte de um transistor está conectada a OUT1 e a do outro a OUT2, e as portas dos transistores receberão o valor do DBi correspondente, o que fará um transistor conduzir, enquanto o outro fica cortado, ou vice-versa. O sinal de DBi em 'H' habilita a chave para OUT1, enquanto em 'L' habilita a chave para OUT2.
- 4) A rede de resistores, conhecido como **escada R/2R**, fará uma divisão de correntes de forma decrescente, da esquerda para a direita (MSB para LSB). A corrente passando pelo primeiro ramo vertical (mais à esquerda) será a maior e irá diminuindo de valor, caminhando-se para a direita, de acordo com a relação entre os resistores da escada.
- 5) Em relação à saída analógica, OUT1 e OUT2 são duas saídas complementares em termos de corrente, seguindo a posição das chaves. Elas são pré-especificadas para serem conectadas à entrada de outro chip, um amplificador operacional, configurado em amplificação negativa, com o pino OUT2 conectada ao terra e OUT1 a um terra virtual gerado no OPAMP. Caso o(a) aluno(a) não se lembre das configurações de OpAmp, recomenda-se fazer uma rápida revisão sobre este assunto.

Assumindo que os pinos OUT1 e OUT2 estão em um potencial próximo ao zero, cada resistor vertical ligado a uma chave pode contribuir para a corrente em OUT1 ou em OUT2, dependendo da posição da chave, que é controlada por cada bit da palavra em conversão. Por exemplo, se o DB7 estiver em 'H', OUT1 receberá a corrente do primeiro ramo por S-1; caso DB6 também for 'H', OUT1 receberá o valor anterior somado à corrente do segundo ramo.

Observação importante é que o valor da corrente no ramo correspondente a qualquer bit independe da seleção ser feita para OUT1 ou OUT2, desde que os transistores de seleção sejam idênticos (tenham a mesma resistência equivalente).

- 6) A resistência de realimentação, R_{FEEDBACK} , no caso de $10\text{k}\Omega$, já foi previsto para estar em valor adequado aos de R e 2R da escada para que o valor de tensão resultante à saída do OpAmp seja similar àquelas da escala com V_{REF} . Por simplificação do projeto, **assumiremos que esta resistência é externa ao chip** e o seu pino R_{FEEDBACK} será onde apontado na figura.

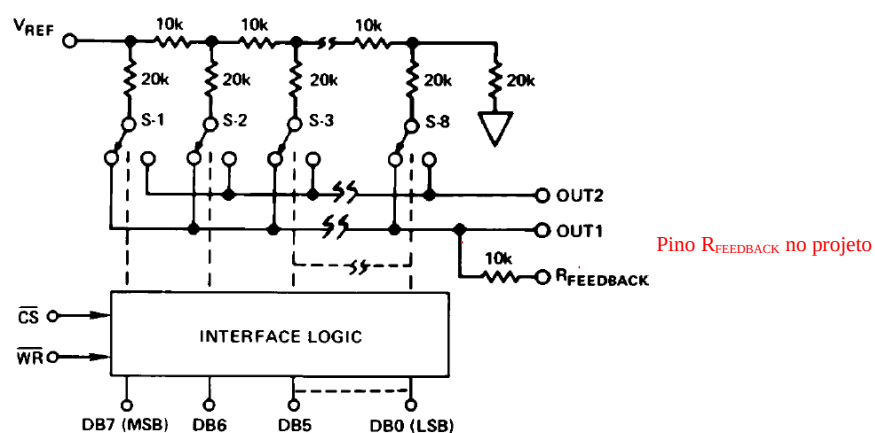


Figura 2. Esquemático Simplificado do AD7524

2.2 – A Escada R/2R e o seu Dimensionamento

Cada resistor vertical da Figura 2 ligado a uma chave pode contribuir para a corrente, seja por OUT1 ou OUT2, de forma mutuamente exclusiva. A escada é montada com resistores na horizontal de valor R e na vertical com o valor 2R. O último ramo à direita é uma terminação isolada com 2R para que se combine com o seu vizinho à esquerda. No caso do AD7524, $R=10k\Omega$ e $2R=20k\Omega$.

Observando o circuito e assumindo que OUT1 ou OUT 2 está em 0V e desprezando a resistência das chaves, é fácil ver que a corrente da chave S1, do primeiro ramo da esquerda (do MSB do conversor), é $V_{REF}/2R$, onde $2R=20k\Omega$, correspondendo à maior contribuição possível entre todos os ramos.

Pode-se observar que a corrente pelo ramo horizontal adjacente também é $V_{REF}/2R$. Isto porque a impedância equivalente deste ramo horizontal, que corresponde à combinação de todos os estágios restantes, é equivalente ao de um único resistor de 2R ($20k\Omega$). Pode-se verificar este fato facilmente, da direita para a esquerda, com as duas últimas resistências verticais em paralelo (o do LSB mais a terminação), formando $10k\Omega$; isto somado à resistência horizontal adjacente à esquerda formam, em série, $20k\Omega$; este em paralelo à resistência vertical seguinte, forma novamente $10k\Omega$; e assim segue até o ponto de divisão do primeiro ramo.

Seguindo tal lógica, existe uma divisão de corrente entre o resistor de 2R da chave S2 e o resistor equivalente à combinação de todos os outros à direita que também têm valor 2R; desta forma a corrente passando por S2 é a metade da corrente em S1, isto é, $(V_{REF}/2R)/2$ ou $V_{REF}/4R$. Estendendo esta mesma lógica aos outros bits temos que S3 será um quarto da corrente de S1 e S4 terá um oitavo. Com isto geramos correntes em potências de 2 que podem ser combinadas fazendo a conversão de um número binário em um valor analógico de corrente.

Agora, pensando apenas na seleção para OUT1, caso o valor binário de entrada for, por exemplo, "10...01", a corrente disponível nesta saída será $V_{REF}/2R + V_{REF}/256R$ (para 8 bits), ou seja, $V_{REF} \cdot (129/256R)$. O OpAmp se encarregará de transformar tal corrente à sua saída em tensão correspondente $V_{REF} \cdot (129/256)$.

2.3 – As Chaves e o Dimensionamento de suas Resistências

Os cálculos da seção anterior desconsideraram as resistências das chaves e, se na realidade, elas são diferentes de zero, é desejável que sejam muito menores que R para que as correntes sejam divididos igualmente entre os ramos verticais e as horizontais adjacentes, como discutido anteriormente.

Para perceber o efeito de uma resistência de chave acima do desejável, podemos supor, hipoteticamente, que ela seja extremamente alta. Podemos ver pela Figura 2, que a corrente fluirá preferencialmente pelos ramos horizontais e pela terminação; pouca corrente fluirá pelos ramos verticais. Isto fará com que a corrente para o OpAmp seja menor do que o esperado (projetado).

Para o dimensionamento do conjunto, então, considerando-se todas as derivações horizontais, podemos observar que a resistência menor corresponde à da terminação. Assumindo que todas as chaves apresentem a mesma resistência, é suficiente garantir que a $R(\text{terminação})$ seja próxima a $R(\text{ramo vertical LSB}) + R(\text{chave S-8})$.

2.4 – A Resistência de Realimentação e a Tensão de Saída do OpAmp

O circuito DAC deve ser conectado a um OpAmp em uma configuração de realimentação negativa, como indicado na Figura 3, extraída do *datasheet* do CI.

A saída do OpAmp é realimentado para a sua entrada em OUT1, tendo uma resistência de

realimentação R_{FEEDBACK} externo ao AD7524 (na descrição original é interno, como visto anteriormente) em série a R_2 externo (opcional segundo a figura). Nesta configuração, a amplificação vista é V_{OUT} é dada por

$$A_v = V_{\text{OUT}}/V_{\text{OUT1}} = -R_{\text{FEEDBACK}}/R_{\text{ESCADA}}$$

onde R_{ESCADA} é a resistência equivalente vista a partir da entrada V_{REF} com valor R , ou seja, $10\text{k}\Omega$. Para o cálculo acima, os valores de R_1 e R_2 da Figura 3 foram desprezadas. Desta forma, se R_{FEEDBACK} também é $10\text{k}\Omega$, espera-se ganho $A_v = -1$, ou seja, na saída V_{OUT} do OpAmp teremos o valor equivalente de 0 a $-V_{\text{REF}}$. (255/256). (Obs. para isto, os valores de alimentação positiva e negativa do OpAmp deverão ser maior que $+V_{\text{REF}}$ e menor que $-V_{\text{REF}}$, respectivamente).

É sugerido ao(à) aluno(a) a revisão dos conceitos de OpAmp e as suas formas de realimentação.

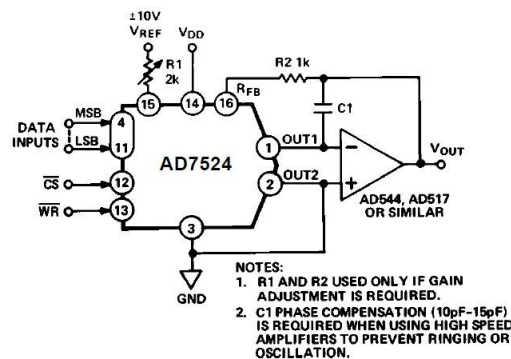


Figura 3. Interligação padrão do AD7524 ao OpAmp

2.5 – O Módulo Digital

O módulo digital que aparece como Interface Logic na Figura 2 consiste de um conjunto de latches que controlam o código digital de entrada do AD7524 de 8 bits (DB7 a DB0) (lembrar que o projeto será com 4 bits...). Ele é controlado pelos seguintes sinais de entrada externos:

$\overline{\text{ACS}}$ (active-low): Trata-se do Chip Select, que funciona com um Enable (ou Load) dos latches; enquanto o seu valor for 'L', o sinal de DBi poderão ser transferidos para a saída do latch correspondente; de outra forma, a saída mantém o valor anterior (estado HOLD)

$\overline{\text{WR}}$ (active-low): Trata-se do Write, o controle básico do latch que é um registrador habilitado por nível. Enquanto o seu valor for 'L', a saída reflete o valor da entrada DBi; de outra forma, a saída mantém o valor anterior.

3 – Specs do Projeto do DAC

O projeto a ser realizado deve seguir a funcionalidade descrita na Seção 2. O circuito a ser projetado deve seguir as seguintes características:

- 1) Código binário de entrada de 4 bits
- 2) Tecnologia CMOS $0,35\mu\text{m}$
- 3) Chaves implementadas por transistores de passagem com $V_{\text{DD}} = 3,3\text{V}$
- 4) Potência máxima permitida para a rede R/2R: de $2,4\text{mW}$ a $3,5\text{mW}$ (a ser definido para cada dupla) com V_{REF} de 2V (para ser compatível com o V_{DD} de $3,3\text{V}$ dos transistores).
- 5) Valores de R/2R definidos diferentemente por grupo de alunos, dependente da potência máxima utilizada (item 4).

- 6) Valor de W/L dos transistores das chaves deve ser definido (de forma a minimizá-lo) diferentemente por dupla de alunos, para limitar o efeito de sua resistência equivalente.
- 7) O valor de W/L do item 6 deve ser usado igualmente para os transistores do módulo digital, com exceção ao latch que será obtido diretamente de biblioteca. A polarização destes transistores também será $V_{DD} = 3,3V$

4 – Artefatos a entregar e avaliação

O projeto está planejado para ser feito em dupla em três aulas mais uma demonstração de seu funcionamento na semana seguinte à semana de provas.

Cada etapa será avaliada em separado com as suas notas totalizando 10. As etapas Parte 1 e Parte 2, tem valor de 2,0 cada uma e os grupos deverão entregar resultados específicos correspondentes, demonstrando o atendimento das especificações da etapa.

Na etapa Final, com valor de 6,0, um relatório completo, incluindo os dados e comprovações de todas as fases, deverá ser entregue. Deverá ser apresentado uma documentação evidenciando a implementação da partes e de todo o circuito, além das explicações e justificativas necessárias; para o relatório não ficar grande desnecessariamente, deve-se excluir as informações pouco relevantes.