

Escola Politécnica da Universidade de São Paulo
Departamento de Engenharia de Sistemas Eletrônicos - PSI

PSI-3452- Projeto de Circuitos Integrados Digitais e Analógicos

**LAB 3-B: Análise de Características Estáticas e
Dinâmicas do Inversor CMOS (2022)**

1. Objetivos

Esta sessão de lab visa dar continuidade à familiarização do estudante com a metodologia de projeto dedicado com aplicativo IC Station da Mentor Graphics e o programa de simulação de circuitos ELDO. Especificamente, objetiva a análise de suas características estáticas e dinâmicas a partir de seu esquema elétrico. Este esquema contém os componentes do circuito sendo projetado (transistores NMOS e PMOS) assim como componentes parasitários (capacitores) extraídos do leiaute.

2. Introdução Teórica

2.1. Modelo Simplificado do Inversor CMOS – funcionalidade

O inversor CMOS é formado por um transistor NMOS e um PMOS, como mostrado no diagrama esquemático da figura 1. É constituído de transistores n e p que apresentam quatro terminais elétricos: porta (G), dreno (D), fonte (S) e substrato (B). Suas curvas de transferência ($V_{out} \times V_{in}$) e de corrente ($I_{dd} \times V_{in}$) são apresentadas na figura 2.

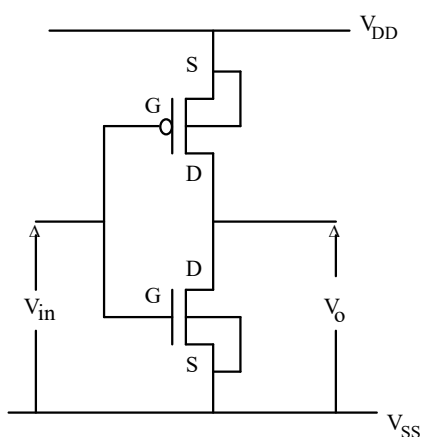


Figura 1

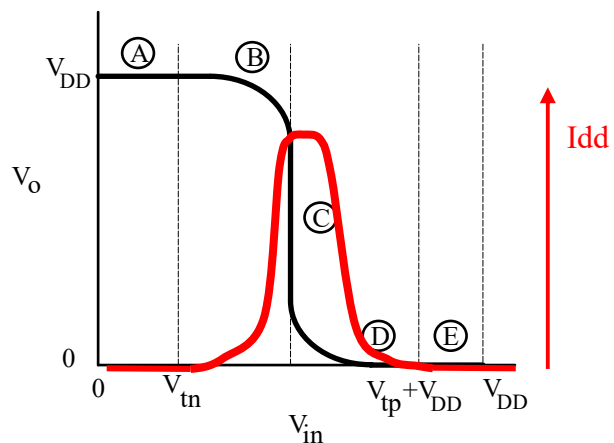


Figura 2

Região	Condição	PMOS	NMOS	Saída
A	$0 < V_{in} < V_{tn}$	Linear	Corte	$V_o = V_{DD}$
B	$V_{tn} < V_{in} < V_{inC}$	Linear	Saturado	$V_{oB} = f(V_{in})$
C	$V_{in} = V_{inC}$	Saturado	Saturado	$V_o \neq f(V_{in})$
D	$V_{inC} < V_{in} < (V_{DD} + V_{tp})$	Saturado	Linear	$V_{oD} = f(V_{in})$
E	$(V_{DD} + V_{tp}) < V_{in} < V_{DD}$	Corte	Linear	$V_o = 0$

Tabela 1

A tabela 1 indica o regime de operação de cada transistor em cada região da curva, assim como o valor da saída V_{out} . Os valores de V_{oB} e V_{oD} em função de V_{in} , assim como o valor de V_{in} na região 3, podem ser calculados igualando as correntes nos 2 transistores (modelo simplificado, para canal longo), resultando nas equações 1, 2 e 3 (é considerado que a saturação ocorre apenas por "pinch-off").

$$\text{Eq1 (região B): } V_{oB} = V_{in} - V_{tp} + \left[V_{in} - V_{tp}^2 - 2 V_{in} - \frac{V_{dd}}{2} - V_{tp} V_{dd} - \frac{k_n}{k_p} V_{in} - V_{tn}^2 \right]^{\frac{1}{2}}$$

$$\text{Eq2 (região D): } V_{oD} = V_{in} - V_{tn} + \left[V_{in} - V_{tn}^2 - \frac{k_p}{k_n} V_{in} - V_{dd} - V_{tp}^2 \right]^{\frac{1}{2}}$$

$$\text{Eq3 (região C): } V_{inC} = \frac{V_{DD} + V_{tp} + V_{tn} \sqrt{k_n/k_p}}{1 + \sqrt{k_n/k_p}}$$

A equação 3, referente à região C, também corresponde, neste modelo simplificado, ao valor de $V_o = V_{in}$, também denominado de valor do limiar lógico, V_M , no livro-texto é também chamado de V_{th}). Ela mostra de que forma a relação k_n/k_p (portanto as dimensões relativas entre os transistores NMOS e PMOS) afeta o valor de V_M do inversor. A região de transição C da Figura 2 move-se da esquerda para a direita com a redução de k_n/k_p . No caso, $k_n = k_n' \frac{W_n}{L_n} = \mu_n C_{ox} \frac{W_n}{L_n}$ e $k_p = k_p' \frac{W_p}{L_p} = \mu_p C_{ox} \frac{W_p}{L_p}$.

2.2. Margens de ruído

Margem de ruído é um parâmetro ligado às características de tensão de entrada-saída que descreve qual o ruído máximo permitido na entrada de uma porta lógica para que a saída não seja afetada, isto é, permaneça com o seu valor lógico correto. A especificação mais utilizada para a margem de ruído (imunidade de ruído) é em forma de dois parâmetros - a margem de ruído '0', MR0, e a margem de ruído '1', MR1. Para dois inversores ligados em cadeia, MR0 é definido como a diferença entre a tensão de saída '0' da porta lógica de comando (primeiro estágio) e a tensão máxima de entrada '0' reconhecida pela porta comandada (segundo estágio). Então,

$$MR0 = |V_{in0} - V_{out0}|.$$

O valor MR1 é a diferença entre a tensão de saída '1' da porta lógica de comando e a tensão mínima de entrada '1' reconhecida pela porta comandada. Então,

$$MR1 = |V_{out1} - V_{in1}|,$$

Onde:

V_{in1} = tensão mínima de entrada '1' (ponto em que a declividade na curva é -1)

V_{in0} = tensão máxima de entrada '0' (ponto em que a declividade na curva é -1)

V_{out1} = tensão de saída '1'

V_{out0} = tensão de saída '0'

A Figura 3 mostra os valores V_{in0} , V_{in1} , V_{out0} e V_{out1} . Quanto maior o ganho do inversor na região 3 (idealmente o ganho é infinito e a curva nesta região é vertical), mais próximos serão os valores de V_{in0} e V_{in1} , maximizando-se consequentemente as margens de ruído MR0 e MR1.

Outro parâmetro importante da curva da Figura 3 é a tensão de limiar lógica V_M , correspondendo o valor de $V_{in} = V_{out}$ na curva, ou seja ao valor de equilíbrio das tensões de entrada e saída para estágios inversores encadeados. Este valor depende do projeto (de acordo com a eq. 3 acima) e é, em geral, desejável que $V_M = V_{DD}/2$, o que leva a margens de ruído equilibradas.

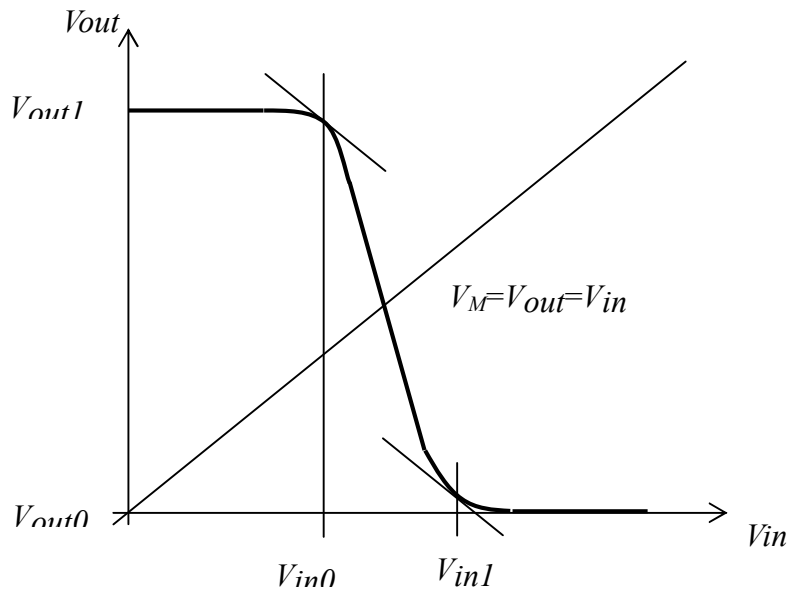


Figura 3

2.3. Tempos de atraso t_{pLH} e t_{pHL}

A velocidade de chaveamento de uma porta lógica CMOS depende de sua capacitância de saída, como ilustra a figura 4. Os tempos de atraso, t_{pLH} e t_{pHL} são medidos pela diferença de tempo entre o instante em que ocorre a transição de entrada (considerada instantânea) e o instante em que a saída está a 50% de V_{DD} . A indicação LH ou HL são referente ao comportamento da saída do inversor.

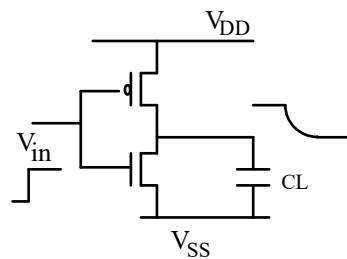


Figura 4

Valores aproximados dos tempos de subida e de descida podem ser determinados igualando as equações de corrente dos transistores NMOS ou PMOS à carga sendo retirada ou adicionada ao capacitor C, ocasionando a variação de tensão no capacitor C (ver esquema da figura 5).

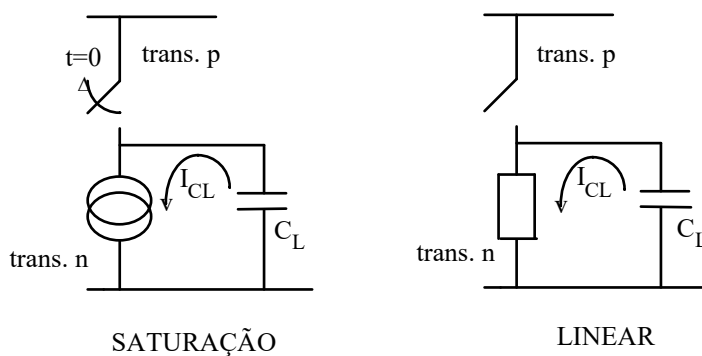


Figura 5

Uma aproximação desenvolvida no capítulo 4 do livro do Sedra é mostrada a seguir (as fórmulas foram compatibilizadas com as definições de k'_n e k'_p do manual ENG182):

$$\text{Eq4: } t_{pHL} = C_L \frac{V_{DD}}{k'_n \frac{W_n}{L_n} (V_{DD} - V_{THn})^2}$$

$$\text{Eq5: } t_{pLH} = C_L \frac{V_{DD}}{k'_p \frac{W_p}{L_p} (V_{DD} - |V_{THp}|)^2}$$

ou, simplificando com $V_{TH} = 0,2 \times V_{DD}$,

$$\text{Eq6: } t_{pHL} \cong 1,6 \cdot C_L \frac{1}{k'_n \frac{W_n}{L_n} V_{DD}}$$

$$\text{Eq7: } t_{pLH} \cong 1,6 \cdot C_L \frac{1}{k'_p \frac{W_p}{L_p} V_{DD}}$$

Os valores de k'_n e k'_p , V_{THn} e V_{THp} podem ser obtidos no manual ENG182. V_{DD} , W_n , L_n , W_p e L_p são decisões de projeto. C_L é a capacitância de carga vista pelo inversor. Considerações sobre C_L são feitas na seção seguinte.

2.4. Capacitância equivalente de saída de um inversor

A capacitância de saída de um inversor é calculada a partir da soma de vários componentes. Pode-se separar em duas classes de capacitâncias: as intrínsecas (internas), C_{int} , associadas às capacitâncias do próprio inversor que comanda, e as extrínsecas (externas), C_{ext} , relacionadas a qualquer carga externa que está sendo comandada (podendo incluir as interconexões, assim como qualquer estágio lógico seguinte). Portanto,

$$\text{Eq8: } C_L = C_{int} + C_{ext}$$

Dentro da primeira classe, C_{int} , estão incluídas as capacitâncias: de sobreposição (*overlapping*), $C_{overlap}$, devido à difusão lateral (entre o dreno e porta de um transistor -lembrar que o nó de saída está conectado aos drenos dos transistores N e P) e as de junção de dreno, C_{dreno} , entre os drenos e substratos.

$$\text{Eq9: } C_{int} = C_{overlap} + C_{dreno}$$

No segundo grupo, C_{ext} , temos as capacitâncias do *fanout*, ou seja, de porta, C_{porta} , de todos os transistores n e p, às entradas das lógicas seguintes; adicionado ao *fanout*, temos as capacitâncias de interconexão, C_{fio} (ou C_{par} , de parasitários), já visto em labs anteriores. Pode-se descrever as capacitâncias do componente externo da seguinte forma:

$$\text{Eq10: } C_{ext} = C_{porta} + C_{par}$$

, onde C_{porta} refere-se à(s) porta(s) do estágio lógico seguinte, caso exista. Portanto, reescrevendo a Eq. 8.

$$C_L = C_{int} + C_{ext} = C_{overlap} + C_{dreno} + C_{porta} + C_{par}$$

Na máquina de simulação do ELDO, os componentes parasitários são incluídos da seguinte forma:

1) Todas as capacitâncias parasitárias de interconexão de algum nó são: a) concentradas em uma única capacitância de acoplamento concentrada; b) ou uma rede de capacitâncias e resistências

parasitárias (já visto em labs anteriores). No caso a), as capacitâncias são agregadas em um único valor fixo, C_{par} , extraídas pelo aplicativo Calibre e inseridas nos arquivos de circuitos a serem simulados no ELDO.

2) As outras capacitâncias são calculadas pelo ELDO de acordo com os parâmetros do modelo SPICE 53 a partir das geometrias extraídas do leiaute pelo Calibre. Incluem-se neste caso, as capacitâncias $C_{overlap}$, C_{dreno} e C_{porta} acima (ver aula de teoria correspondente).

2.5. Correções para os tempos de atraso t_{pLH} e t_{pHL}

As equações para os parâmetros t_{pHL} e t_{pLH} da Seção 2.3, além de aproximadas (portanto menos precisas que uma simulação pelo Eldo), partem da premissa idealizada que as transições lógicas à entrada do inversor são abruptas (ver a teoria do livro de Sedra), ou seja, $t_r=0$ e $t_f=0$. Na prática, t_r e t_f podem ter valores até significativos, o que faz com que os valores de atraso de propagação (observadas à saída) também sejam significativamente maiores do que o caso idealizado. Existe uma formulação razoavelmente simples para extrapolar (corrigir) os valores de t_{pHL} e t_{pLH} :

$$\text{Eq11:} \quad t_{p_{pHL}} = \sqrt{t_{pHL(step)}^2 + \left(\frac{t_r}{2}\right)^2}$$

$$\text{Eq12:} \quad t_{p_{pLH}} = \sqrt{t_{pLH(step)}^2 + \left(\frac{t_f}{2}\right)^2}$$

onde o tempo de propagação $t_{pHL(step)}$ e $t_{pLH(step)}$ correspondem àqueles obtidos com transições abruptas à entrada, das equações 4 a 7.

3. Parte Experimental

Atenção: Muitos dos procedimentos a serem usados neste lab já foram realizados em sessões anteriores de lab. Quando se fizerem necessários novamente, consulte as descrições específicas dos procedimentos em apostilas anteriores, caso não se recorde.

Observação. Presume-se que todos os seus arquivos referentes às seções 3.0 a 3.5 da apostila Lab 3-A já estejam em sua pasta `~/psi3452/lab3`. Da mesma forma, o arquivo `inv_com_carga_topo.sp` que está no site na disciplina (Moodle) deve ter sido copiado.

(continua a numeração do LAB3-A)

3.6 Simulação das características estáticas

- Vistorie o arquivo `inv_com_carga_topo.sp`. Este arquivo contém a descrição da simulação estática e da dinâmica. Leia-o com atenção, linha a linha, para entendê-lo. Caso necessário, reordene os nomes dos terminais no arquivo para ficarem compatíveis com a sequência em que aparecem no arquivo `inv_com_carga.sp`, obtido na sessão anterior de Lab.
- Caso você tenha usado nomes diferentes para os terminais em relação aos nomes recomendados na apostila faça a correção, sem esquecer de acertar também em todos os pontos do arquivo `inv_com_carga_topo.sp` em que aparecem.

- c) Abra uma janela de terminal. Acesse `~/psi3452/lab3` e aplique o comando para ajustar as variáveis de ambiente.
- d) Faça a simulação através do comando `eldo inv_com_carga_topo.sp &` (como no Lab 2).
- e) Observe os resultados da simulação com o comando `ezwave inv_com_carga_topo.wdb &`. Dispare a curva da relação entre as tensões do nó Saida1 e entrada ($V_{out} X V_{in}$). Você deverá apresentar a curva com a indicação das medidas solicitadas (ver abaixo). Faça isto, ou pelo próprio ezwave, sobrepondo as curvas de V_{in} e V_{out} , ou sobre uma imagem jpg (com um editor adequado). Os gráficos editados deverão ser subidos, seguindo-se as instruções da folha de respostas.
- f) De forma adequada, sobre o gráfico $V_{out} X V_{in}$, trace a linha $V_o = V_{in}$ e indique nela, a medida do valor de V_M .
- g) Indique também na curva os valores de V_{out1} , V_{out0} (ver a Figura 3 - teoria).
- h) Trace sobre a curva, as linhas de declividade -1 e indique no gráfico os valores de V_{in1} , V_{in0} (ver a Figura 3 - teoria).
- i) Faça comparações entre os valores de V_M , o medido e o calculado com o modelo simplificado da atividade da aula 7.

Observação. Recalcule o valor de V_M para o modelo simplificado caso isto tenha sido recomendado a você na correção da atividade.

⇒ Siga as instruções da folha de respostas (item 3.6.a-h)

- j) o programa `ezwave`, dispare a curva $I_{dd} X V_{in}$.
- k) Edite o gráfico $I_{dd} X V_{in}$, indicando o local de determinação e o valor da corrente máxima, I_{max} do inversor.
- l) Indique os pontos que possam servir para estimar os valores das tensões de limiar dos transistores, V_{Tn} e V_{Tp} .

⇒ Siga as instruções da folha de respostas (item 3.6.i-l)

3.7 Simulação das características transientes- 1

- a) No arquivo do circuito `inv_com_carga.sp` extraído, identifique e marque o capacitor parasitário do nó da saída1. (Obs. Na apostila de teoria, este capacitor é aquele denominado como C_{par} ; correspondendo ao conjunto de capacitâncias relativas às interconexões do nó).
- b) Simule o circuito no Eldo e gere a curva das tensões no tempo dos nós Saida1 e Entrada, ($V_{out} x t$) e ($V_{in} x t$), respectivamente, onde a entrada do primeiro inversor é a forma de onda obtida por gerador de pulsos. Observe que o pulso vai de 0 a 3.3V, e os valores de t_r e t_f são de 1 ps, conforme descrito no arquivo '`inv_com_carga_topo.sp`'.

OBSERVAÇÃO: Lembre-se que o inversor sob análise é o primeiro; o segundo é apenas uma carga de outro estágio lógico

- c) Meça e indique nas curvas os tempos de atrasos t_{pLH} e t_{pHL} (50% de V_{DD} , à entrada e saída), ali anotando os seus valores. Deve ficar evidente como os tempos foram medidos. Gere um arquivo *.jpg ou *.odt para cada um deles. As figuras devem apresentar escalas de tempo ampliadas de tal forma a mostrar ao leitor boa precisão nas medidas.
- d) Use os valores obtidos (t_{pHL}/t_{pLH}) na atividade da aula 7 (se não o fez, faça agora, com as equações 4 e 5) para comparação com os resultados do Eldo
- e) Obtenha a razão (t_{pHL}/t_{pLH}) para os valores medidos em c) com a simulação Eldo.

f) Com os valores de c) aplicados às equações 11 e 12 (teoria), obtenha os valores de $t_{p_{xx}(\text{step})}$.

⇒ **Siga as instruções da folha de respostas (item 3.7)**

3.8 Mudança do leiaute e simulação das novas características transientes-2

a) Copie o arquivo **inv_com_carga.sp** para um outro modificando o nome para **inv_simples.sp** para nova edição.

b) **Edite o arquivo** de tal forma que sejam removidos: 1) a capacitância parasitária concentrada do nó Saida1; 2) o inversor de carga.

ATENÇÃO: Sem os parasitários de interconexão e sem a carga, as capacitâncias a serem consideradas na simulação serão apenas as internas do transistor 1 ($C_L=C_{int}$ como na parte teórica, com as equações 8 e 10).

c) Use o arquivo '**inv_com_carga_topo.sp**' da seção 3.7 para a simulação, alterando-o para '**inv_simples_topo.sp**'. Veja se há necessidade de modificações nele para adequar-se à instância **inv_simples.sp**. Mantenha os valores de t_r e t_f de 1 ps (como na seção 3.7).

d) Refaça a simulação com o ELDO e gere a curva ($V_{out} \times t$) e ($V_{in} \times t$) do inversor.

e) Repita o procedimento de 3.7.c) para a obtenção dos valores de tempo. Observe que os tempos serão menores que os do 3.7.

⇒ **Siga as instruções da folha de respostas (item 3.8.a-e)**

f) Estime o valor do C_{int} com cada a equação. Depois, repita com a equação 5, para verificar a diferença. (**Pergunta:** há como escolher uma delas como a mais precisa?)

g) Com os valores obtidos em f) e com os tempos de 3.7, obtenha o valor de C_{gate} . Para isto, use a equações 10, novamente para cada uma das equações, 4 e 5.

h) Calcule o valor teórico de C_{gate} , com os seus valores de W e L (transistores n e p) para comparação.

⇒ **Siga as instruções da folha de respostas (item 3.8.f-h)**