

Escola Politécnica da Universidade de São Paulo
Departamento de Engenharia de Sistemas Eletrônicos - PSI

PSI-3452- Projeto de Circuitos Integrados Digitais e Analógicos

**LAB 2- A: Transistor NMOS- Desenho de Leiaute,
Extração de Circuito Elétrico (2022)**

1 - OBJETIVOS

Esta sessão tem como objetivo a continuidade na familiarização do estudante com a metodologia de projeto dedicado com aplicativo IC Station da Mentor Graphics e o programa de simulação de circuitos ELDO. Especificamente, neste lab, o aluno irá se empenhar:

- 1) na geração do leiaute de um transistor NMOS atentando-se às regras de projeto utilizadas, dadas em dimensão λ .
- 2) na extração do diagrama elétrico deste transistor, realizar a simulação e compreender o modelo de transistor utilizado.

2 - PARTE TEÓRICA

2.1. O transistor NMOS (PMOS é dual)

O transistor NMOS é um dispositivo unipolar composto de quatro (4) terminais de entrada/saída: Dreno (drain, D), Fonte (source, S), Porta (gate, G) e Substrato (bulk ou substrate, B). A Figura 1 indica o símbolo do dispositivo e a curva padrão da corrente pela tensão de polarização ($I_{DS} \times V_{DS} \times V_{GS}$).

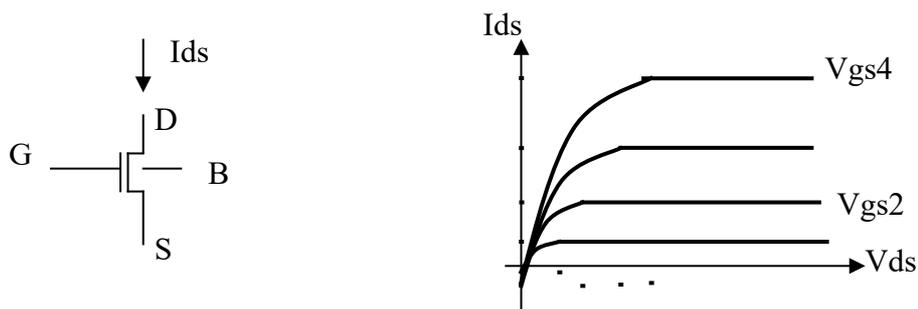


Figura 1. Símbolo de um transistor tipo N e a curva típica $I_{DS} \times V_{DS} \times V_{GS}$

Em muitas ocasiões, o substrato e a fonte estão ambos conectados a uma linha de alimentação terra (GND), mas em outras configurações, a fonte pode estar “flutuando”, assumindo valores de potencial variados. A Figura 2 apresenta um corte transversal de um transistor tipo N, com comprimento e largura de canal L e W , respectivamente, para o qual, S e B (as camadas N^+ e P^+ da direita, respectivamente) não estão conectados- a visão 3D do metal objetiva facilitar a visualização. Como pode-se observar o contato de substrato é sempre realizado pela superfície superior da pastilha através da camada de dopagem forte do mesmo tipo do substrato (neste caso, tipo p). A descrição correspondente de máscaras é dada sem seções posteriores.

Apesar de não mostrado, todo o dispositivo está envolto por óxido de silício, chamado de óxido grosso (field oxide, FOX) (observe que na figura, para facilitar a identificação de outros elementos, o óxido grosso é mostrado apenas nas laterais e no fundo). O único local onde há o óxido fino (thin oxide, THINOX) é sob a porta para que o efeito de inversão de canal do transistor ocorra.

a) Exemplo 1:

Descrição:

```
. SUBCKT somador carry_in carry_out in_1 in_2 out
    =>Descrição de transistors interconectados
. ENDS
```

No exemplo do somador acima, temos quatro nós (locais).

Fazemos duas instanciações em um circuito (são construídos dois blocos somadores):

```
X_somador_1 c_i_1 co_1 in_1_A in_1_B out_1 somador
X_somador_2 c_i_2 co_2 out_2 in_2_A in_2_B somador
```

podemos observar que, provavelmente, teríamos um erro na segunda instanciação, pois o nó global out_2 corresponderia a uma saída e seria associado ao nó local in_1, que é uma entrada.

2.3.2. Arquivos Extraídos

No fluxo de projeto de circuitos integrados dedicados, após a edição do leiaute, é comum realizar a extração do diagrama elétrico do circuito leiautado, para a sua simulação. A simulação permite: a) verificar a funcionalidade do circuito, detectando eventuais erros inseridos pelo projetista; b) confirmar as características elétricas, uma vez que todos os elementos parasitários (decorrentes de interconexão e capacitâncias intrínsecas dos transistores) podem ser extraídos e incorporados à descrição do circuito.

No ambiente de projeto do IC Station da Mentor, a ferramenta que realiza a extração é o programa CALIBRE. Após a extração, um **conjunto de arquivos descritivos** do circuito do tipo SPICE é gerado. A Figura 4 ilustra o resultado da extração de um leiaute específico de um transistor. É importante notar que, além do transistor em si, componentes parasitários correspondentes às linhas de metal e silício-poli também podem ser extraídos. Por depender da forma como o projetista constrói o seu leiaute, é improvável que dois circuitos com transistores idênticos, mas construídos de forma independente, gerem duas extrações completas dênticas.

Os arquivos são os seguintes:

***.sp.pex-** arquivo contendo todos os subcircuitos extraídos, em forma de capacitâncias e resistências, correspondentes às interligações de metal, silício-poli, etc. do leiaute (comando 'subckt' do formato SPICE). Estes subcircuitos são extraídos caso a opção para tal seja selecionada no progama CALIBRE. Cada polígono desenhado para cada camada será extraído em forma de componente elétrico. Como ilustrado no exemplo da figura abaixo, cada subcircuito (em azul) conterà terminais internos, com os seus nomes locais (como d e s, na figura).

***.sp.*.pxi-** arquivo que contém as **instâncias** dos subcircuitos de ***.sp.pex**. Providencia as interconexões entre os subcircuitos (caso elas existam) e destes para outros **nós globais** do arquivo global de extração. No exemplo da figura, correspondem às conexões contidas na área em vermelho; o subcircuito superior à direita, por exemplo, tem os seus nomes locais, d e d, e, quando instanciado, conectados pelos nós globais, dd e dd'.

***.sp** – arquivo contendo o leiaute completo/topo do projeto, extraído pela ferramenta, **ainda na forma de um subcircuito, mas global** (principal). Este subcircuito topo terá como terminais os nós que foram definidos e alocados durante a edição do leiaute (do tipo dd, gg, etc.). Transistores são **instanciados** através de seus modelos de componentes e os seus terminais são associados as nós globais (dd', ss', etc. como na figura); por outro lado, a descrição das instâncias de ***.sp*.pxi** (os circuitos RC) são adicionadas por instrução **include**. Assim como transistores, todo dispositivo padrão que for instanciado (diodo e resistor não parasitário, por exemplo) também conterá terminais com nomes globais. . No exemplo da figura, na área verde, o nome ddd foi definido pelo projetista no seu leiaute e torna-se a um nó global de *.sp.

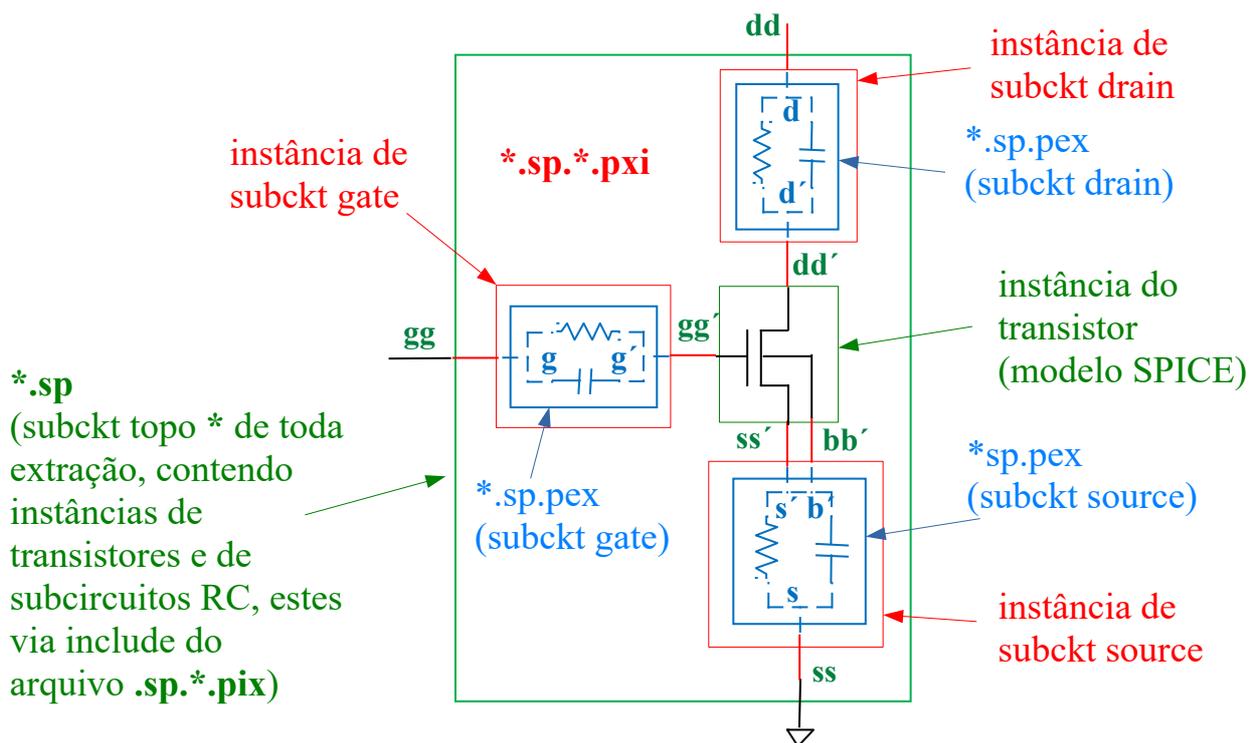


Figura 4. Diagrama esquemático/hierárquico de um circuito extraído

3. REALIZAÇÃO PRÁTICA

Os experimentos a seguir referem-se a um transistor a ser construído com a tecnologia TSMC 0,35 μm .

3.1. Criando a célula do transistor no IC Station a partir do leiaute do Lab1

Faça os procedimentos de preparação já vistos em experiência anterior (no sistema operacional Linux), em particular, para esta sessão:

- Crie diretório: **~/lab2** (para visualização e acompanhamento, use o navegador de pastas **dolphin**)
- Abra um terminal e, nele, vá para este diretório **~/lab2**

→

- Tecla *source* ~/perfil_mgc_2020a22-64 (copiado do Moodle na aula2) para ativar as variáveis do ambiente. Lembre-se sempre de realizar esta tarefa quando abrir um terminal- este alerta não será mais repetido futuramente.
- Tecla **adk_ic &** para iniciar a ferramenta de edição IC Station.
- Com o IC Station aberto, confirme que o Working Directory corresponde à pasta deste laboratório, com **MGC→Location Map→Set Working Directory...**

As dimensões W e L do transistor são as mesmas que as obtidas no Lab 1, com o número USP do(a) aluno(a). Usaremos o mesmo leiaute da aula anterior.

Atenção: Caso não tenha feito o Lab 1 ou não tenha o arquivo anterior por qualquer razão, você terá que realizar esta parte do Lab1 primeiramente.

No IC Station, abra o leiaute do Lab1 (utilizando o comando *Open*). O desenho das tiras de silício-poli e região ativa deverão aparecer.

Observação. Fazendo assim, o seu novo leiaute herdará todas as configurações anteriores (da tecnologia TSMC 0,35).

- Lembre-se sempre de deixar a célula editável, com **Context→Layout→Set Edit Mode On.**
- Grave este leiaute na pasta ~/ab2, denominando-o de **NMOS**, com **File→Save As...→Layout...**

3.3. Desenhando o transistor no IC Station a partir do leiaute do Lab1

Atenção: confira a correção feita pelo instrutor para a sua solução do Lab1 e verifique se não há necessidade de correções. Caso positivo, faça-os antes de tudo.

Durante a edição do seu leiaute você deverá obedecer às regras do processo CMOS da TSMC035. Algumas regras importantes foram relacionadas indicadas no anexo 1 da apostila do lab1. Utilize-as como referência.

Observação: Como usaremos a tecnologia 0,35 μm , no exemplo acima, temos que **$\lambda=0,2\mu\text{m}$** (dentro da opção MOSIS SCMOS). Lembre-se que a conversão esperada no futuro é com este valor em μm . Confira nos dois exemplos abaixo de W e L projetados:

Exemplo 1: $W_n = 7\lambda = 1,4\mu\text{m}$ e $L_n = 2\lambda = 0,4\mu\text{m}$.

Exemplo 2: $W_n = 6\lambda = 1,2\mu\text{m}$ e $L_n = 3\lambda = 0,6\mu\text{m}$.

ATENÇÃO: o programa DRC deverá ser usado durante a edição para verificar se nenhuma regra de projeto está sendo violada.

➤ **Completar a folha de respostas (item 3.3.A)**

No desenho de um transistor, as máscaras (aqui também chamadas de camadas³) devem ser inseridas na sequência que tem sido apresentada nas aulas

3 Como mencionado na Aula 2, em muitas literaturas, os termos camadas e máscaras consistem de conceitos diferentes: máscara corresponde à lista que apresentamos aqui, enquanto camadas poderia se uma

de teoria:

- ❖ Nwell (apenas para transistor PMOS) (utilizada na próxima sessão de lab)
- ❖ Active (já utilizada no Lab 1)
- ❖ Poly (já utilizada no Lab 1)
- ❖ N_ Plus_Select
- ❖ P_ Plus_Select (apenas para transistor PMOS) (utilizada na próxima sessão de lab)
- ❖ Contact_to_Poly
- ❖ Contact_to_Active
- ❖ Metal 1
- ❖ Via (utilizada na próxima sessão de lab)
- ❖ Metal2 (utilizada na próxima sessão de lab)

Observação: Como já visto na teoria, a camada *P_ Plus_Select* pode ser usada em conjunto com a *Active* e *Contact_to_Active*, para definir a **região de contato de substrato p**. Entretanto, na nossa sessão com o IC Station, usaremos na seção 3.4 uma outra forma para isto (usando um bloco de biblioteca parametrizável), como poderá ser visto mais adiante.

Agora, use os valores de W_n e L_n obtidos com o seu número USP (feito no Lab1) para realizar o desenho de um leiaute **similar** ao da Figura 5. Os tamanhos das camadas deverão ser computadas e ajustadas da seguinte forma (medidas em λ), seguindo as regras de projeto dadas na apostila do Lab1:

- A camada *Active* deve ter a dimensão largura= W_n e altura= $(2 * DRC6_1 + 2 * DRC6_2 + 2 * DRC6_4 + L_n)$ => calcule o seu valor e compare com a altura e largura utilizadas no Lab 1.
 - A camada *Poly* deve estar centralizada em relação à camada *Active* e ter largura $= (W_n + 2 * DRC3_3)$ e altura= L_n => calcule o seu valor e compare com a altura e largura utilizadas no Lab 1.
- ⇒ **Completar a folha de respostas (item 3.3.B)**

Construa a seguir as máscaras de seleção, contatos e metal, com as dimensões computadas pelas regras de projeto. Utilize o **Layer Palette** para a seleção da camada correta (**atenção: tenha certeza de identificar os nomes corretos das máscaras**) e use os métodos de edição de polígonos do Lab 1.

- A camada *N_ Plus_Select* deve envolver a camada *Active*, com um avanço extra de 2λ ($DRC4_2$) em todos os lados.

Observação 1: Não se esqueça de gravar o seu projeto a cada mudança!! A ocorrência de algum pane no software e a perda de edições realizadas, quando não gravadas, é um evento extremamente frustrante e desagradável !!!

Observação 2: Após a gravação, o seu desenho NÃO estará mais reservado

composição de máscaras; uma camada de difusão n, por exemplo, seria composta pelas máscaras de região ativa e seleção n+.

para edição. Para continuar editando o seu trabalho, reserve o seu desenho novamente para edição, como instruído anteriormente.

- A camada *Contact_to_Active* (dos contatos de fonte e dreno) devem ter exatamente $2\lambda \times 2\lambda$ (DRC6_1) e devem estar distantes de 2λ (DRC6_4) da camada *Poly* e estar contidos na camada *Active*, com, no mínimo, $1,5\lambda$ (DRC6_2) de cada lado.
- A máscara *Metal1* deve cobrir e conter os contatos, com um avanço extra de, pelo menos, 1λ (DRC7_3) de cada lado.

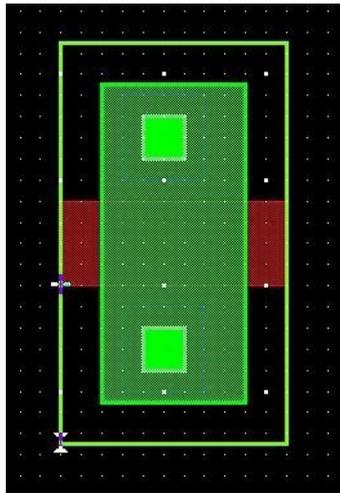


Figura 5. Leiaute de transistor tipo n (sem metal e contato de substrato)

Ative agora a verificação do leiaute (DRC) (siga as instruções da sessão de lab. 1) para observar se algum erro foi cometido. Se você cometeu algum erro que viole as regras acima mencionadas, corrija-as e reative o seu DRC até que não ocorram mais indicações de erros.

Atenção: haverá um único erro que você não será capaz de corrigir neste momento. Qual é ele? Pense o porquê.

A próxima ação é gravar o desenho do leiaute no formato **TIFF** (como realizado na sessão do lab1). Ela deve ter a forma similar ao da Figura 6, porém com as suas medidas derivadas do número USP. Verifique que ela apresente as dimensões corretas.

⇒ **Siga as instruções da folha de respostas (item 3.3.C)**

3.4. Adicionando o contato de substrato

O substrato p precisa ser polarizado e um contato deve ser criado para este fim. Para implementar o contato de substrato será utilizada uma célula da biblioteca padrão que acompanha o pacote ADK.

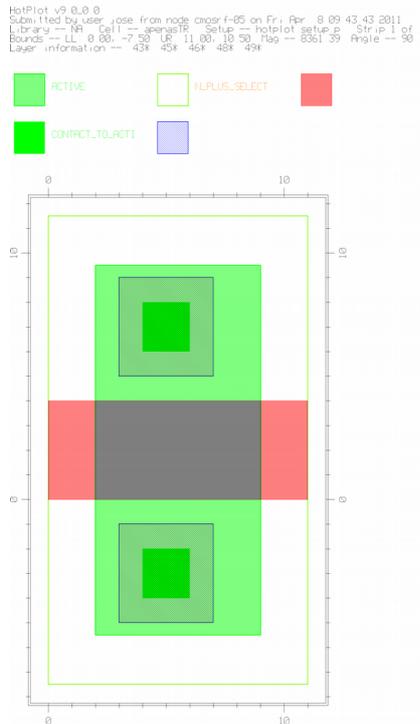


Figura 6. Exemplo de figura de transistor tipo n em TIFF

A pasta `/tools/mgc_tree/adk3_1/technology/ic/process/tmsc035` corresponde a uma das bibliotecas **ADK** e ali estão armazenados diversos blocos lógicos digitais (inversores, nands, nors, etc...). Com o navegador de pastas, verifique o seu conteúdo (da pasta).

Na pasta `/tools/mgc_tree/adk3_1/technology/ic/process/tmsc035_via` corresponde a uma outra bibliotecas **ADK** e ali estão armazenadas células de contato de substrato possíveis de serem usadas nesta tecnologia. Com o navegador de pastas, verifique o seu conteúdo.

Usaremos a célula `'pwell_contact'`⁴ que se encontra nesta segunda pasta. Para isto, no *IC Station*, acione na barra de menu (na parte superior da tela) o comando

→ **Add→Instance**

e procure (usando o *browser*) a célula acima. Em seguida, na tela de desenho, acrescente esta célula encostando-a no transistor já desenhado pela parte inferior. Use a tecla *Esc* (do teclado) para sair deste modo.

Para ver todas as camadas desenhadas, inclusive as das células:

→ Selecione todo o leiaute com: **Select→Select→All**

→ Visualize com: **View→Peek→Peek** e na caixa selecione o Number of Level **99** e tecla **OK**.

4 Usa-se aqui a denominação de poço p (p well) apesar de que o poço não é necessário, pois seria redundante para com o substrato é p, e o termo *psubstrate* poderia ter sido usado. Em muitas tecnologias, o poço p realmente existe sobre o substrato p, para um ajuste adequado da concentração de dopantes tipo p e consequentemente, no valor da tensão de limiar do transistor canal n.

- Deselecione todo o leiaute (*F2* com o ponteiro do *mouse* sobre a grade, mas fora do leiaute).
- Se o leiaute não couber na tela use a opção **View** → **All**.
- ⇒ **Completar a folha de respostas (item 3.4)**

3.5. Inserção de portos (*port*) ligados ao METAL1 e seus rótulos (*labels*)

Todo circuito tem os seus portos de E/S para efeitos de simulação⁵. Para definir os portos do circuito e associá-los a rótulos (nomes dos nós), algumas camadas deverão ser adicionadas (nem todas as camadas podem utilizadas como portos).

3.5.1. METAL 1 para dreno, fonte e substrato

Primeiramente, linhas de *Metal1* serão acrescentadas para os contatos de fonte, dreno e substrato. Veja qual é a largura mínima do *Metal1* de acordo com as regras de projeto.

Conecte a fonte do NMOS com o contato de substrato usando a camada *Metal1*, como ilustrado na figura 7 (adotaremos esta condição em que ambos estão em curto e serão polarizados em GND). Há diversas formas para fazer tal ligação. Você pode desenhar um retângulo de *Metal1* encostando-o ou sobrepondo-o ao quadrado de *Metal1* já desenhado anteriormente. Outra forma é aumentar o tamanho do quadrado de *Metal1* já desenhado sobre o contato (usando o comando *Stretch*). Fica ao critério do aluno como realizar tal passo.

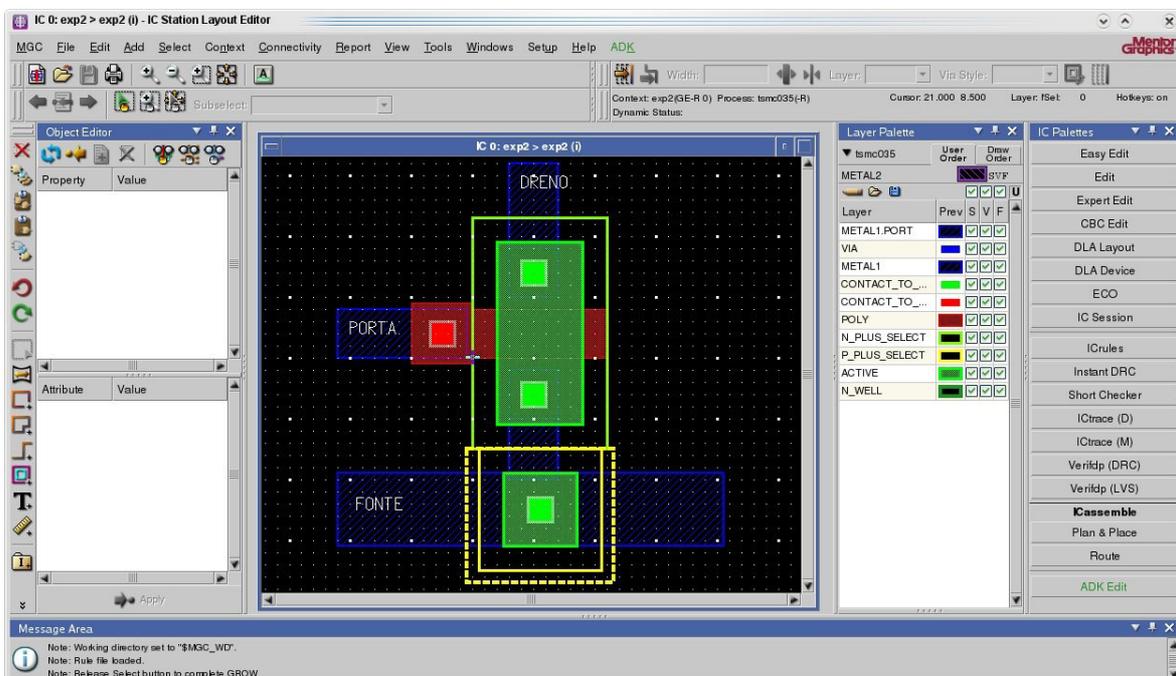


Figura 7. Leiaute com Portos Inseridos

5 No circuito a ser fabricado os portos deve vir da última camada de metal.

Desenhe mais duas tiras de *Metal 1*, conforme mostrado na figura 7: uma vertical cobrindo o contato de dreno, e outra, horizontal de *Metal1* cobrindo o contato de fonte.

3.5.2. METAL 1 e contato de POLY

Agora, o aluno deverá acrescentar um contato que conecte a camada de *Metal 1* ao de *Poly*, como indicado na figura.

Primeiramente, acrescente um quadrado de *Poly* de dimensão $5\lambda \times 5\lambda$ (DRC5_1+2*DRC5_2) separado em 2λ do canal do transistor (DRC3_5 diz que separação pode ser 1λ , mas para respeitar a regra de espaçamento entre metais, use 2λ). Cuide para que este quadrado de *Poly* esteja ligado à porta do transistor (uma ligação feita com o próprio *Poly*).

A seguir, acrescente uma camada de contato entre a camada de *Metal1* e o de *Poly*, selecionando na palheta de trabalho **Easy Edit -> Shape** e selecionando a camada *Contact_to_Poly*. Gere-o com a dimensão $2\lambda \times 2\lambda$ (DRC5_1) e centralize-o no quadrado de *Poly* desenhado no passo anterior.

Finalmente, cubra o contato com um retângulo de *Metal1* de dimensão $4\lambda \times 4\lambda$ (DRC5_1+2 DRC7_3).

Para finalizar, faça uma extensão de *Metal1* como mostra a figura 7.

3.5.3. Portos e Rótulos- definindo nós elétricos do circuito

Adicione texto para cada terminal (PORTA, FONTE, DRENO, por exemplo) ligado às tiras de *Metal1* que você acabou de desenhar. Para isto, a camada ***Metal1.Port*** será usada (**Atenção: cuidado para não confundir com a camada de *Metal 1!!!***). Cada camada de porto corresponderá a um nó elétrico (porto) da célula que será usado como terminal de comunicação desta célula com alguma outra célula irmã, ou à sua célula mãe (de maior hierarquia).

Atenção: A camada *Metal1.Port* **NÃO** corresponde a uma máscara real, sendo usada apenas para fixar os rótulos dos portos da célula.

Para adicionar as portas, use o comando **'Add→Text'**.

Observe se em **'Object Editor'** o *Layer Name* seja **'METAL1.PORT'**. Se não estiver, isto pode ser feito por seleção no **Layer Palette**, como escrevendo diretamente no campo. Também, coloque o nome do porto a ser usado (DRENO, por exemplo) no campo *Value*.

Para que este valor (nome) seja efetivado pelo **'Object Editor'** teclie RETURN

Em seguida, posicione o cursor (grudado no cursor está o nome que você usou) **sobre** o *Metal1* que servirá de porto e clique o botão da esquerda do mouse para implementar (**atenção: se o cursor não estiver sobre a camada de Metal 1, o rótulo não ficará associado a ela**).

Repita o procedimento para a fonte e porta. O leiaute resultante deve ser similar ao da figura 7.

Não se esqueça de gravar a sua célula e depois volte a habilitá-la para edi-

ção.

Faça a verificação do leiaute (DRC). Se houver erros, elimine-os até que nenhum erro apareça.

Exporte o leiaute (que deve ser parecida com a Figura 8) em formato TIFF.

⇒ **Siga as instruções e complete a folha de respostas (item 3.5)**

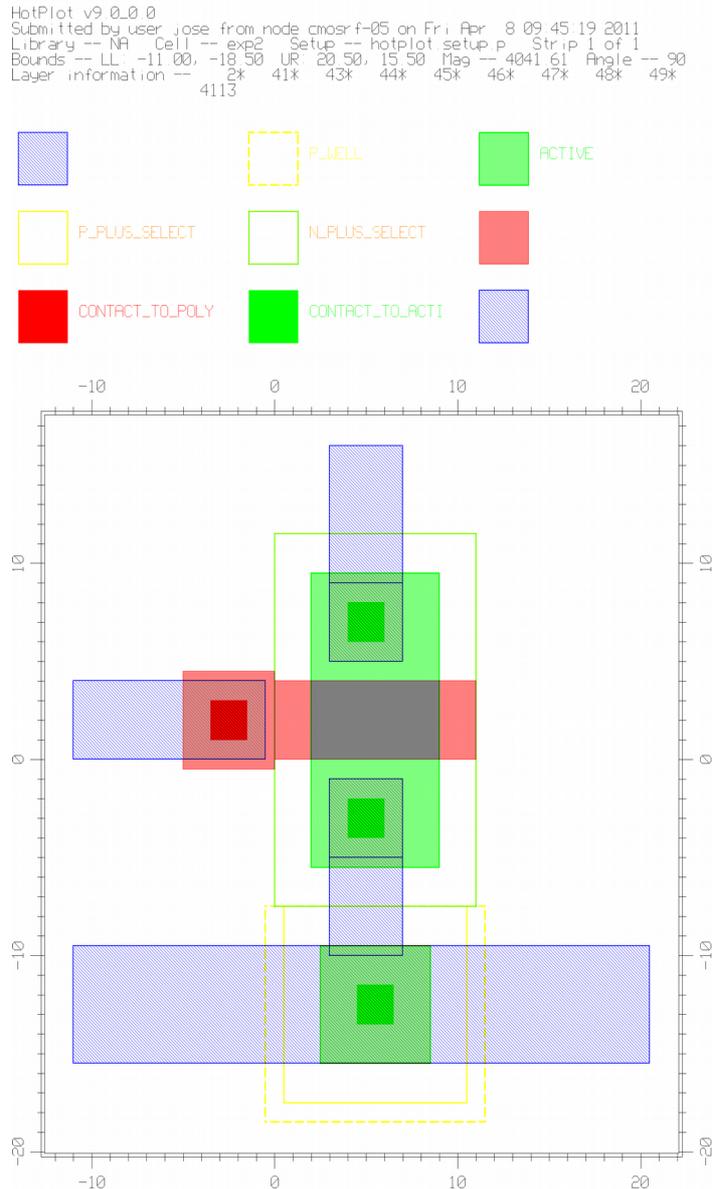


Figura 8. Exemplo de Transistor completo em TIFF

3.6. Extração do diagrama elétrico

Como relatado na seção de teoria, pode-se agora realizar a extração do diagrama elétrico para sua posterior simulação. A extração é feita com o programa **CA-**

LIBRE. Para isto siga os seguintes passos:

- Acione **Tools**→**Calibre**→**Run PEX**.
- Na janela que aparece após a licença ser adquirida, preencha o campo Load Runset com o arquivo **/tools/mgc_tree/adk3_1/technology/calibre/pex.tsmc035.runset**, que contém algumas das variáveis usadas na extração)
- Confirme clicando em OK
- Clique em **Run Pex** e aguarde.

Três arquivos são gerados: '**NMOS.sp**', '**NMOS.sp.pex**' e '**NMOS.sp.NMOS.pxi**'. Observe que o nome depende do nome da célula que originou os arquivos, no caso, NMOS (caso você tenha mantido este nome). Reveja a seção 2.5 para entender qual é o conteúdo destes arquivos.

⇒ **Siga as instruções e complete a folha de respostas (item 3.6)**