

Escola Politécnica da Universidade de São Paulo
Departamento de Engenharia de Sistemas Eletrônicos - PSI

PSI-3452- Projeto de Circuitos Integrados Digitais e Analógicos

**LAB 1: *IC Station*: Um Editor de Leiaute
(Teoria- 2022)**

A. OBJETIVOS

Esta sessão prática no lab visa familiarizar o estudante com o uso do ambiente de gerenciamento de projeto **IC Station**, da **Siemens** (antes era **Mentor Graphics Corporation**), particularmente na questão de criação e dimensionamento de camadas/máscaras e no uso de regras de projeto. O ambiente consiste de uma série de ferramentas como, por exemplo:

- **IC Graph**- editor de polígonos coloridos, em que cada conjunto <cor - textura- espessura de borda> representa uma máscara da tecnologia CMOS considerada;
- **Calibre**- programa de extração do esquema de um circuito a partir do seu leiaute,
- **DRC** (*design rule checker*)- programa de verificação das regras de projeto impostas pela empresa onde o circuito será fabricado (uma **Silicon Foudry**).

As tarefas a serem realizadas neste laboratório são:

1. Familiarização com a ferramenta *IC Graph*.
2. Desenhar o leiaute de um transistor MOS usando o programa *ICGraph*.
3. Verificar se as regras de projeto (também denominadas de regras de leiaute) da biblioteca de células **ADK**, usando-se a ferramenta *DRC*, estão sendo respeitadas;
4. Gerar arquivos contendo a descrição de leiaute no formato (arquivo) GDSII, que representa a geometria dos polígonos correspondentes às máscaras do processo CMOS e que serve como interface entre a fase de projeto e a de fabricação de um CI.

B. PARTE TEÓRICA

1) MÁSCARAS E REGRAS DE PROJETO

Os circuitos analógicos ou digitais, compostos de transistores, são leiautados para atender as especificações elétricas estáticas (ex: valores de tensão) e dinâmicas (ex: tempos de atraso). A Figura 1 ilustra o leiaute de um inversor genérico; vamos assumir que tenha sido projetado para a tecnologia de 90nm com os valores de $W_p = 3,6\mu\text{m}$ e $L_p = 0,9\mu\text{m}$ para o transistor p e $W_n = 1,8\mu\text{m}$ e $L_n = 0,9\mu\text{m}$ para o transistor n (lembrar que o nó tecnológico corresponde ao comprimento de canal que é a menor dimensão de material encontrado no circuito; no caso da tecnologia de 90nm é de 90nm). O leiaute é composto de camadas tecnológicas que, ao final do projeto, devem ser convertidos em um conjunto de máscaras usadas na fabricação dos circuitos. Na fábrica, as máscaras devem ser corretamente alinhadas para que desta composição saia o circuito correto também.

Durante o processo de fabricação podem ocorrer distorções e falhas devidos às imprecisões de equipamentos e do próprio processo, gerando-se então linhas com geometrias mais finas (ou grossas) que o esperado; ou pequenos desalinhamentos que provocam a aproximação indevida das bordas das máscaras. Como resultado pode-se ter circuitos com valores distorcidos ou que não opere na forma esperada (por exemplo, circuitos lógicos poderiam apresentar valores lógicos

opostos aos esperados).

Para a confecção de CIs confiáveis, toda *foundry* entrega ao projetista um conjunto de regras de projeto que devem ser respeitadas, a fim de se compensar eventuais variações na fabricação. Tratam-se de margens de segurança que devem ser observadas como, por exemplo, larguras mínimas para o material construído (para garantir a continuidade), distâncias mínimas entre máscaras (para evitar sobreposições indevidas ou para garantir que exista sobreposição quando desejadas).

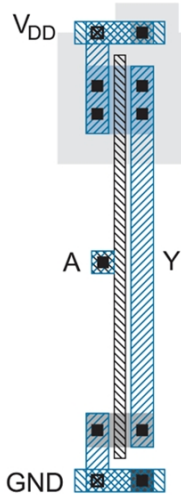


Figura 1. Inversor com transistor p maior que n

As regras de projeto são em geral tabeladas para diferentes materiais/máscaras como apresentado na **Tabela 1**, onde aparecem as regras correspondentes às máscaras de poço, região ativa, etc. Cada regra deve ser garantida e é de grande valia que o projetista conheça o significado de cada uma delas. Por exemplo, a regra 1.1 refere-se à mínima largura de um poço, a 1.2 à distância entre dois poços, etc. Os valores são dados em unidades compatíveis com a tecnologia utilizada, ou seja, para cada nó tecnológico, usa-se um conjunto de regras de projeto específicas. No exemplo da Tabela 1, a tecnologia é de 90 nm e os valores de segurança são, em geral, maiores que este valor (por exemplo, a largura mínima do Metal 1, regra 7.1, é de 130nm).

Tabela 1. Regras de projeto de processo 90nm

Table 3.3 Micron design rules for 90nm process			
Layer	Rule	Description	90 nm rule (μm)
Well	1.1	Width	0.75
	1.2	Spacing to well at different potential	1.5
	1.3	Spacing to well at same potential	1.0
Active (diffusion)	2.1	Width	0.15
	2.2	Spacing to active	0.20
	2.3	Source/drain surround by well	0.25
	2.4	Substrate/well contact surround by well	0.25
	2.5	Spacing to active of opposite type	0.30
Poly	3.1	Width	0.09
	3.2	Spacing to poly over field oxide	0.15
	3.2a	Spacing to poly over active	0.15
	3.3	Gate extension beyond active	0.15
	3.4	Active extension beyond poly	0.15
Select	3.5	Spacing of poly to active	0.10
	4.1	Spacing from substrate/well contact to gate	0.25
	4.2	Overlap of active	0.20
	4.3	Overlap of substrate/well contact	0.10
Contact (to poly or active)	4.4	Spacing to select	0.30
	5.1, 6.1	Width (exact)	0.12
	5.2b, 6.2b	Overlap by poly or active	0.01
	5.3, 6.3	Spacing to contact	0.15
Metal1	5.4	Spacing to gate	0.10
	7.1	Width	0.13
	7.2	Spacing to well metal1	0.13
	7.3, 8.3	Overlap of contact or via	0.01
Via1–Via5	7.4	Spacing to metal for lines wider than 0.5 μm	0.40
	8.1, 14.1, ...	Width (exact)	0.13
	8.2, 14.2, ...	Spacing to via on same layer	0.13

(continued)

2) A DIMENSÃO λ (PARAMETRIZÁVEL)

Um dos aspectos práticos de um projeto ou de suas partes é a sua potencial reutilização em um nó tecnológico mais avançado (de dimensões menores). A realização de um novo projeto/leiaute (mesmo sendo a mesma lógica) contendo milhões de transistores é um trabalho imenso. Uma alternativa para simplificar este problema é realizar os projetos em termos de uma unidade abstrata parametrizável λ e, a partir dela, converter o projeto para unidades métricas aceitas pelo fabricante¹. Observe-se que desta forma:

1) em um **projeto**, todas as geometrias referentes às máscaras assim como as suas separações serão dadas em λ ; seguem-se regras de projeto dadas em λ , entretanto, as regras de projeto das foundries são ainda dadas em unidades métricas (mas esta não são utilizadas pelo projetista).

2) fica estabelecido que, em primeira aproximação, será adotado $\lambda =$ mínimo comprimento do canal possível/2 (metade da menor dimensão da tecnologia); não sendo isto adequado, um valor maior deverá ser usado (este assunto será revisado mais à frente), de preferência o menor valor de conversão possível.

3) a dimensão λ usada no projeto é parametrizável para diferentes nós tecnológicos, isto é, deve ser convertido para valores absolutos; após a conversão, todas as regras que foram dadas em unidades métricas (especificadas pela *foundry*) devem ser atendidas.

A **Tabela 2** exemplifica um conjunto de regras em λ concebidas pelo MOSIS (www.mosis.com) que é uma entidade intermediadora de várias fábricas de CIs. Existem três casos de projeto com suas regras em dimensões λ , os quais foram estabelecidos de acordo com o avanço tecnológico:

- SCMOS – adequado a transistores de dimensões grandes;
- SCMOS SUBM – transistores de dimensões submicrônicas
- SCMOS DEEP – transistores de dimensões submicrônicas profundas (*deep submicron*)

Observe que a regra 7.1, para a largura mínima de Metal 1, é agora dada em λ , com valor 3λ para todos os casos do MOSIS. Se um projeto seguir tal regra e a conversão for feita para a tecnologia de 90nm (com $\lambda = 90/2 = 45\text{nm}$), a largura da linha do Metal 1, após a conversão, será de 135nm ($=3\lambda$). Portanto, desta forma, a largura do Metal 1 estaria atendendo suficientemente as especificações do fabricante (mínimo de 130nm, segundo a Tabela 1).

Olhando para a regra 1.2 ou 4.3, pode-se perceber que, em nós tecnológicos mais recentes, podem ocorrer maiores dificuldades devido a efeitos físicos relativamente mais impactantes (em estruturas menores), necessitando-se de maiores larguras ou afastamentos. Desta forma, dependendo com subconjunto de tecnologias que o projeto do CI almeja, o MOSIS recomenda uma das três opções acima, com dimensões λ . O MOSIS já estipula a conversão necessária para as diversas tecnologias (de diferentes fabricantes) com a quais opera. Algumas

¹ Esta estratégia de dimensão λ escalável durou até algumas tecnologias mais recentes quando transistores MOS convencionais foram substituídos por FinFETs e GAAFETs - fica a cargo do(a) aluno(a) pesquisar sobre estas novas estruturas-, tornando as conversões imprecisas. Nas tecnologias $< 45\text{nm}$, a estratégia de dimensão λ deixou de ser adotada.

conversões estão na Tabela 3, onde processos dos fabricantes Orbit, AMI e TSMC estão listadas. Sempre que fabricantes apresentam novas tecnologias (com as correspondentes regras de projeto em microns), o MOSIS estabelece menor fator de conversão possível.

O projetista pode adotar um conjunto de regras do MOSIS tendo em vista uma tecnologia- alvo para o momento e também prevendo o projeto utilizado em uma outra tecnologia mais nova no futuro, desde que realizada com a conversão definida na Tabela 3. É interessante notar que o valor de $\lambda=L/2$ é idealizado e deve ser usado, se possível. Por exemplo, se a tecnologia AMI 0,5 for adotada para fabricação e o projeto for realizado com as regras SUBM ou SCMOS, de acordo com Tabela 3 a conversão não poderá ser feita com $\lambda=0,25\mu\text{m}$, pois algumas regras métricas de AMI 0,5 não serão atendidas após a conversão. No caso de SUBM, a conversão tem que ser feita com $\lambda\geq 0,30\mu\text{m}$. A situação é mais crítica ainda no caso de projeto feito com regras SCMOS, pois a conversão deve ser feita com $\lambda\geq 0,35\mu\text{m}$.

Tabela 2- Regras de projeto em dimensões λ

Table 3.2 MOSIS design rules					
Layer	Rule	Description	SCMOS	SUBM	DEEP
Well	1.1	Width	10	12	12
	1.2	Spacing to well at different potential	9	18	18
	1.3	Spacing to well at same potential	6	6	6
Active (diffusion)	2.1	Width	3	3	3
	2.2	Spacing to active	3	3	3
	2.3	Source/drain surround by well	5	6	6
	2.4	Substrate/well contact surround by well	3	3	3
	2.5	Spacing to active of opposite type	4	4	4
Poly	3.1	Width	2	2	2
	3.2	Spacing to poly over field oxide	2	3	3
	3.2a	Spacing to poly over active	2	3	4
	3.3	Gate extension beyond active	2	2	2.5
	3.4	Active extension beyond poly	3	3	4
	3.5	Spacing of poly to active	1	1	1
Select	4.1	Spacing from substrate/well contact to gate	3	3	3
	4.2	Overlap of active	2	2	2
	4.3	Overlap of substrate/well contact	1	1	1.5
	4.4	Spacing to select	2	2	4
Contact (to poly or active)	5.1, 6.1	Width (exact)	2x2	2x2	2x2
	5.2b, 6.2b	Overlap by poly or active	1	1	1
	5.3, 6.3	Spacing to contact	2	3	4
	5.4, 6.4	Spacing to gate	2	2	2
	5.5b	Spacing of poly contact to other poly	4	5	5
	5.7b, 6.7b	Spacing to active/poly for multiple poly/active contacts	3	3	3
Metal1	6.8b	Spacing of active contact to poly contact	4	4	4
	7.1	Width	3	3	3
	7.2	Spacing to metal1	2	3	3
	7.3, 8.3	Overlap of contact or via	1	1	1
	7.4	Spacing to metal for lines wider than 10 λ	4	6	6

Tabela 3. Conversões de regras de projeto MOSIS

Table 3.1 MOSIS design rule options						
Vendor	Feature Size (μm)	Interconnect Layers	Stacked Vias	SCMOS	SUBM	DEEP
Orbit	2.0	2 metal	No	$\lambda = 1.0 \mu\text{m}$		
AMI	1.5	2 metal, 2 poly	No	$\lambda = 0.80 \mu\text{m}$	$\lambda = 0.80 \mu\text{m}$	
AMI	0.5	3 metal, 1-2 poly	Yes	$\lambda = 0.35 \mu\text{m}$	$\lambda = 0.30 \mu\text{m}$	
TSMC	0.35	4 metal, 1-2 poly	Yes		$\lambda = 0.20 \mu\text{m}$	
TSMC	0.25	5 metal	Yes		$\lambda = 0.15 \mu\text{m}$	$\lambda = 0.12 \mu\text{m}$
TSMC	0.18	6 metal	Yes		$\lambda = 0.10 \mu\text{m}$	$\lambda = 0.09 \mu\text{m}$

3) O IC STATION

O *IC Station* é um programa que permite editar um leiaute, verificar (interativamente) se as regras de projeto estão sendo respeitadas e extrair o esquema elétrico a partir do leiaute.

Uma grade baseada em unidades λ pode ser sobreposta a este desenho para servir como guia. Isto facilita a tarefa de posicionamento das diversas figuras geométricas sobre o plano, bem como a de verificação das mensagens de erro que eventualmente ocorram (quando regras de projeto são desobedecidas).

Devido ao fato de a edição ser feita baseada em uma unidade genérica λ , um mesmo leiaute resultante é escalável, podendo, em princípio, ser transferido para diversas tecnologias de fabricação. Para as nossas experiências, adotamos algumas tecnologias que são parte da distribuição das ferramentas da Siemens no seu Programa Universitário, particularmente da TSMC e AMI (atualmente pertencente à ON Semiconductor). Como mencionado acima, cada tecnologia tem o seu conjunto de regras, dadas em μm .

O *IC Station* contém um *design rule checker*, *DRC*, programa que verifica em tempo real se o arquivo sendo editado está de acordo com as regras de projeto. O *DRC* pode ser chamado a qualquer momento da edição do leiaute, sendo, então, qualquer violação das regras de projeto acusada imediatamente. A identificação dos erros pode ser feita por meio de botões da interface do programa com o usuário.

4) MÁSCARAS E REGRAS DE PROJETO SCMOS

Um leiaute é um desenho composto de polígonos coloridos que correspondem a máscaras de processo (planos das máscaras). Como explicado anteriormente, cada conjunto <cor - textura - espessura de borda> representa uma máscara no *IC Graph*. É importante fazer a ressalva que, em muitos aplicativos, os polígonos e planos podem corresponder a um conjunto/composição de máscaras; isto como forma de diminuir a quantidade de objetos (elementos de computação) e, portanto, a sua complexidade. Uma importante consequência disto é que durante a fase de edição de um leiaute o usuário deve tomar cuidado com a interpretação de certas operações. Por exemplo, ao se acrescentar uma camada sobre outra já existente, a intersecção entre ambas pode ser automaticamente armazenada como uma camada composta na estrutura de dados, se houver correlação entre elas. Isto pode fazer com que não seja possível mais apagar apenas uma destas camadas.

O programa *IC Graph* em si é independente de tecnologia. Arquivos de tecnologia são incorporados ao programa e uma tecnologia específica deve estar

carregada em um projeto em andamento. Os arquivos contêm as informações tecnológicas como nomes das diferentes máscaras, camadas, código de cores, regras de projeto (veja algumas regras em λ , do conjunto SUBM, dadas em no apêndice 1), parâmetros elétricos, etc.

Regras de projeto podem ser dadas também em distâncias λ , mas ao final, quando se converte as geometrias projetadas em λ para os correspondentes em μm , estas devem atender as regras de projeto dadas pela fábrica. Estas regras estão descritas em um arquivo de tecnologia.

Os arquivos das tecnologias da TSMC e AMI utilizadas nas nossas atividades práticas seguem regras de projeto SCMOS em unidade λ do MOSIS (www.mosis.com)². São dois arquivos para cada tecnologia, para os seguintes casos de regras de projeto. Adotamos o SUBM para esta experiência por ser mais compatível com a tecnologia TSMC de 0,35 μm utilizada³. Os arquivos de tecnologia correspondentes estão nas pastas:

- ***layers_nome_da_tecnologia***
- ***nome_da_tecnologia.rules***

O ADK consiste de uma biblioteca de células disponíveis em 5 tecnologias: AMI_0,5; AMI_1,2; TSMC_0,18; TSMC_0,25 e TSMC_0,35. Nesta biblioteca, além do conjunto de células, há descrições dos processos utilizados e as correspondentes regras de projeto.

5) COMANDOS DO IC GRAPH

O *IC Graph* é um ambiente de projeto que permite realizar as tarefas necessárias de edição de um leiaute a partir de diferentes interfaces com o usuário. Ao se iniciar o programa, aparece uma tela sobre a qual um desenho pode ser criado, ampliado ou modificado (de uma sessão anteriormente salva). Os comandos de edição podem ser fornecidos de três maneiras diferentes:

1. Através das opções na barra de menu (parte superior da janela).
2. Através de botões das barras de ferramentas (palhetas).
3. Através de comandos longos (muitas vezes, apenas comandos curtos já são suficientes).

A lista exaustiva dos comandos poderá ser encontrada no manual do aplicativo.

Apêndice 1: Algumas regras da tecnologia SCMOS-SUBM com vista ao uso de TSMC-AMI 0.35 μm

Regras λ (obs. o nome "ilha" é usado equivalentemente a poço)

DRC1_1: ilha N - largura mínima 12
DRC1_2: ilha N - espaçamento mínimo 18
DRC2_1: região ativa - largura mínima 3
DRC2_2: região ativa - espaçamento mínimo 3
DRC2_3: região ativa - espaçamento mínimo de fonte/dreno para borda da ilha 6

² Lembrar que as geometrias finais, a serem fornecidas às foundries são em μm , após a conversão.

³ Para satisfazer as regras da fábrica em μm , a conversão para a tecnologia TSMC 0,35 μm deve ser $\lambda = 0,20 \mu\text{m}$ (observe que não é $\lambda = 0,175 \mu\text{m}$) (ver Tabela3)

DRC2_4: região ativa - espaçamento mínimo de contato de substrato para borda da ilha 3
DRC3_1: POLY - largura mínima 2
DRC3_2: POLY - espaçamento mínimo entre POLY 3
DRC3_3: POLY - extensão ou overlap da porta para a reg.ativa 2
DRC3_4: POLY - extensão da reg.ativa da porta 3
DRC3_5: POLY - espaçamento POLY (campo) para reg.ativa 1
DRC4_2: seleção N ou P espaçamento (ou overlap) sobre reg.ativa 2
DRC5_1: contato POLY - dimensão 2x2
DRC5_2: contato POLY - overlap POLY/contato 1,5
DRC5_3: contato POLY - espaçamento 3
DRC5_4: contato POLY - distância para a porta 2
DRC6_1: contato ativa - dimensão 2x2
DRC6_2: contato ativa - overlap ativa/contato 1,5
DRC6_3: contato ativa - espaçamento 3
DRC6_4: contato ativa - distância para a porta 2
DRC7_1: metal1 - largura mínima 3
DRC7_2: metal1 - espaçamento mínimo 3
DRC7_3: metal1 - overlap para contato de POLY ou ativa 1
DRC7_4: metal1 - espaçamento quando (largura >10) 6
DRC8_1: via - dimensão 2x2
DRC8_2: via - separação 3
DRC8_3: overlap sobre metal1 1
DRC9_1: metal2 - largura mínima 3
DRC9_2: metal2 - espaçamento mínimo 3
DRC9_3: metal2 - overlap sobre contato de POLY ou ativa 1
DRC9_4: metal2 - espaçamento quando (largura >10) 6

Apêndice 2: O aplicativo Gimp (GNU Image Manipulation Program)

O aplicativo *Gimp* é de grande utilidade no processamento de figuras com o objetivo de inseri-las em apresentações como o relatório, por exemplo. É uma ferramenta poderosa, porém um pouco complexa. Para edições mais simples, é mais fácil e recomendado o suporte de desenho de editores de texto, como o MS Office ou Libre Office.

Como grande parte das ferramentas desta disciplina não apresentam uma interface gráfica de alto poder, uma solução fácil é a captura de janelas em forma de bitmap que podem ser posteriormente gravadas em vários formatos como JPEG, por exemplo. O aplicativo *Gimp* permite selecionar janelas isoladamente ou a tela toda, para posterior edição.

A seqüência para a captura de uma janela (de leiaute de máscaras, pelo *Ghostview*) é a seguinte:

> **gimp &**

No menu **Arquivo**, escolher a opção **Capturar**, depois **Tela** e na caixa de diálogo escolher **Janela Simples**. Uma **cruz** aparecerá e bastará, então, clicar sobre a janela desejada. Experimente

Para usar o *Gimp*:

- Capturar no **Gimp** usando o comando 'Arquivo→Criar→Captura de tela'
- Escolher 'Capturar uma única janela' e Atraso de 5s.
- Selecionar o leiaute do transistor usando o comando 'Ferramentas→Ferramentas de seleção→Seleção retangular'
- Redefinir o tamanho do desenho com o comando 'Imagem→Cortar Imagem'

- Inverter as cores do desenho com o comando 'Camadas→Cores→inverter'
- Escolher onde a imagem será guardada com o comando 'Arquivo→Salvar como'
- Escolher um nome com extensão *jpg* (*celula_1.jpg* – mas, existem outros formatos, verifique) respondendo exportar e OK nas perguntas que aparecerão. fechar o *Gimp*.