

SEL-0415 Introdução à Organização de Computadores

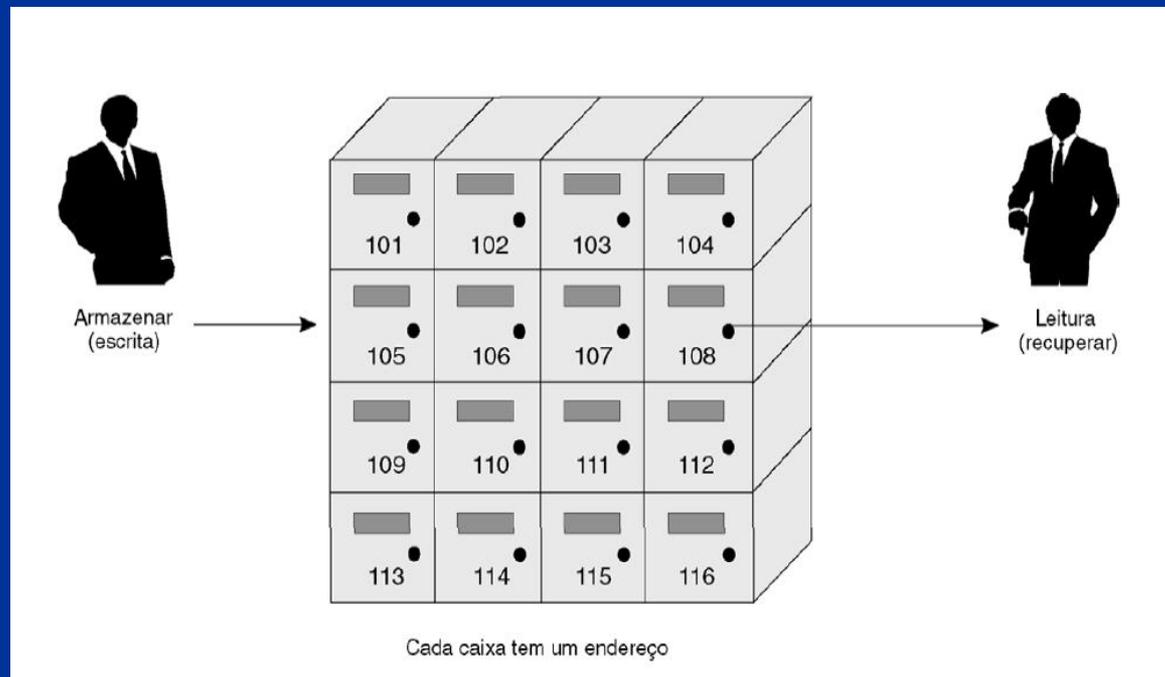
Organização Interna das Memórias

Aula 4

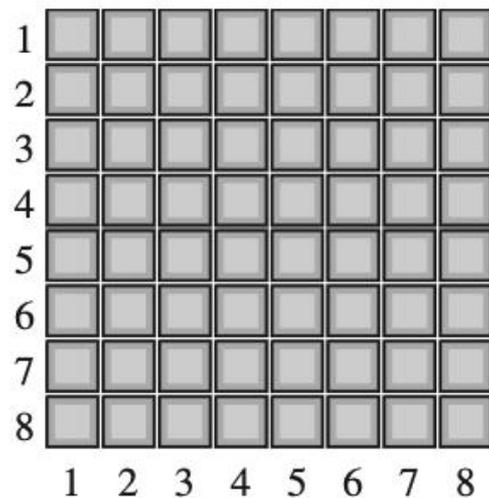
Prof. Dr. Marcelo Andrade da Costa Vieira

Memória

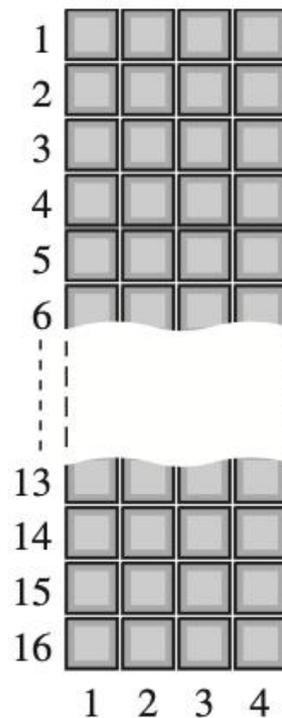
- Elemento Básico – Célula - Armazenamento de um bit
- Dado - conjunto de células – Registrador
- Deve ter um endereço específico para cada dado
- Possui barramentos de dados, endereço e controle
- Pode ser de escrita e leitura ou somente de leitura



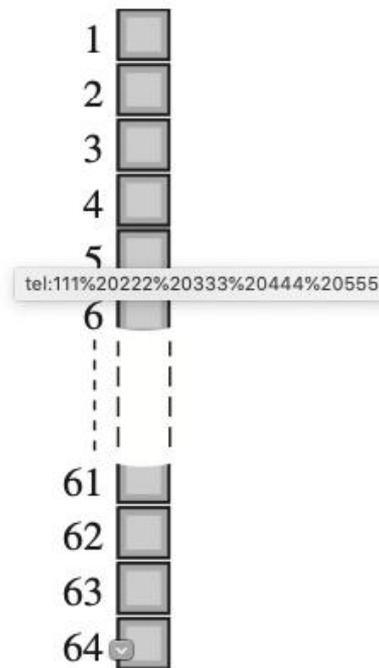
Organização das Memórias



(a) Arranjo 8×8



(b) Arranjo 16×4



(c) Arranjo 64×1

Organização das Memórias

■ Organização:

A × D

Exemplo:

$$\left. \begin{array}{l} A = 16 \\ D = 4 \end{array} \right\} \longrightarrow 16 \times 4 \\ (16 \text{ endereços de } 4 \text{ bits})$$

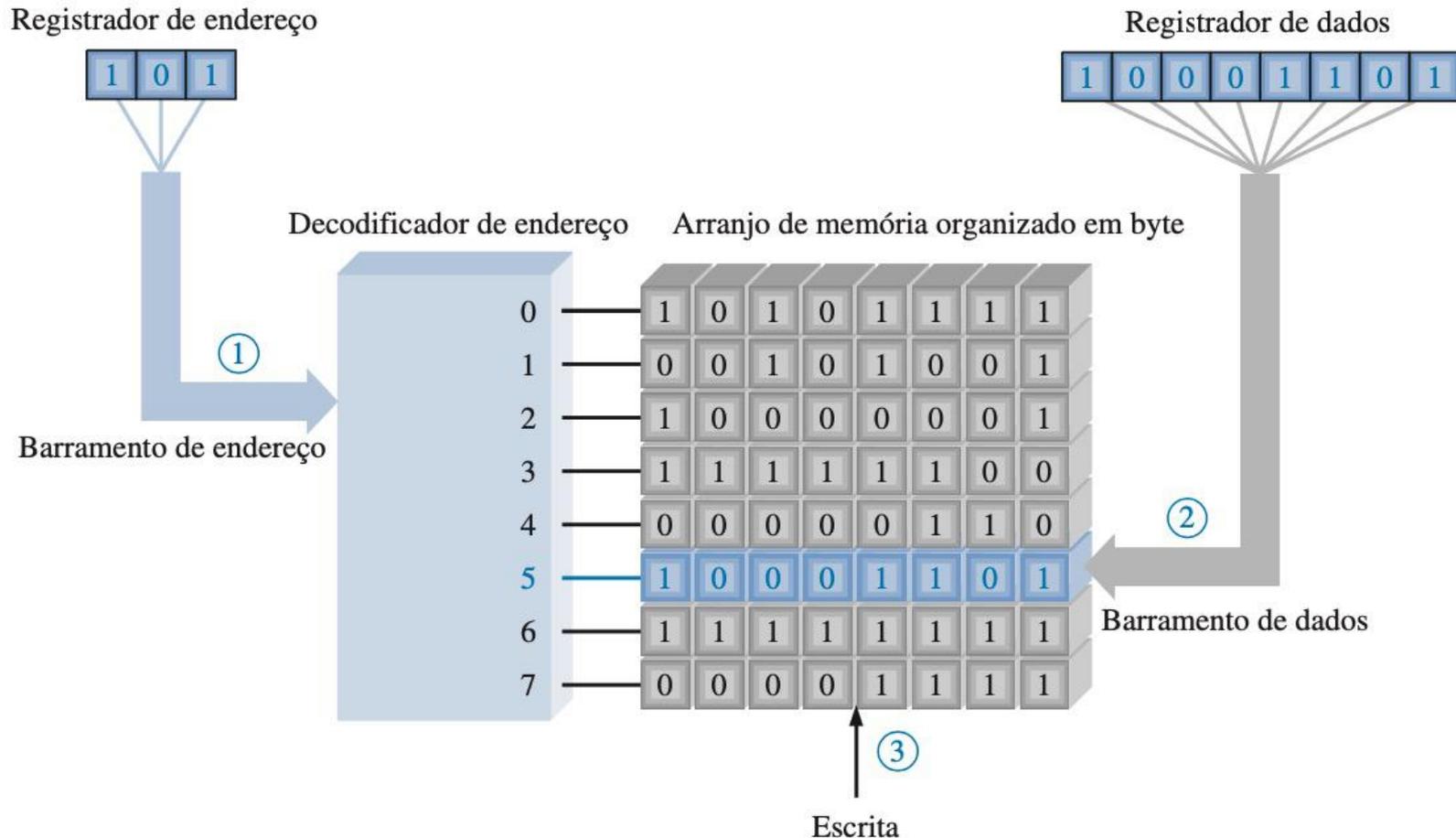
- * 1K x 1: 1024 endereços de 1 bit
- * 16K x 8: 16K endereços de 8 bits
- * 64K x 8: 64K endereços de 8 bits

Organização das Memórias

Tabela 2.1 Grandezas Usadas para Abreviar Valores em Computação

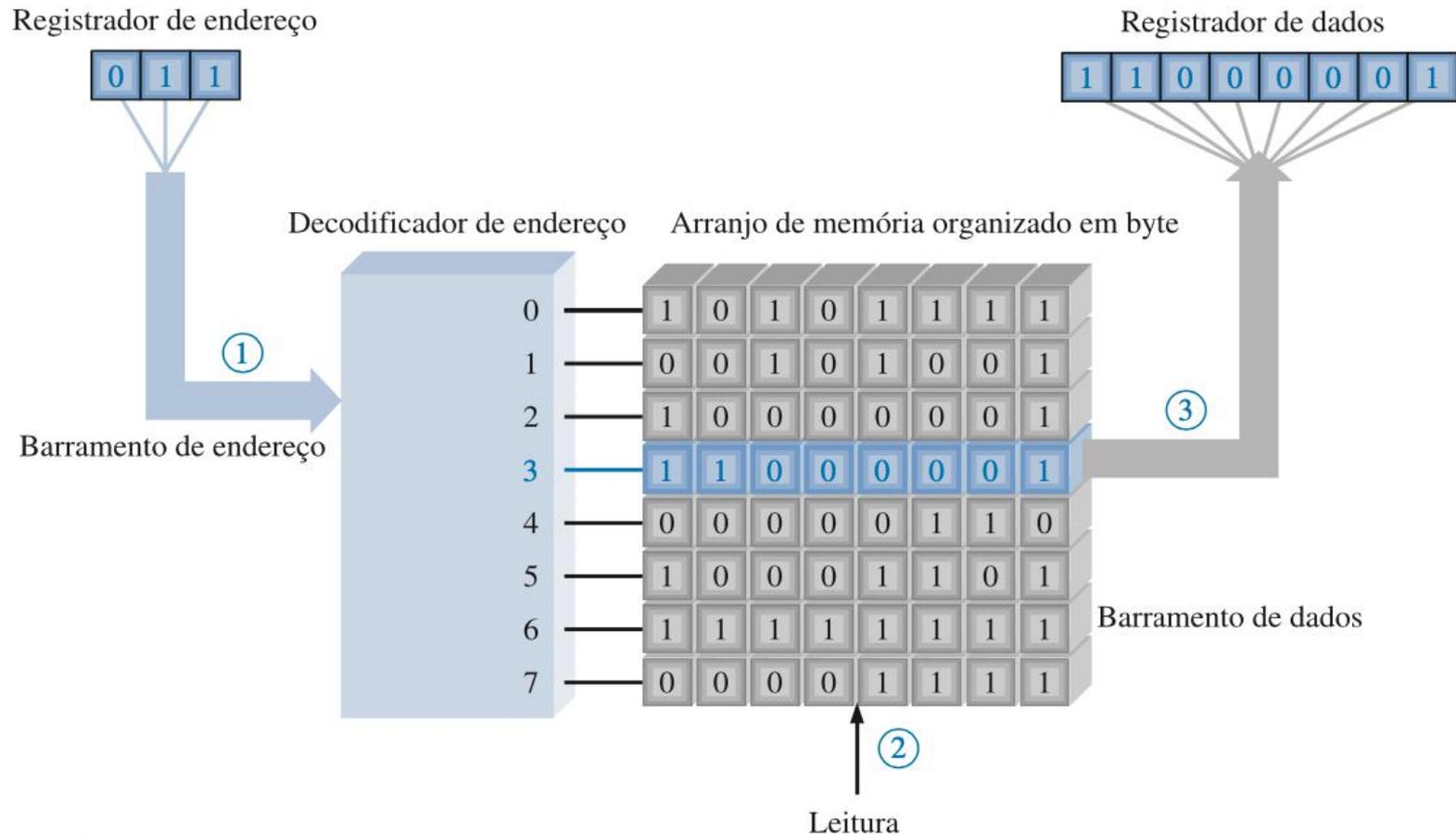
Nome da unidade	Valor em potência de 2	Valor em unidades
1K (1 quilo)	2^{10}	1024
1M (1 mega)	$1024K = 2^{20}$	1.048.576
1G (1 giga)	$1024M = 2^{30}$	1.073.741.824
1T (1 tera)	2^{40}	1.099.511.627.776
1P (1 peta)	2^{50}	1.125.899.906.843.624
1Ex (1 exa)	2^{60}	1.152.921.504.607.870.976
1Z (1 zeta)	2^{70}	1.180.591.620.718.458.879.424
1Y (1 yotta)	2^{80}	1.208.925.819.615.701.892.530.176

Escrita de dados em uma memória



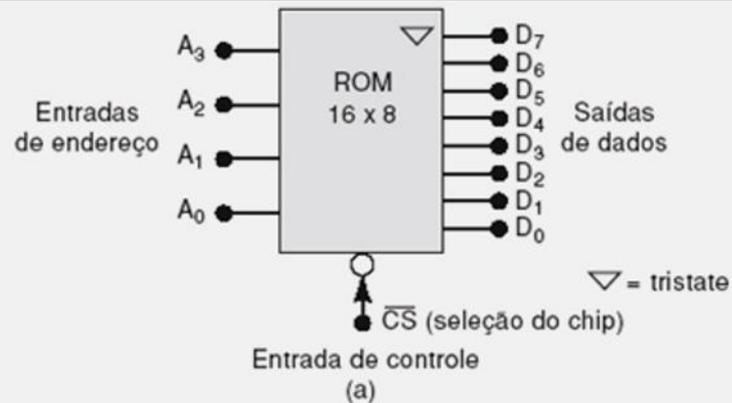
- ① O código de endereço 101 é colocado no barramento de endereço e o endereço 5 é selecionado.
- ② O byte de dados é colocado no barramento de dados.
- ③ O comando de escrita faz com que o byte de dados seja armazenado no endereço 5, substituindo o dado anterior.

Leitura de dados em uma memória



- ① O código de endereço 011 é colocado no barramento de endereço e o endereço 3 é selecionado.
- ② O comando de leitura é aplicado.
- ③ O conteúdo do endereço 3 é colocado no barramento de dados e deslocado no registrador de dados. O conteúdo do endereço 3 não é apagado pela operação de leitura.

CI de Memória Semicondutora somente de leitura (ROM)



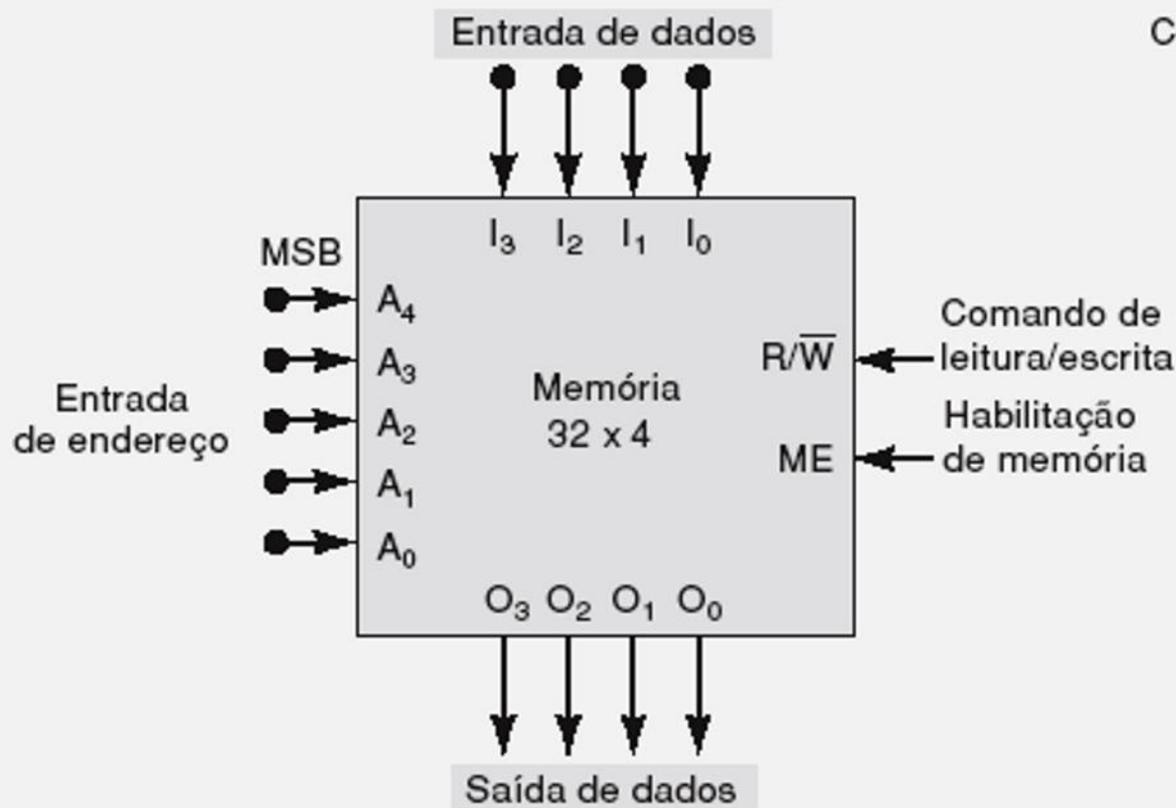
Palavra	Endereço				Dados							
	A ₃	A ₂	A ₁	A ₀	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
0	0	0	0	0	1	1	0	1	1	1	1	0
1	0	0	0	1	0	0	1	1	1	0	1	0
2	0	0	1	0	1	0	0	0	0	1	0	1
3	0	0	1	1	1	0	1	0	1	1	1	1
4	0	1	0	0	0	0	0	1	1	0	0	1
5	0	1	0	1	0	1	1	1	1	0	1	1
6	0	1	1	0	0	0	0	0	0	0	0	0
7	0	1	1	1	1	1	1	0	1	1	0	1
8	1	0	0	0	0	0	1	1	1	1	0	0
9	1	0	0	1	1	1	1	1	1	1	1	1
10	1	0	1	0	1	0	1	1	1	0	0	0
11	1	0	1	1	1	1	0	0	0	1	1	1
12	1	1	0	0	0	0	1	0	0	1	1	1
13	1	1	0	1	0	1	1	0	1	0	1	0
14	1	1	1	0	1	1	0	1	0	0	1	0
15	1	1	1	1	0	1	0	1	1	0	1	1

(b)

Palavra	Endereço				Dados
	A ₃	A ₂	A ₁	A ₀	D ₇ -D ₀
0	0				DE
1	1				3A
2	2				85
3	3				AF
4	4				19
5	5				7B
6	6				00
7	7				ED
8	8				3C
9	9				FF
10	A				B8
11	B				C7
12	C				27
13	D				6A
14	E				D2
15	F				5B

(c)

CI de Memória Semicondutora de escrita e leitura (RAM)



(a)

Diagram (b) shows a memory cell structure. The cells are arranged in a grid with 4 bits per cell. The addresses are listed on the right. An arrow points to the top-left cell (0,0).

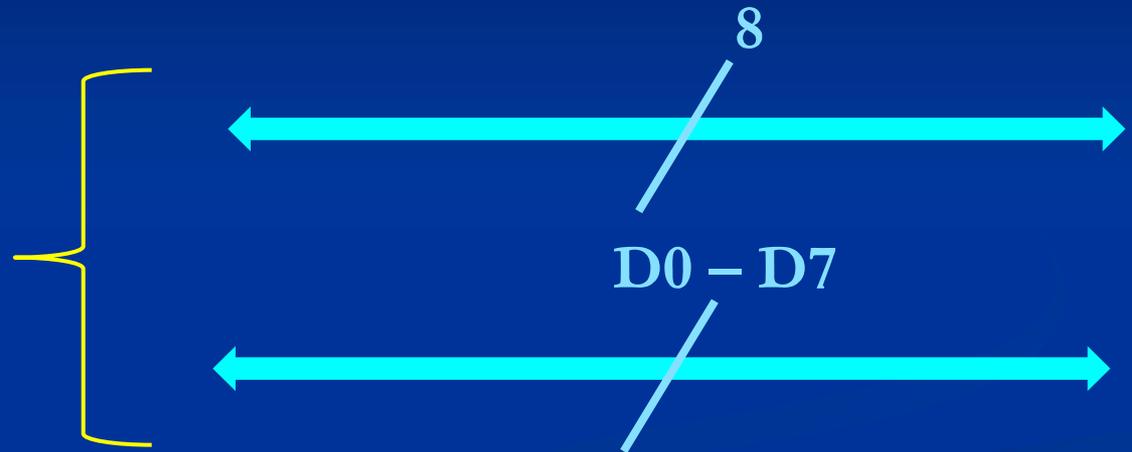
Células de memória				Endereços
0	1	1	0	00000
1	0	0	1	00001
1	1	1	1	00010
1	0	0	0	00011
0	0	0	1	00100
0	0	0	0	00101
⋮	⋮	⋮	⋮	⋮
1	1	0	1	11101
1	1	0	1	11110
0	1	1	1	11111

(b)

Barramentos para conexão de uma memória em um microprocessador

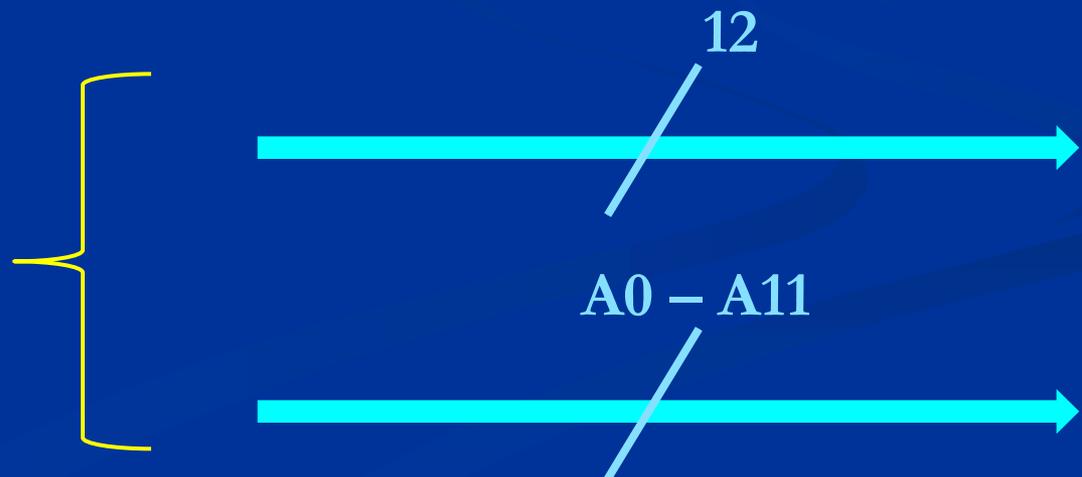
- **Duto de dados**

- Bidirecional



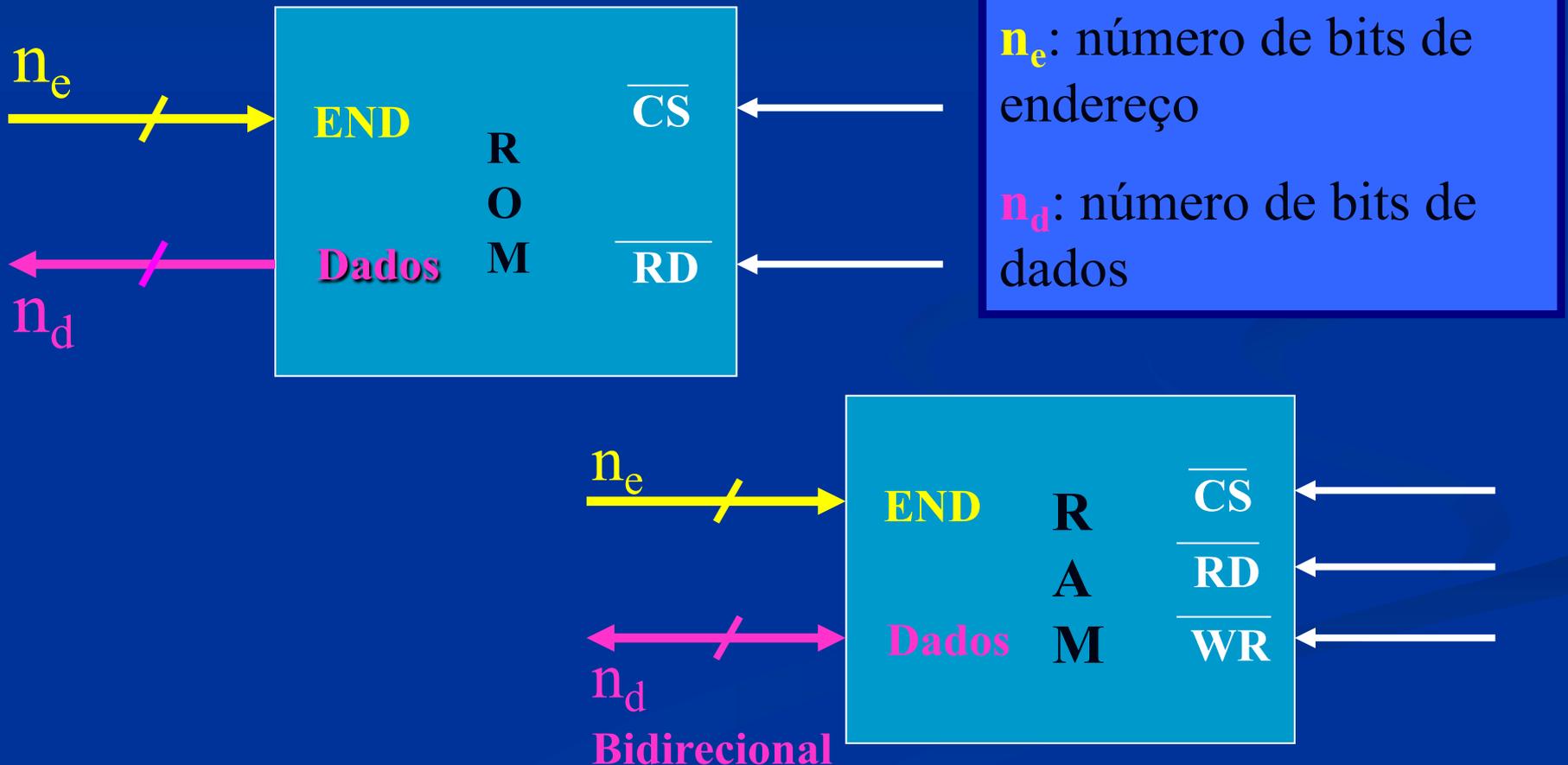
- **Duto de endereços**

- Unidirecional



Memórias Semicondutoras

■ Conjunto de Sinais:



Memórias Semicondutoras

Descrição dos Sinais:

* DADOS: duto de dados

- Contém o valor que foi lido ou que será gravado em uma determinada posição.
- O número de bits desse duto, n_d , especifica o tamanho da palavra da memória.

Memórias Semicondutoras

Descrição dos Sinais:

* END: duto de endereço

- Especifica a posição de uma célula de memória.
- Pelo número de linhas de endereçamento, n_e , determina-se o número de palavras da memória.
- Exemplo: $n_e = 10$
 n° de palavras = $2^{10} = 1024 = 1K$ palavras

Memórias Semicondutoras

Descrição dos Sinais (de controle):

- $\overline{\text{RD}}$ (*READ*): sinal de controle para habilitar a leitura de um dado na posição especificada pelo duto de endereço;
- $\overline{\text{WR}}$ (*WRITE*): sinal de controle para habilitar a gravação de um dado, presente no duto de dados, na posição de memória especificada pelo duto de endereço.

** Ambos os sinais controlam o sentido do fluxo no barramento de dados.*

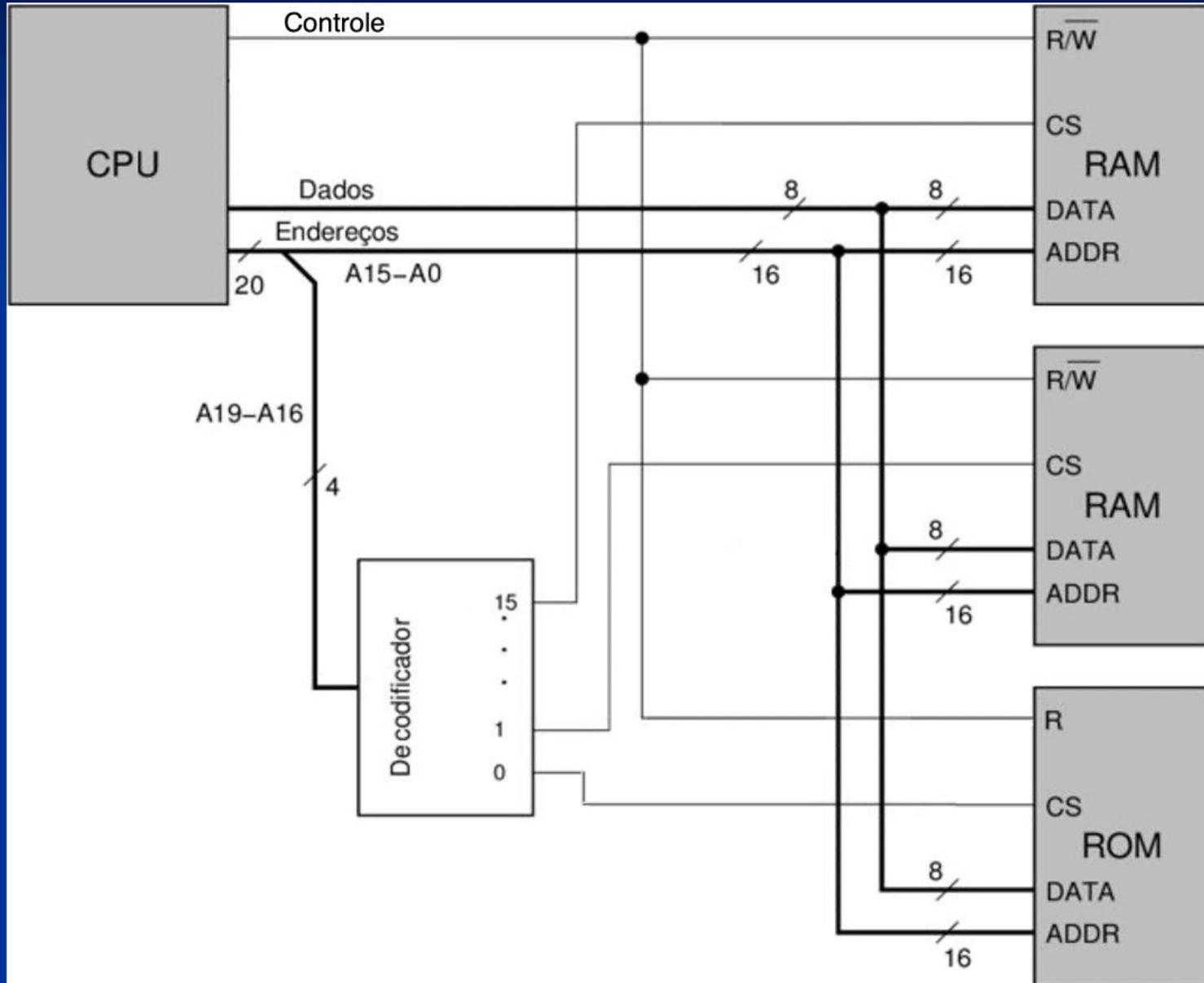
Memórias Semicondutoras

Descrição dos Sinais (de controle):

- $\overline{\text{CS}}$ (*CHIP SELECT*) ou $\overline{\text{ME}}$ (*MEMORY ENABLE*): controle para habilitar a memória para uso do duto de dados.

** Esse sinal é normalmente conectado no duto de endereços do microprocessador por meio de um decodificador (lógica de seleção).*

Conexão com um Microprocessador



Conexão com um Microprocessador

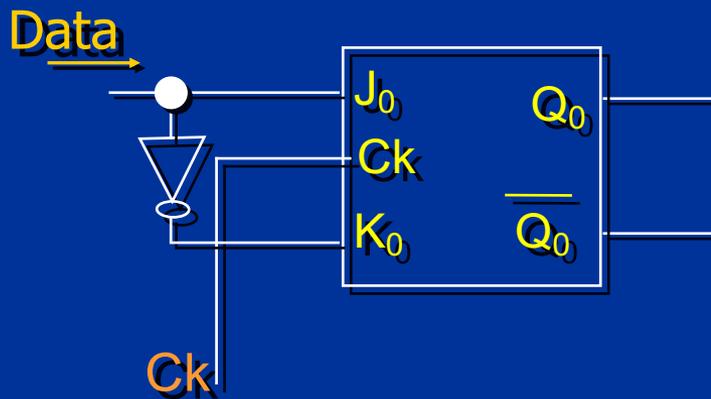
OPERAÇÃO COM AS MEMÓRIAS

1. Fornecer o endereço a ser acessado (p/leitura ou escrita);
2. Se a operação for escrita, fornecer os dados de entrada;
3. Fornecer o sinal de operação com memória (ME), para que o endereço fornecido selecione a memória correspondente (CS);
4. Fornecer o sinal de controle que define o tipo de operação com a memória: leitura ou escrita (R/\overline{W}).

Célula Básica (R/W)

Memórias de Escrita e Leitura

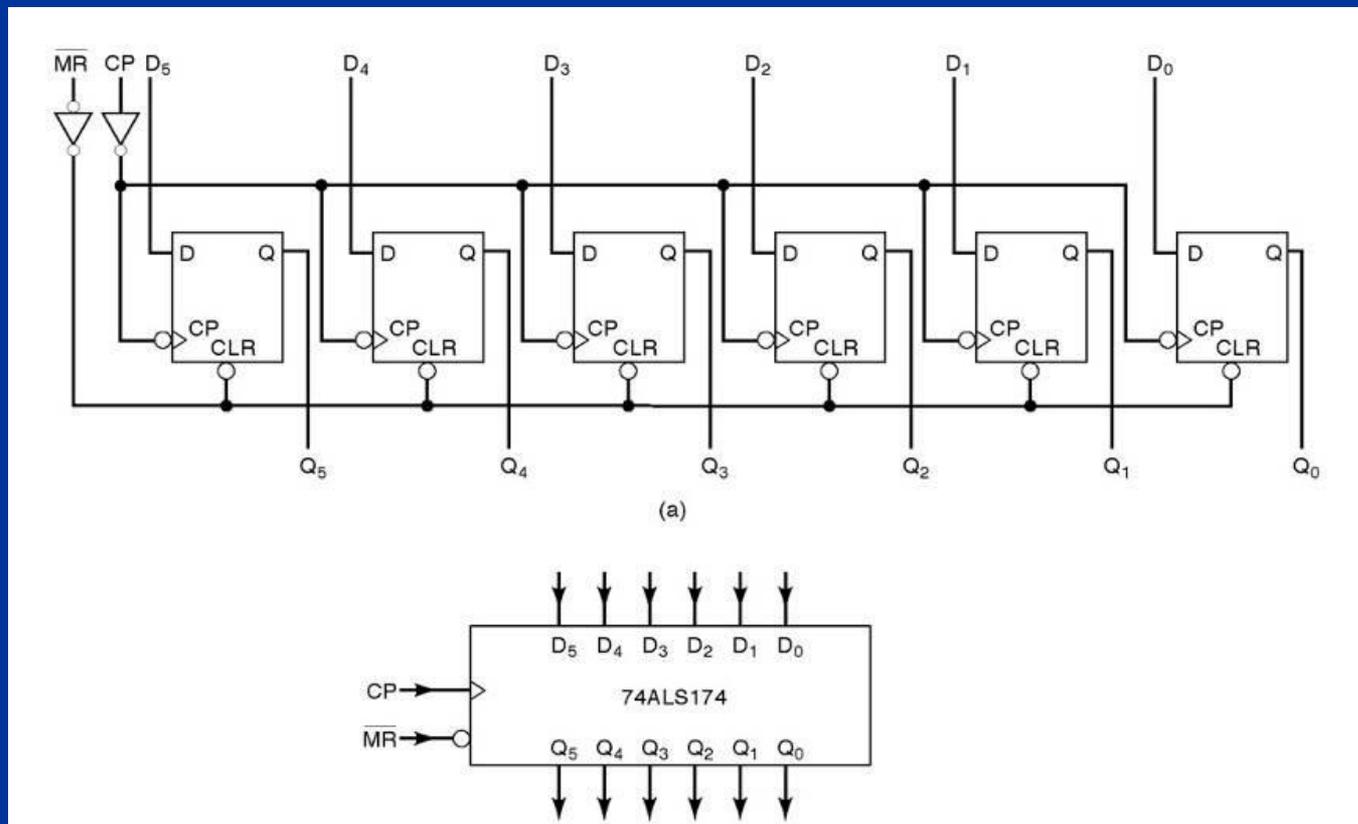
FF Tipo D



J	K	Q
0	0	Q_0
0	1	0
1	0	1
1	1	$\overline{Q_0}$

Registrador

- Conjunto de células de memória utilizado para armazenamento de dados
- Armazenamento de informações com mais de 1 bit (tipo mais simples de MEMÓRIA)



Arquitetura Interna de uma Memória RAM (R/W)

- Célula básica (FF Tipo D)
- Portas de I/O (dados)
- Circuito para endereçamento (Decodificadores)
- Circuito de controle (R/W)

Arquitetura Interna de uma Memória RAM (R/W)

- Célula básica (FF Tipo D)
- Portas de I/O (dados)
- Circuito para endereçamento (Decodificadores)
- Circuito de controle (R/W)

Célula Básica R/W

Endereçamento

Entrada de Dados

Controle

Saída de Dados

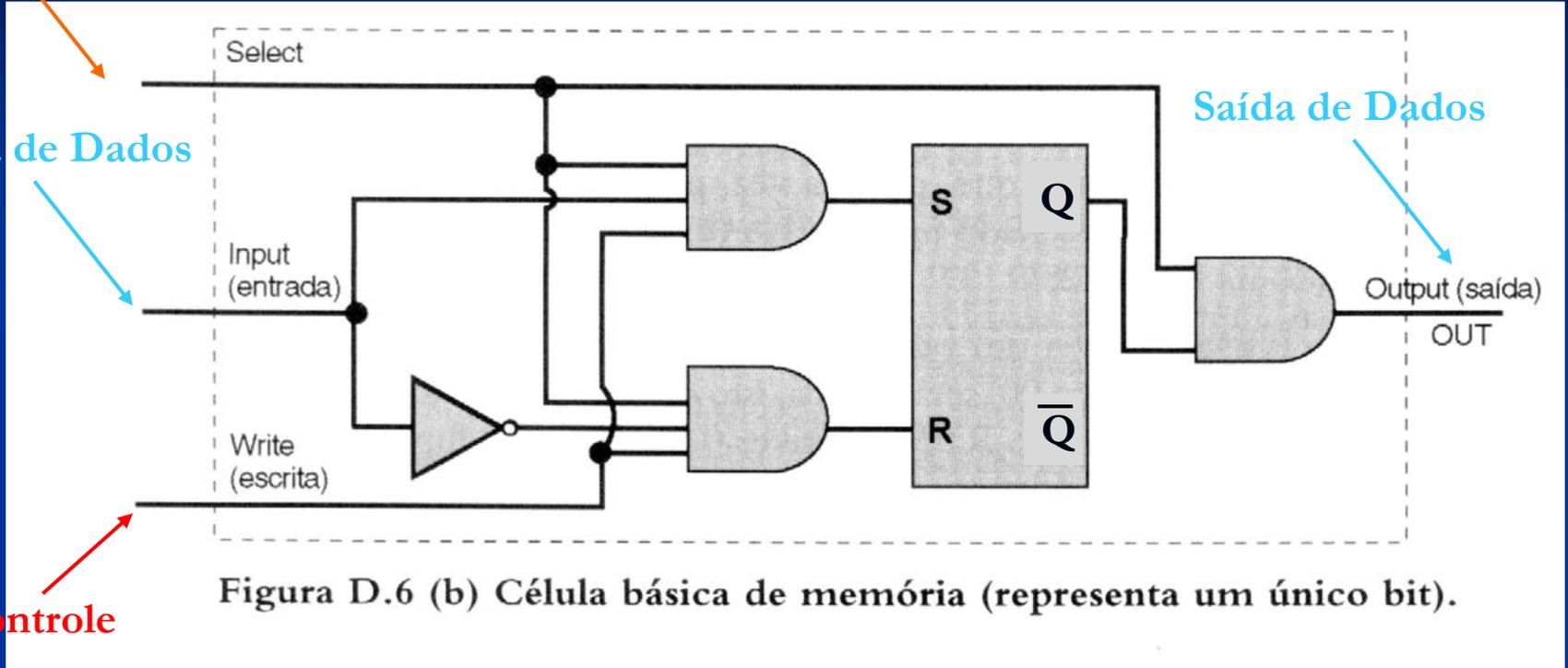


Figura D.6 (b) Célula básica de memória (representa um único bit).

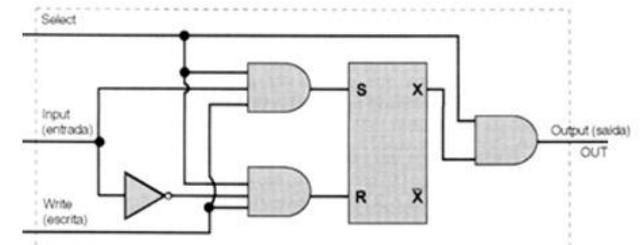
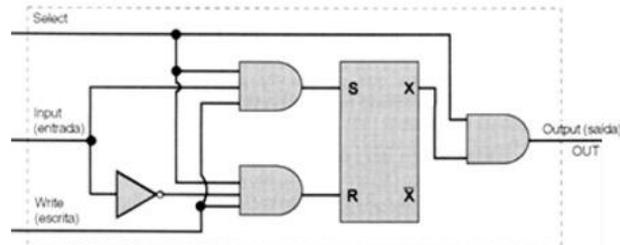
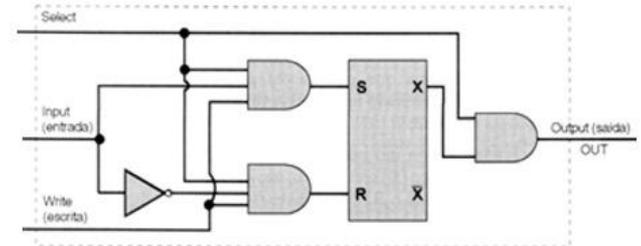
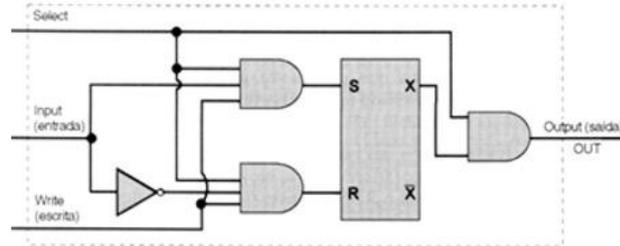
Select	Write	Input	Output
1	1	0	0
1	1	1	1
0	x	x	0
1	0	x	Q

} Modo escrita

→ Desabilitado

→ Modo leitura

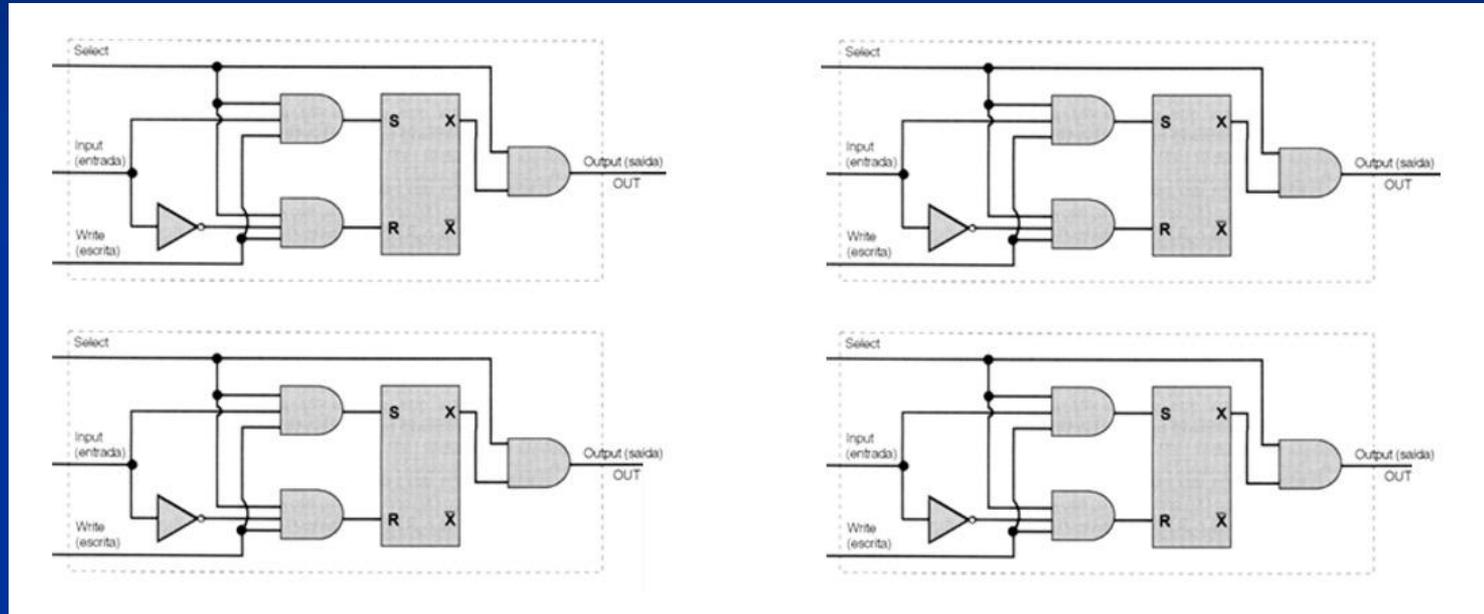
Memória RAM - 2 × 2



Arquitetura Interna de uma Memória RAM (R/W)

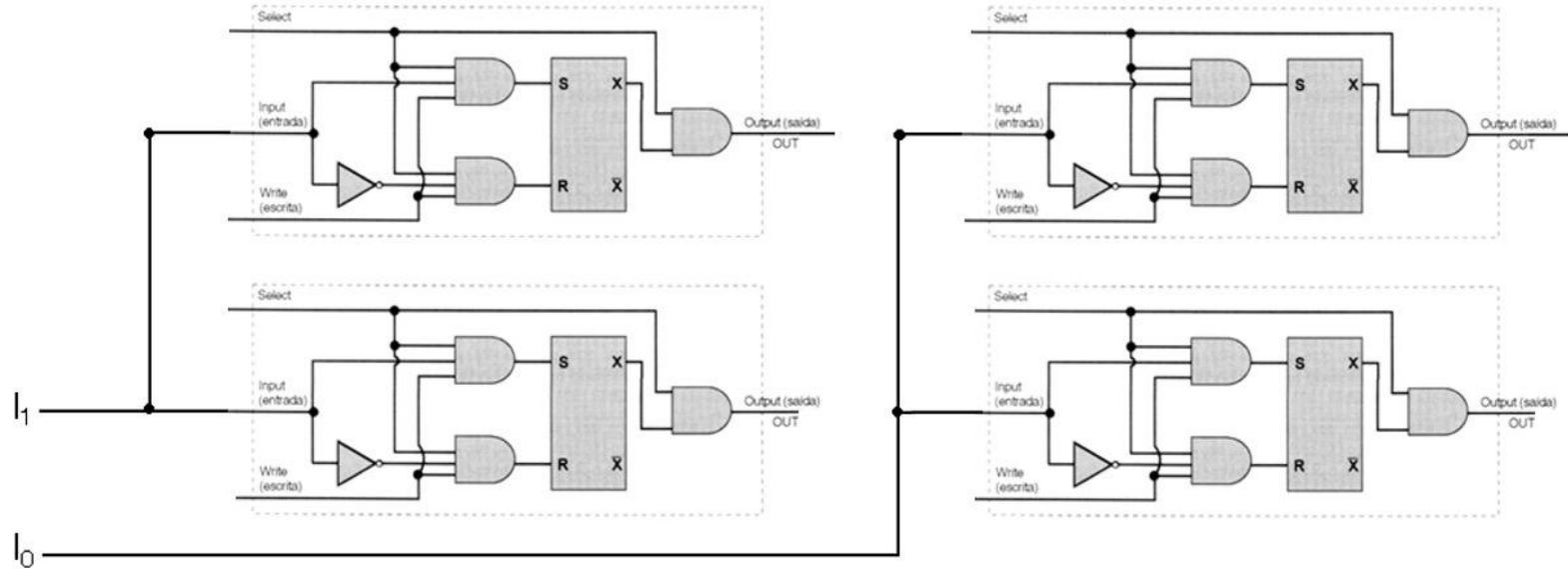
- Célula básica (FF Tipo D)
- **Portas de I/O (dados)**
- Circuito para endereçamento (Decodificadores)
- Circuito de controle (R/W)

Memória RAM - 2 × 2



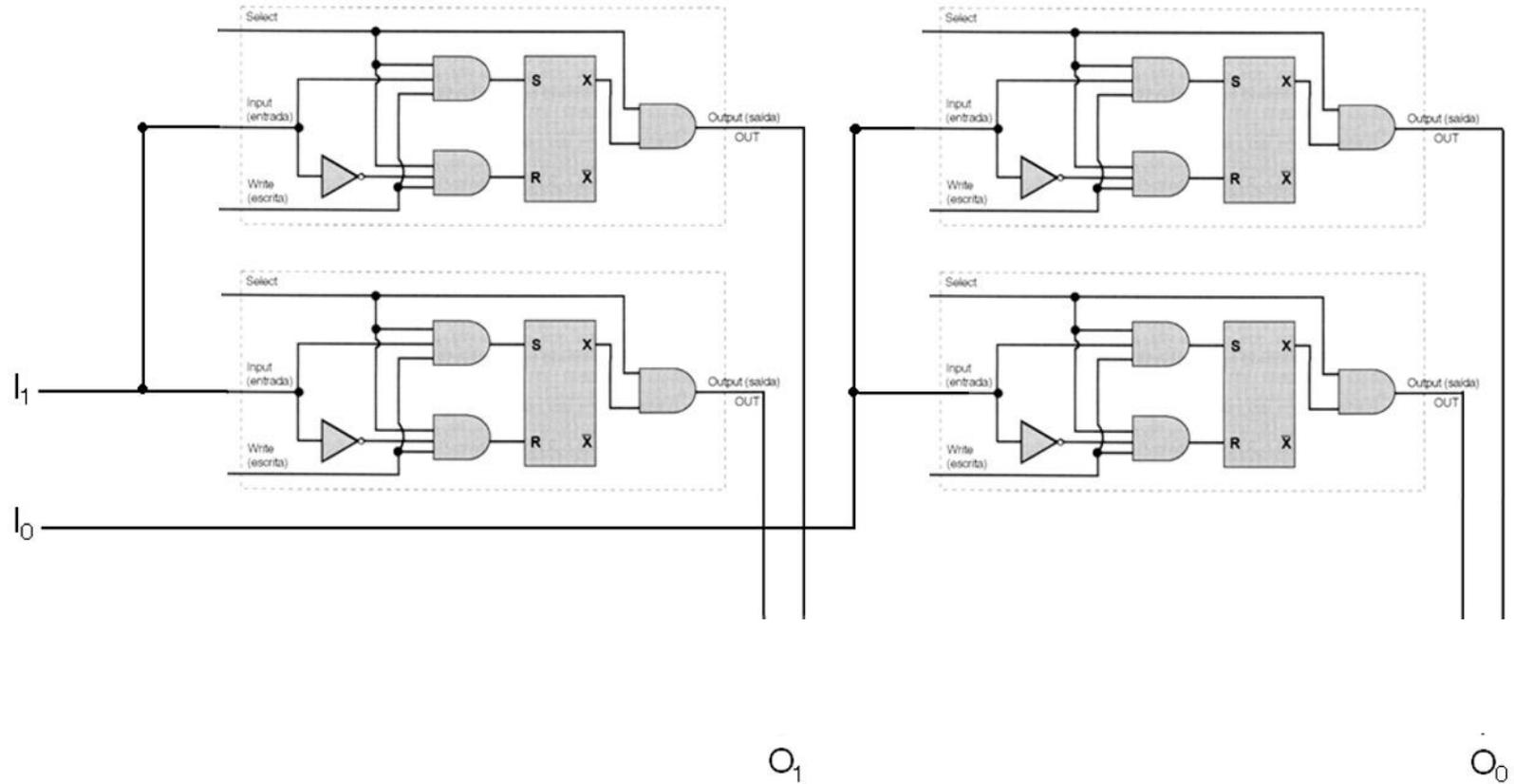
Duto de entrada e saída

Memória RAM - 2 × 2



Duto de entrada

Memória RAM - 2 × 2

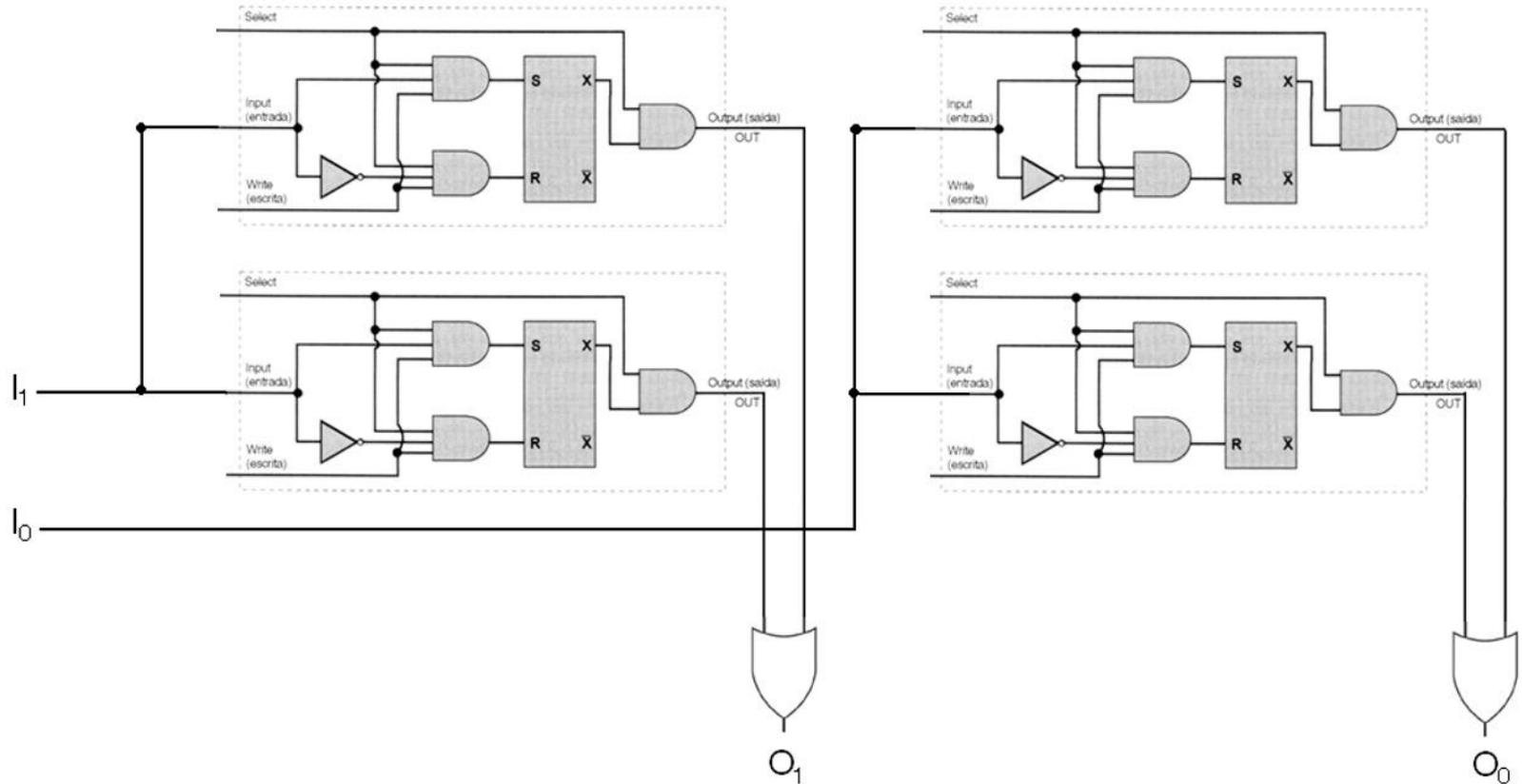


Duto de saída

Arquitetura Interna de uma Memória RAM (R/W)

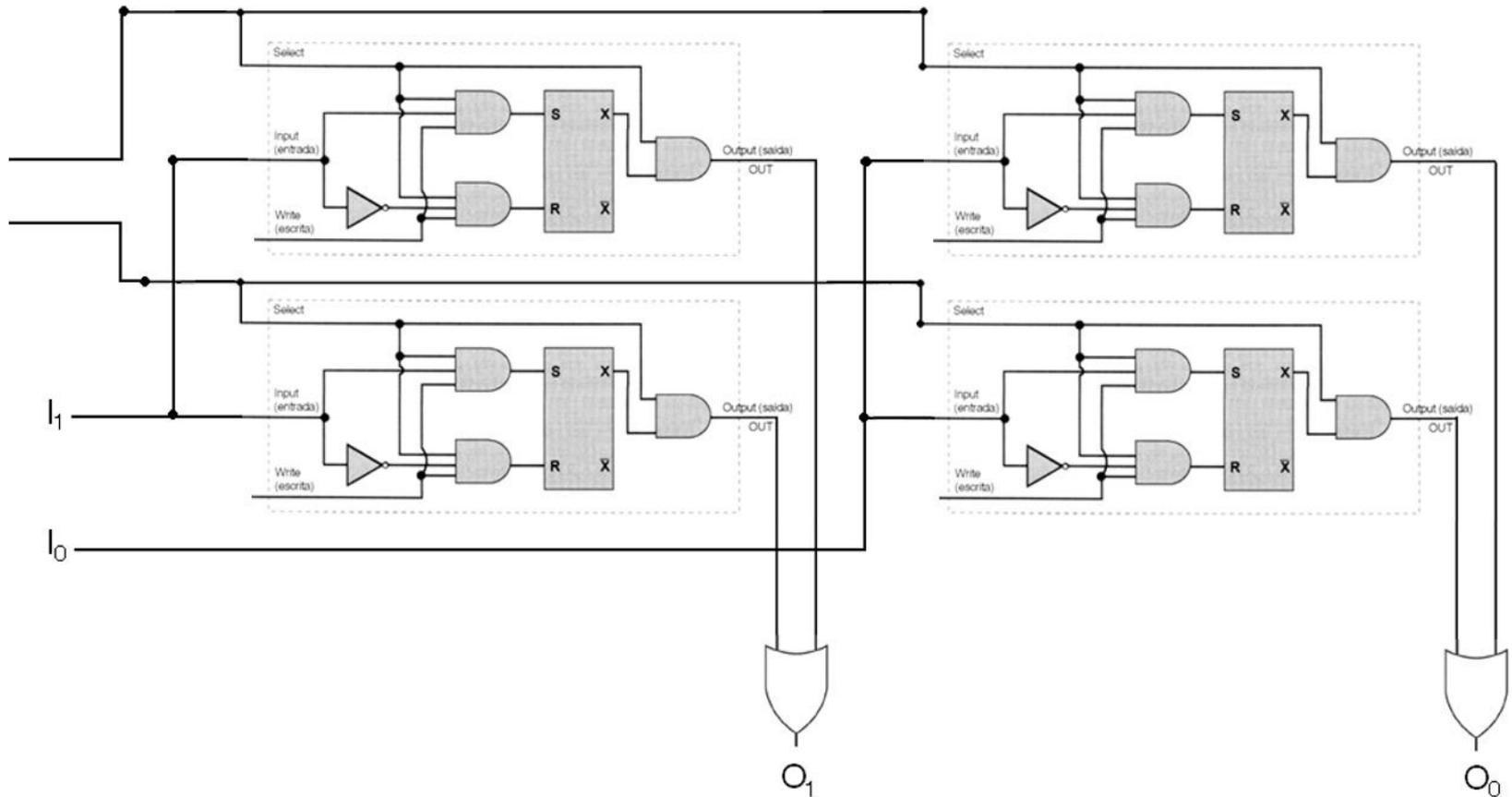
- Célula básica (FF Tipo D)
- Portas de I/O (dados)
- **Circuito para endereçamento (Decodificadores)**
- Circuito de controle (R/W)

Memória RAM - 2 × 2



Duto de endereçamento

Memória RAM - 2 × 2

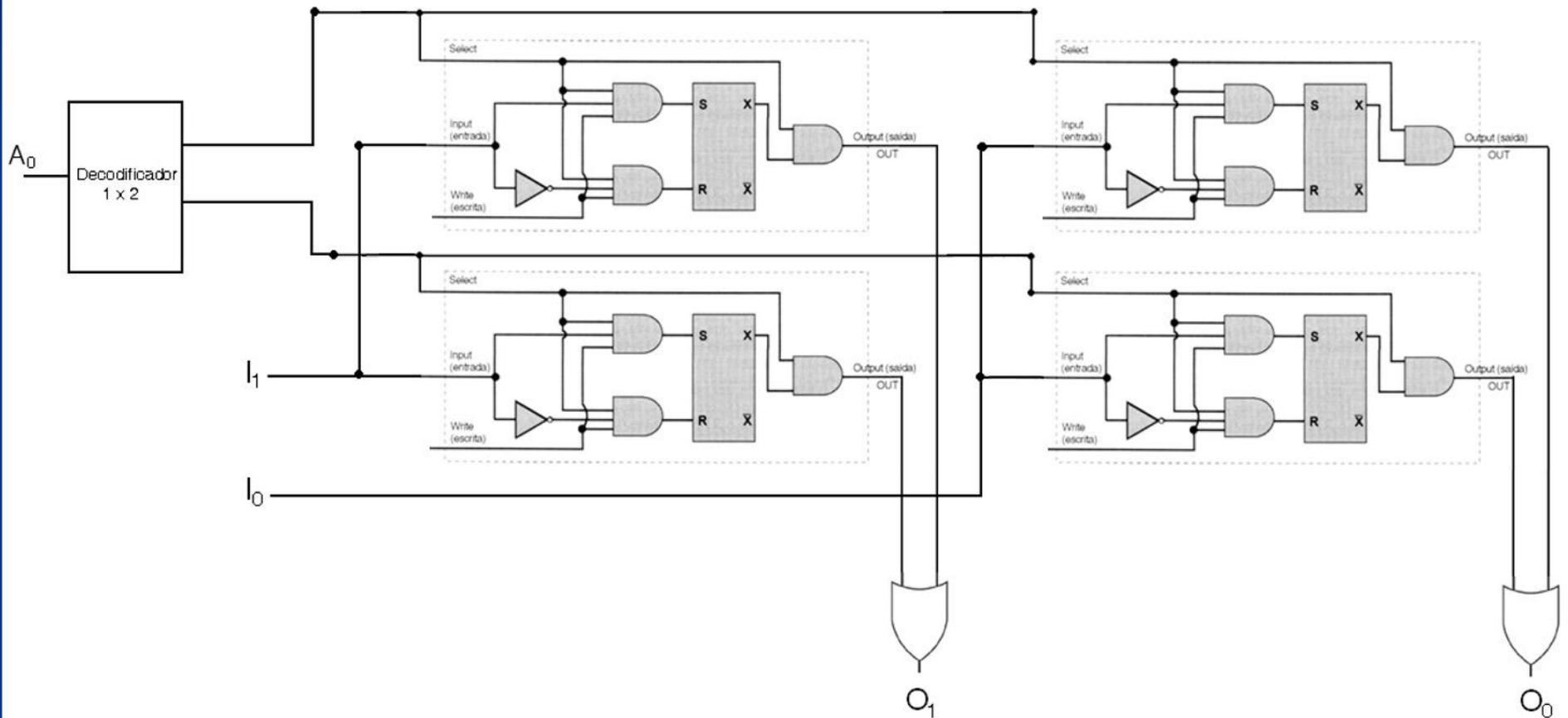


Duto de endereçamento

Arquitetura Interna de uma Memória RAM (R/W)

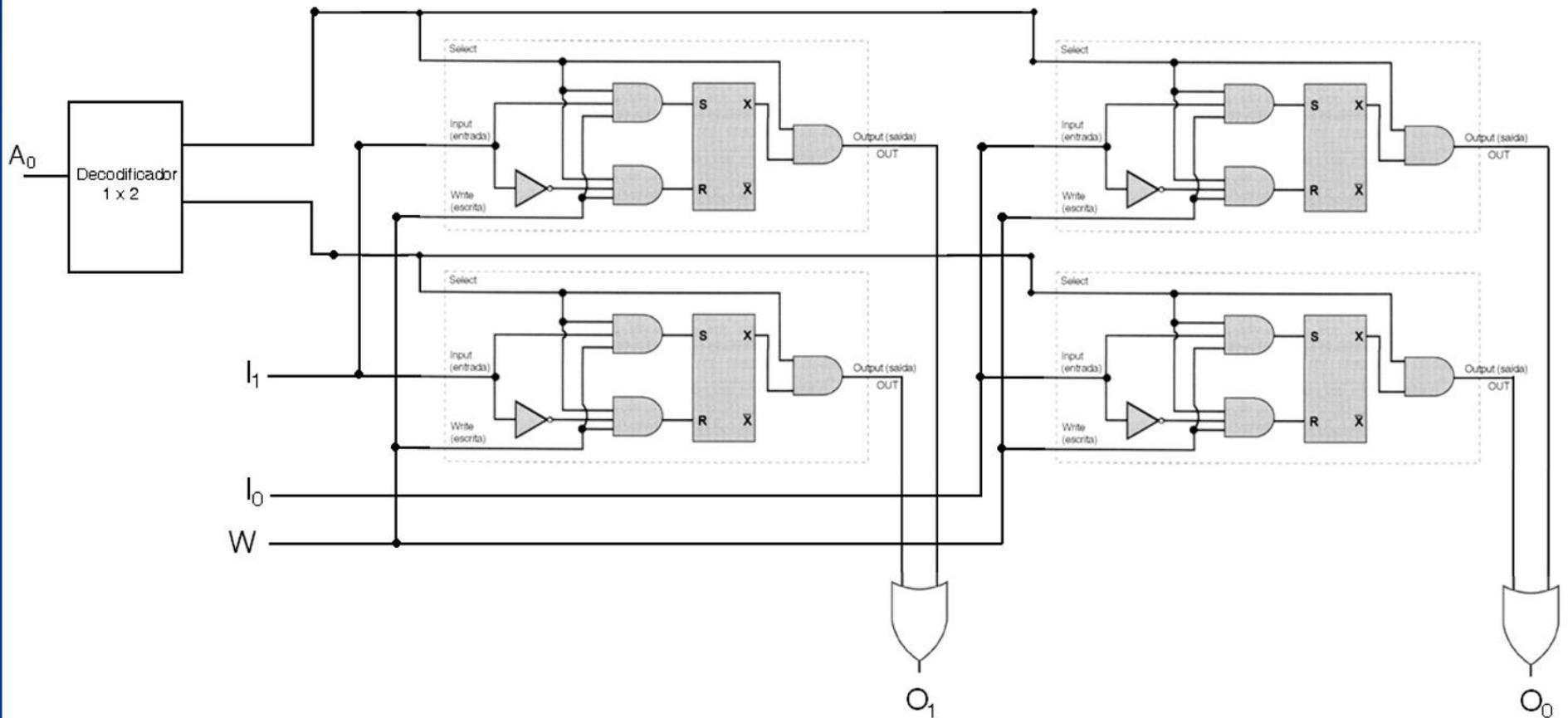
- Célula básica (FF Tipo D)
- Portas de I/O (dados)
- Circuito para endereçamento (Decodificadores)
- **Circuito de controle (R/W)**

Memória RAM - 2 x 2



Duto de controle

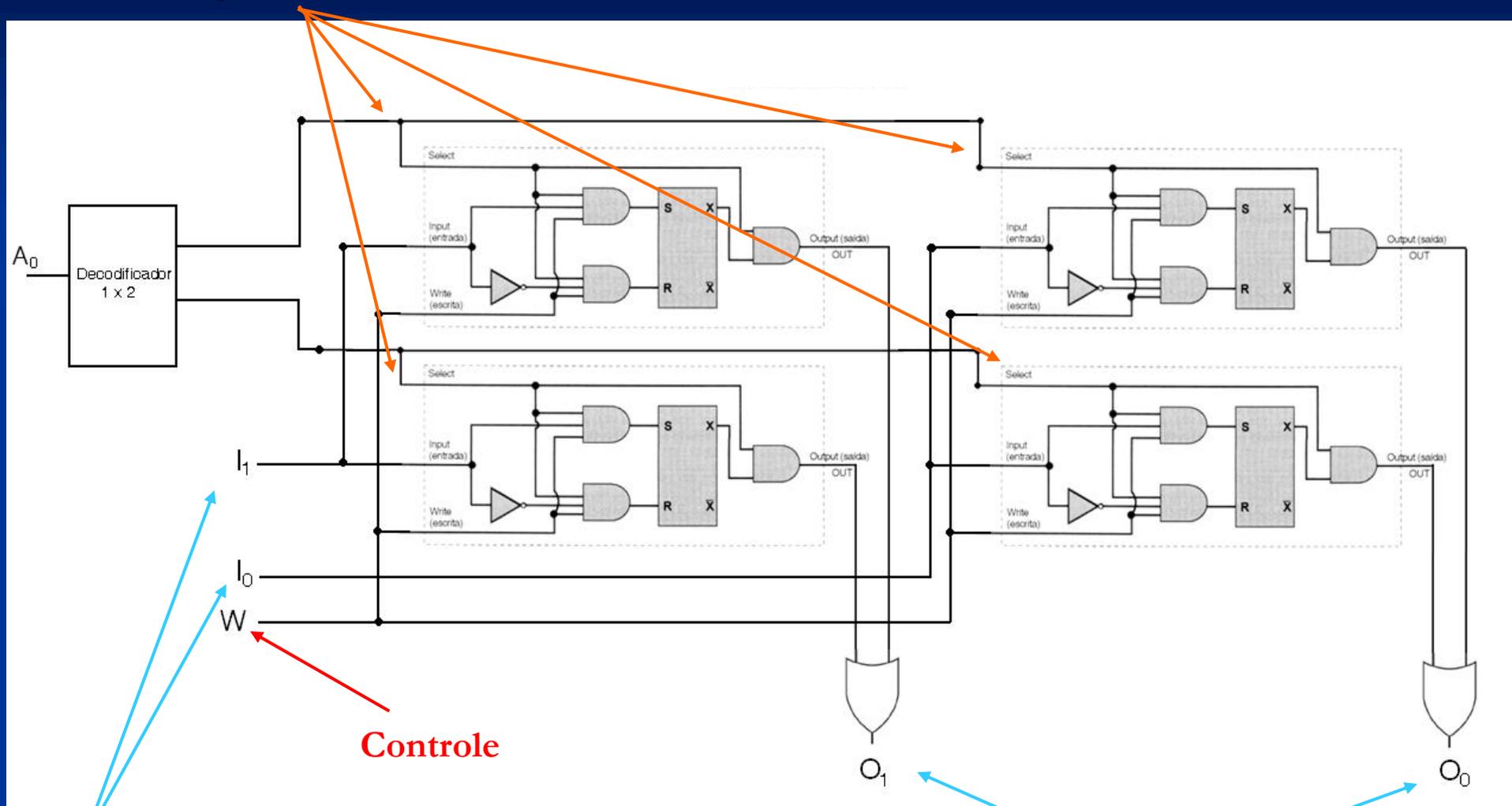
Memória RAM - 2 x 2



Duto de controle

Memória RAM - 2 x 2

Endereçamento



Controle

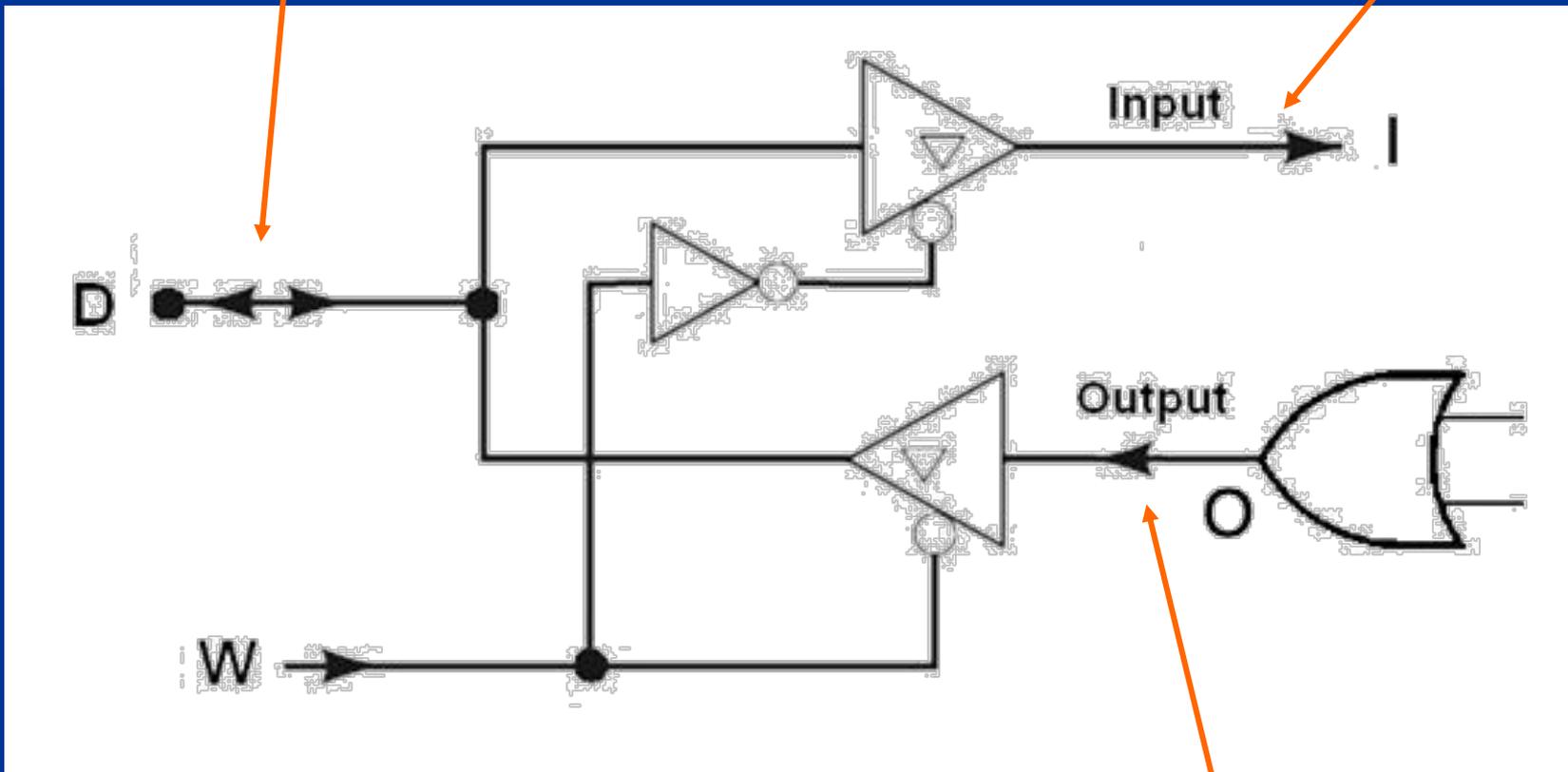
Entrada de Dados

Saída de Dados

Duto de Dados Bidirecional

Entrada e saída de dados
(bidirecional: escrita e leitura)

Entrada de dados (escrita)



Saída de dados (leitura)

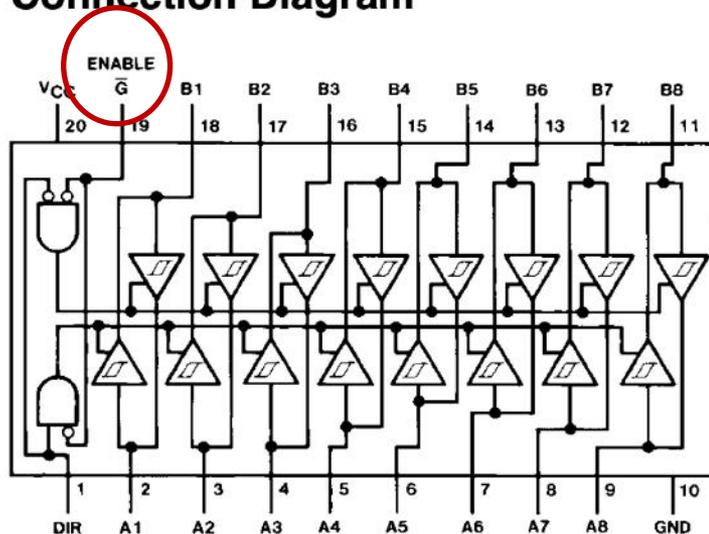
Duto de Dados Bidirecional Com pino de habilitação (*Enable*)

FAIRCHILD
SEMICONDUCTOR™

August 1986
Revised March 2000

DM74LS245 3-STATE Octal Bus Transceiver

Connection Diagram



Function Table

Enable \bar{G}	Direction Control DIR	Operation
L	L	B Data to A Bus
L	H	A Data to B Bus
H	X	Isolation

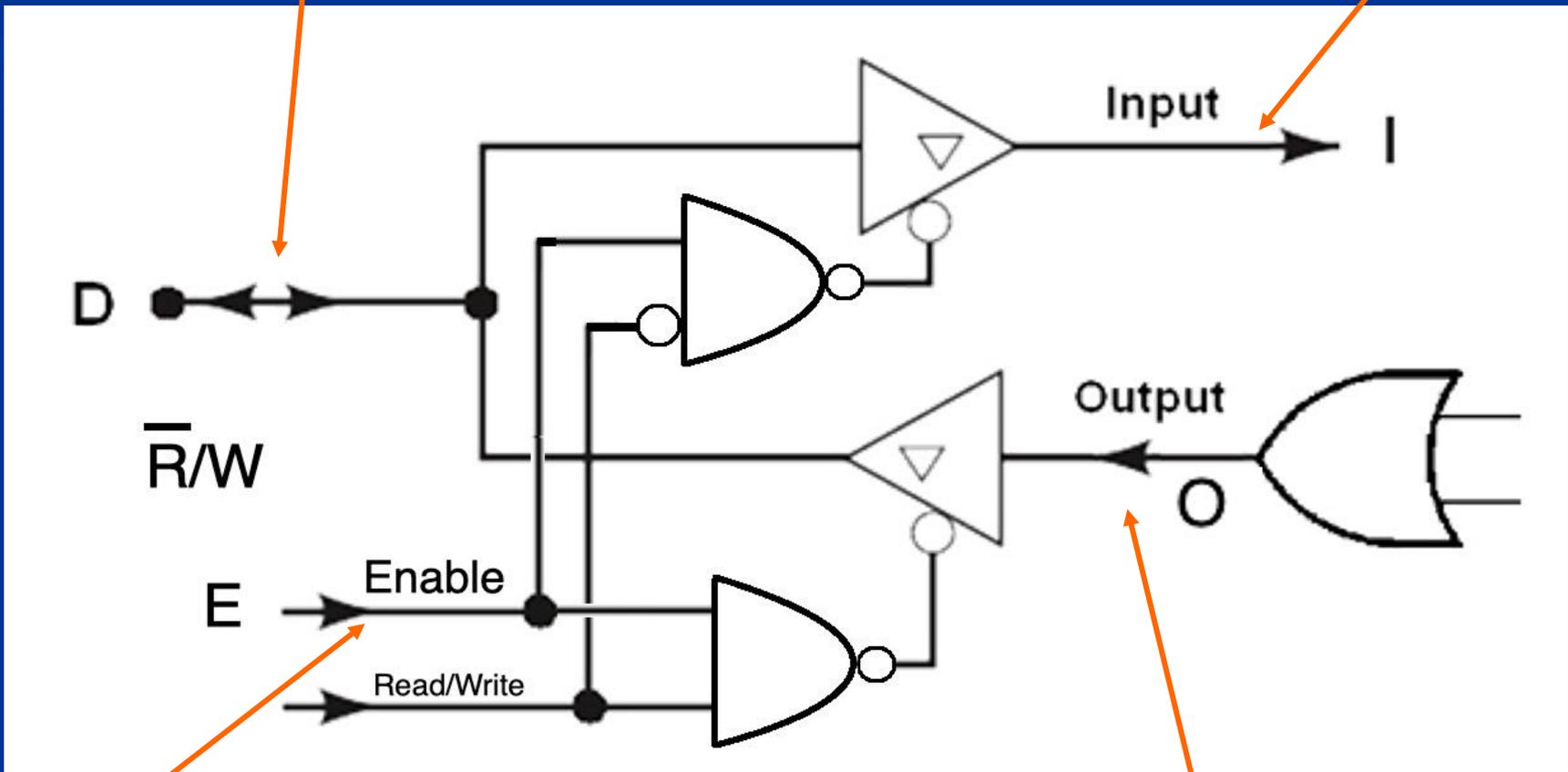
H = HIGH Level
L = LOW Level
X = Irrelevant

Duto de Dados Bidirecional Com pino de habilitação (*Enable*)

Entrada e saída de dados

(bidirecional: escrita e leitura)

Entrada de dados (escrita)



Habilitação

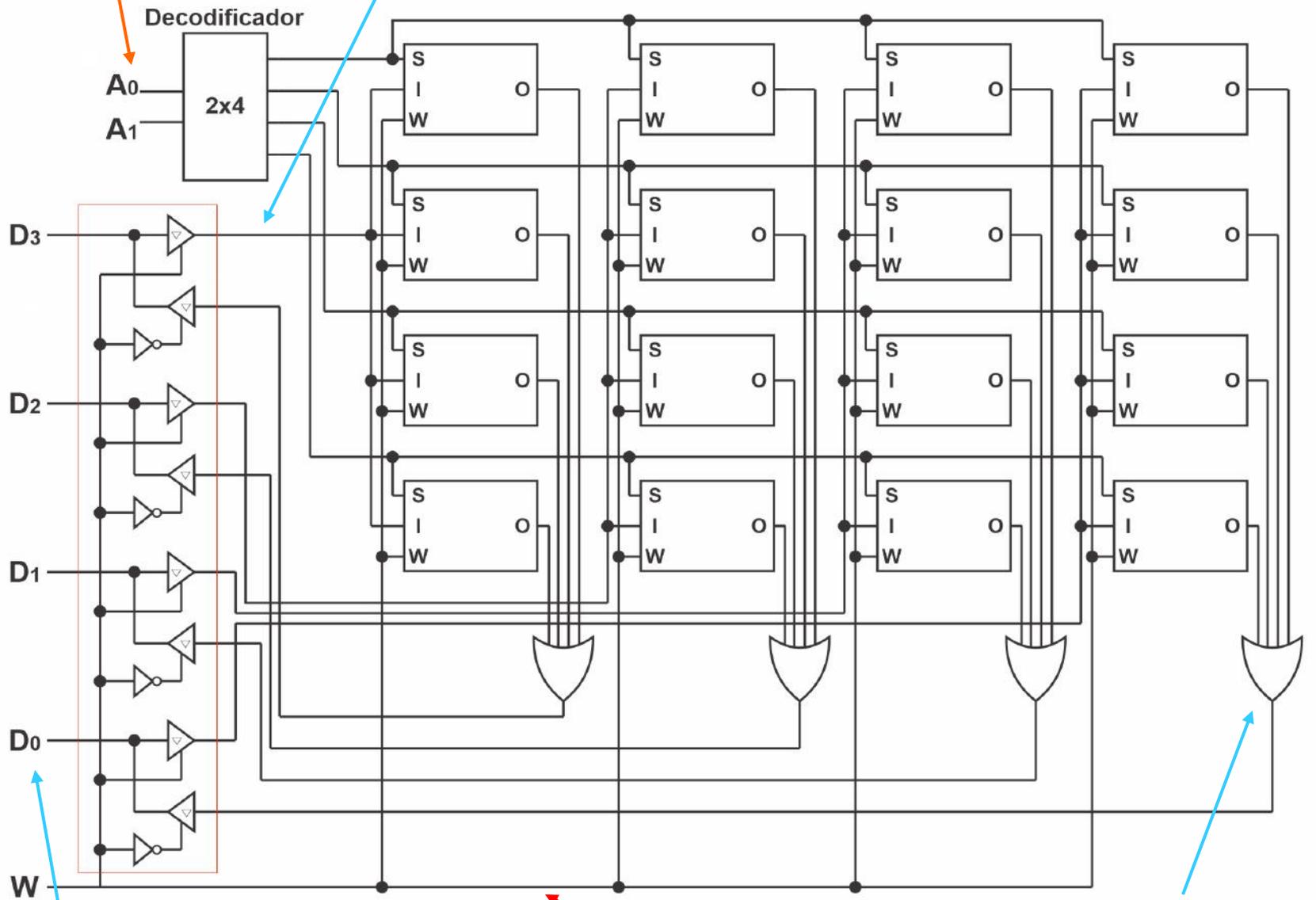
Saída de dados (leitura)

Memória RAM

4 × 4

Endereçamento Entrada de Dados

RAM 4x4



Duto Bidirecional I/O

Controle (Escrita)

Saída de Dados

Tipos de Endereçamento

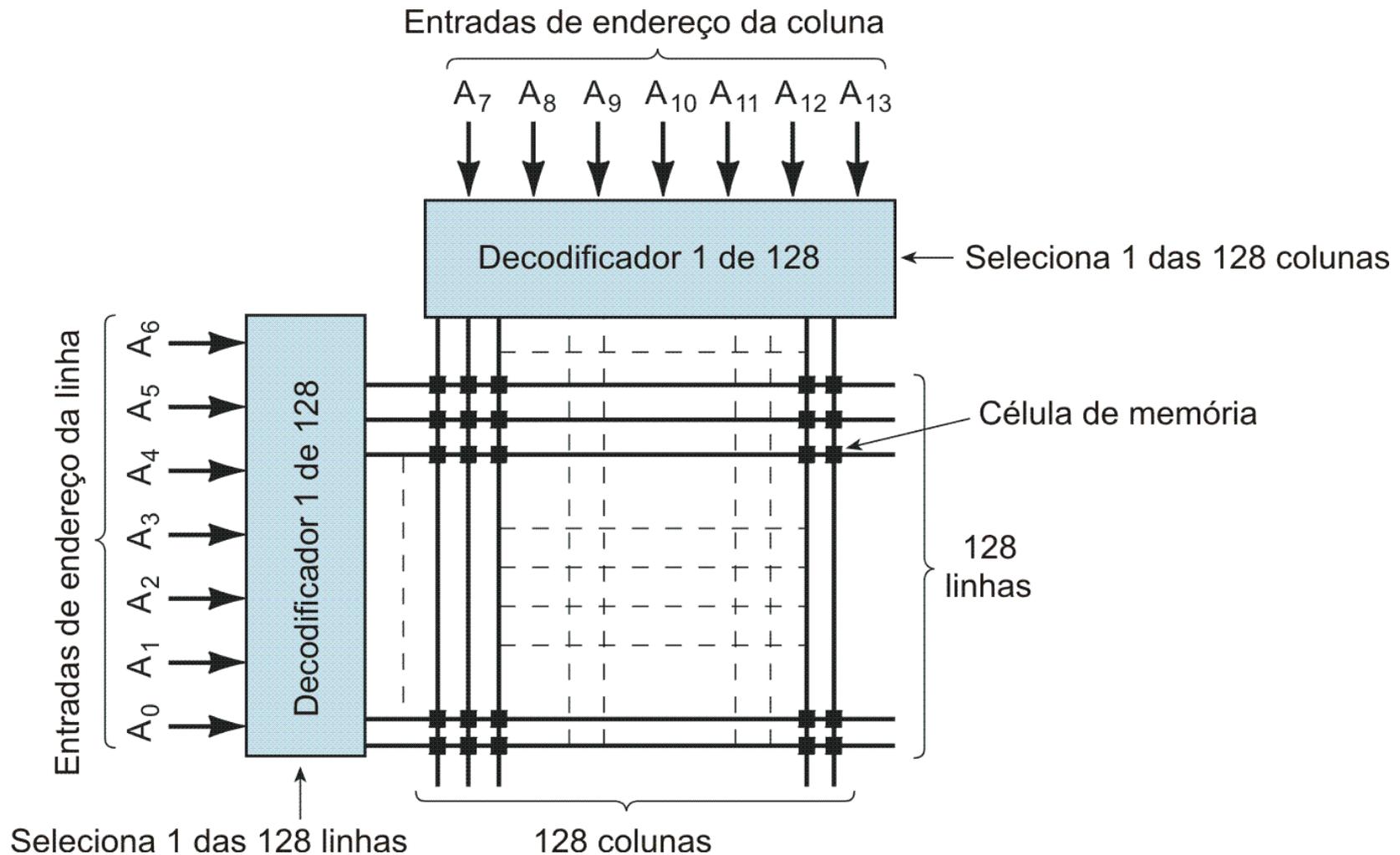
- ✓ Linear
- ✓ Matricial

Endereçamento Matricial

Decodificadores de linhas e colunas:

- Este arranjo divide o duto de endereçamento em 2 partes, sendo cada uma delas conectada em um decodificador diferente. Requer decodificadores de menor tamanho: menor número de portas lógicas com menor número de entradas.
- Ex. memória de 64 KB tem 65.536 x 8 células básicas.
 - **Arranjo Linear:** requer 1 decodificador de 16 bits de entrada com 65.536 saídas: Internamente ele possui 65.536 portas AND de 16 entradas cada.
 - **Arranjo Matricial:** requer 2 decodificadores de 8 bits de entrada com 256 saídas cada: Internamente cada decodificador possui 256 portas AND de 8 entradas cada. No total serão 512 portas AND de 8 entradas ($256 \times 2 = 512$ saídas).

Memória 16K×1 com endereçamento matricial



Expansão de Memórias Semicondutoras

Expansão de Memórias

a) Aumentar o número de bits do dado:

* Exemplo:

+ Memória disponível: $2K \times 4$

+ Organização desejada: $2K \times 8$ (ROM ou RAM)

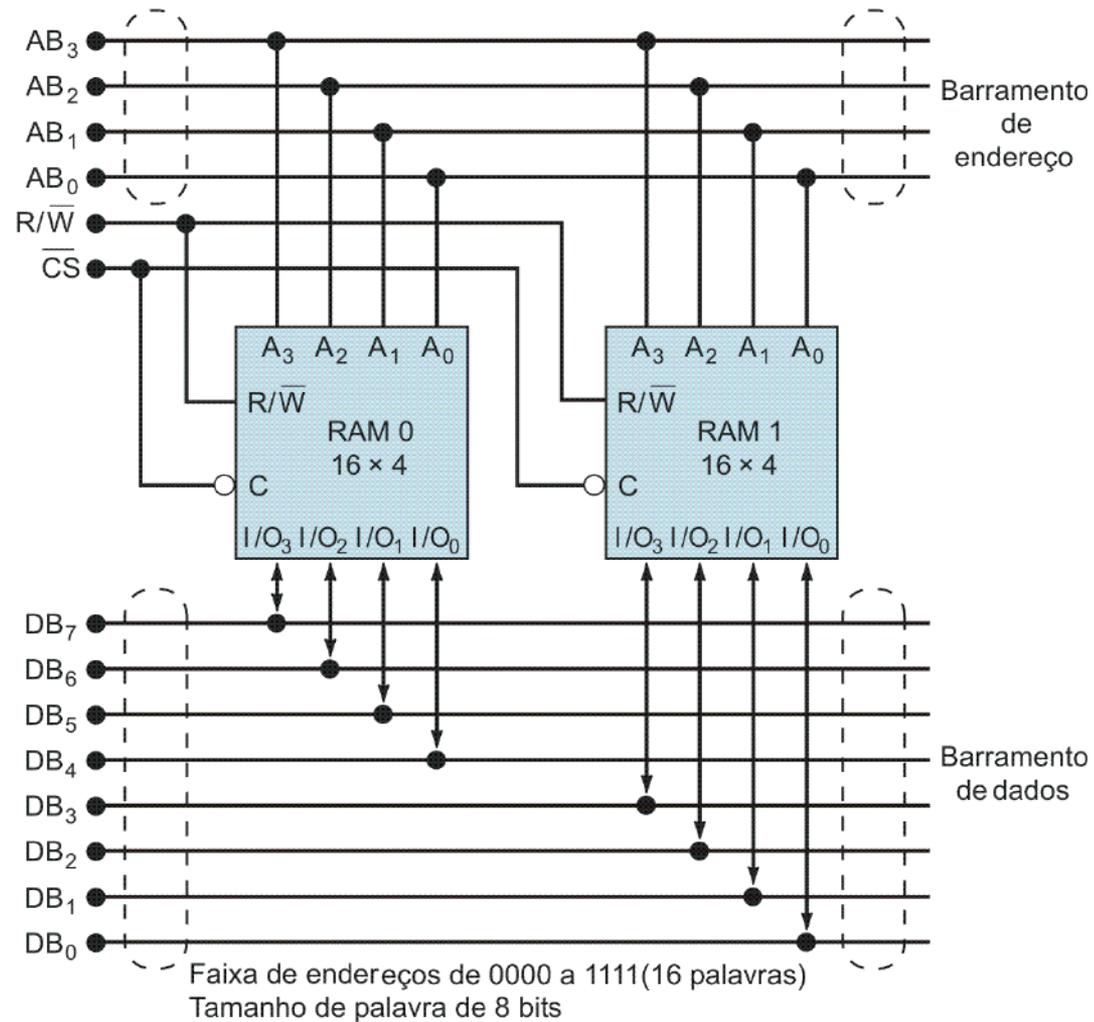
b) Aumentar o número de endereços:

* Exemplo:

+ Memória disponível: $2K \times 4$

+ Organização desejada: $4K \times 4$ (ROM ou RAM)

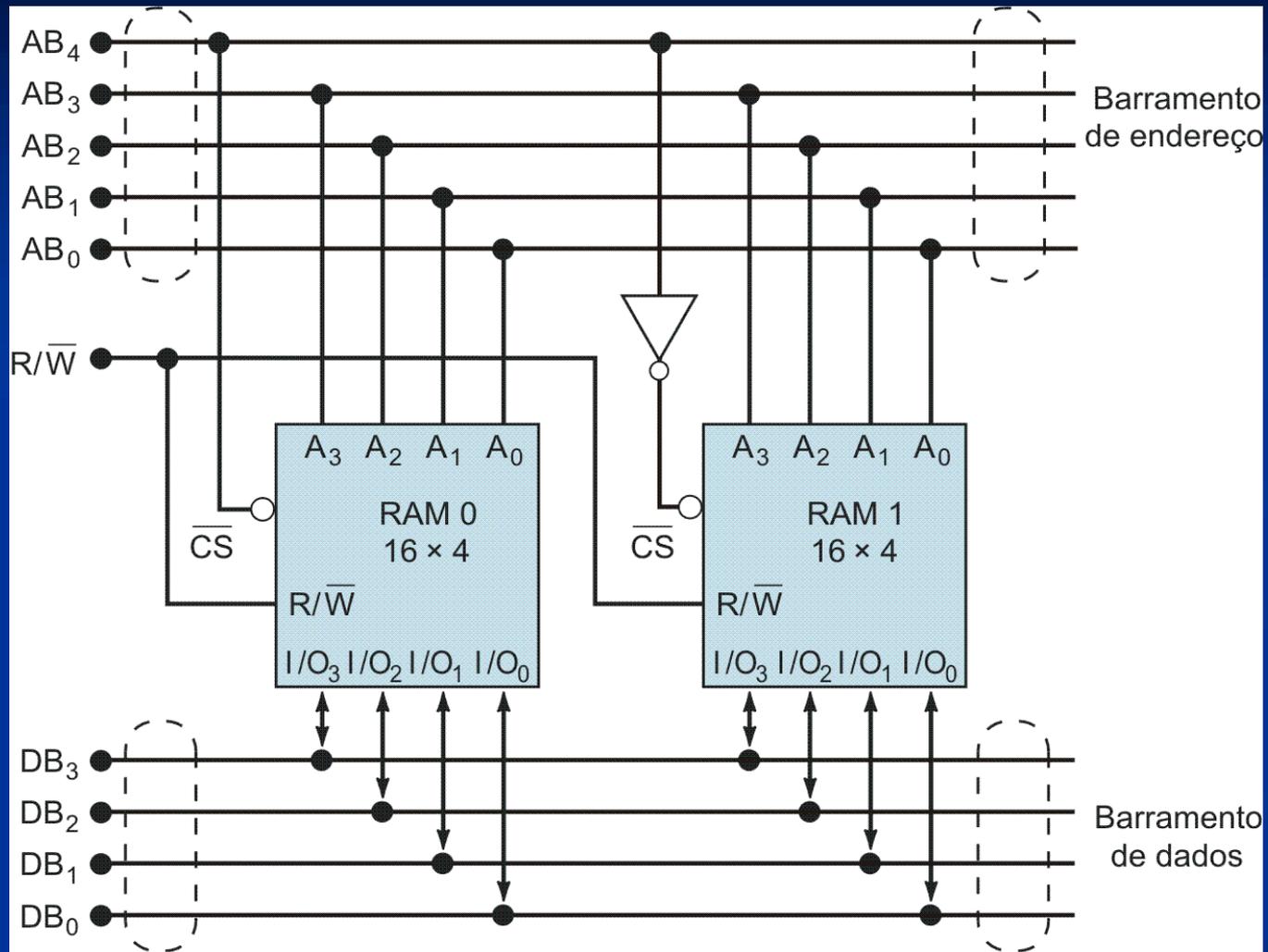
Duas RAMs de 16 X 4 em um módulo de 16 X 8



Os 4 bits de mais alta ordem de cada palavra são armazenados na RAM 0

Os 4 bits de mais baixa ordem de cada palavra são armazenados na RAM 1

Duas RAMs de 16 X 4 em um módulo de 32 X 4



Faixas de endereço: 00000 a 01111 – RAM 0
10000 a 11111 – RAM 1

Total 00000 a 11111 – (32 palavras)

FIM