

SEL0415

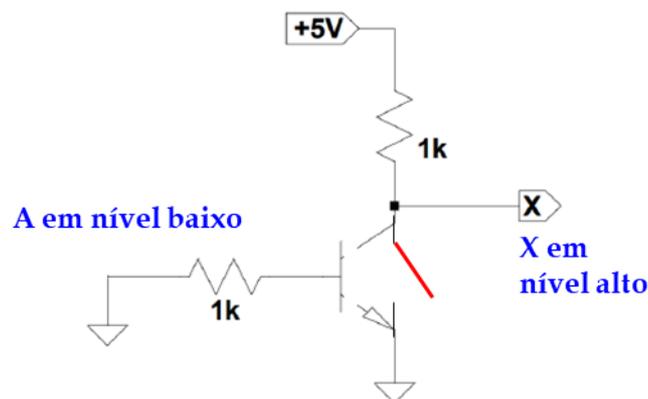
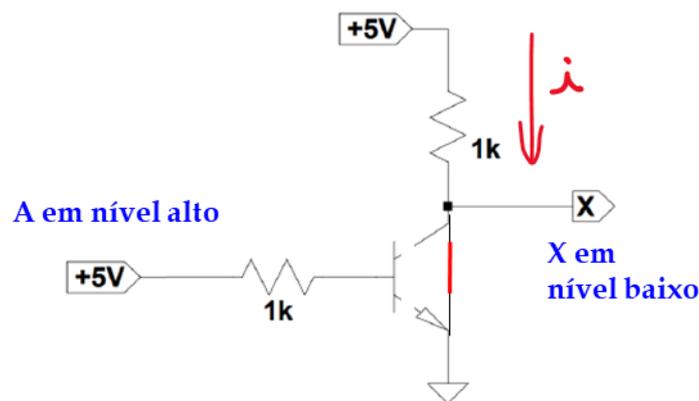
Introdução à Organização de Computadores

Lista 03 – Barramentos e Portas Tri-State

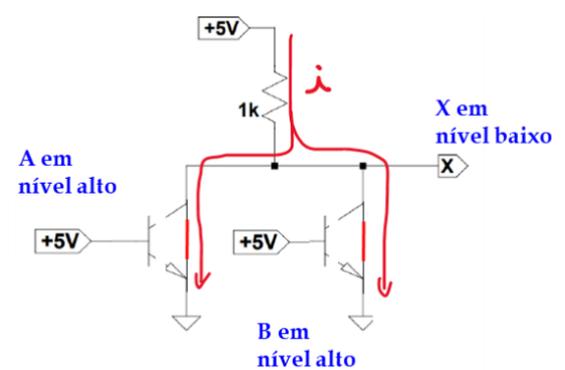
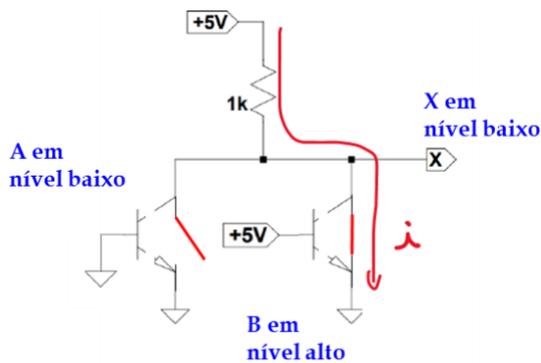
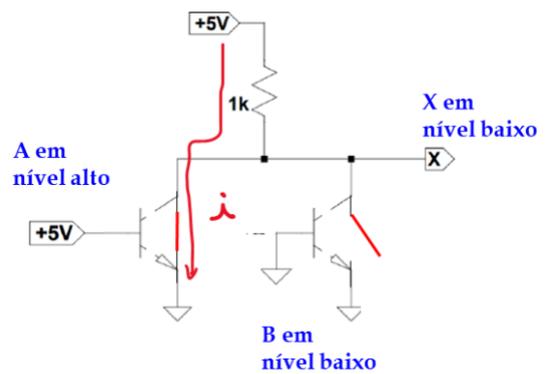
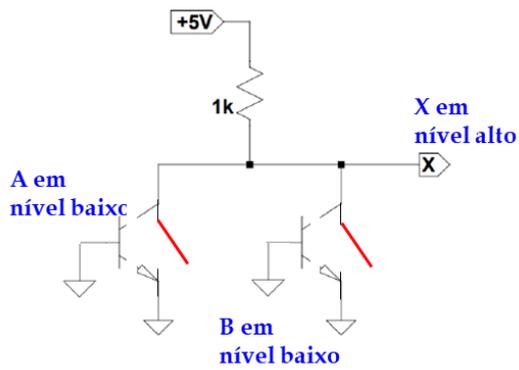
RESOLUÇÃO

[1]

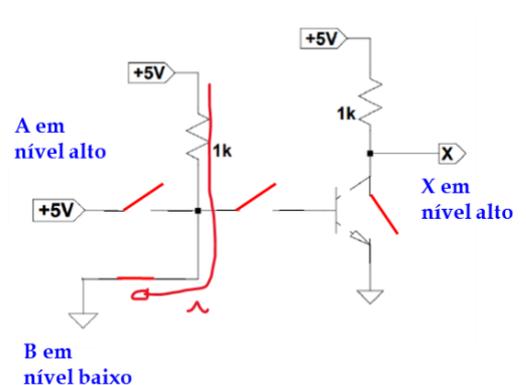
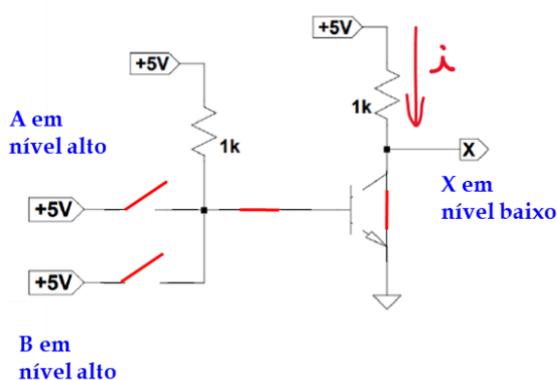
a) Quando **A está em nível alto** temos que há tensão na base do transistor, de forma que o mesmo está ligado, fazendo com que se comporte como um curto, o que faz com que **X esteja em nível baixo**. De forma análoga, **A em nível baixo** desliga o transistor, que acaba por se comportar como um circuito aberto, impedindo o fluxo de corrente, o que faz com que **X esteja em nível alto**. Dessa forma, a característica desse circuito é de uma porta NOT, com $X = \bar{A}$.

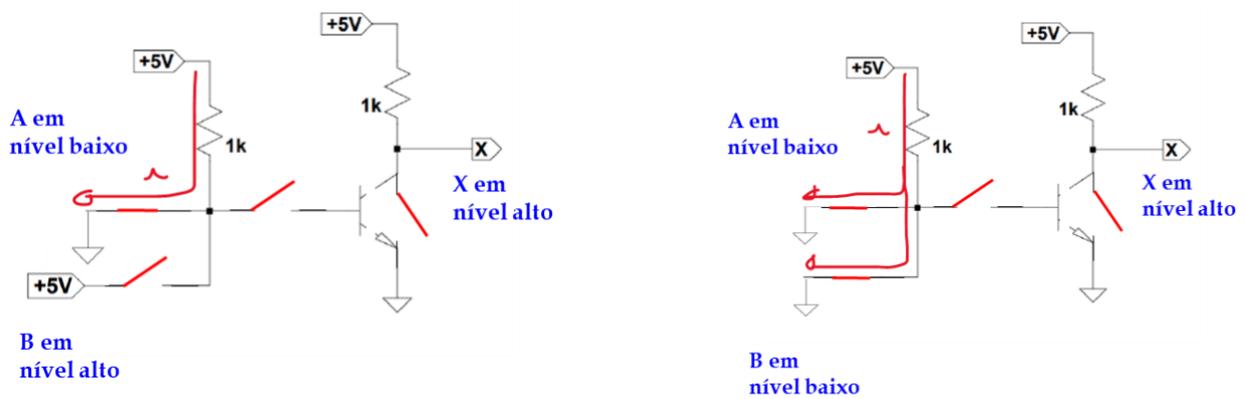


b) Caso **A e B estejam em nível baixo (ao mesmo tempo)**, teremos os dois transistores desligados, o que faz com que não flua corrente pelo resistor de 1k, o que implica que **X estará em nível alto**. Em qualquer outro caso, ao menos um transistor ligado faz com que X esteja em nível baixo. Dessa forma, a característica desse circuito é de uma porta NOR, com $X = \overline{A + B}$.



c) Primeiramente, observemos o nó que une D1, D2 e D3. Sabemos que os diodos ou conduzem corrente no sentido do seu símbolo ou não conduzem. Assim, a única corrente que pode “entrar” no nó é a que flui pelo resistor, e que é necessária para atender a Lei das Correntes de Kirchoff. Assim, o nó deve estar obrigatoriamente com um potencial menor que o do nível alto (5 V). Dessa forma, caso **A e B estejam em nível alto**, teremos **D1 e D2 desligados**, já que o potencial do nó é menor do que o de A e B. Assim, a corrente flui por D3, ligando o transistor Q1, que funciona como um curto, fazendo com que **X esteja em nível baixo**. Já caso em que **ao menos uma** das entradas (A , B) estejam **em nível baixo**, teremos **D1 e/ou D2 ligados**, com o nó possuindo cerca de 0:7 V (queda de tensão típica de diodos ligados). Assim, D3 também se encontra ligado, fazendo com que a tensão na base de Q1 seja de 0 V . Assim, Q1 desligado funciona como um aberto, fazendo com que **X esteja em nível alto**. Portanto, a característica desse circuito é de uma porta NAND, com $X = \overline{AB}$.





[2]

(V) Os circuitos digitais TTL (Transistor-transistor logic) se caracterizam pela prática de utilizar transistores para funções lógicas e de amplificação. A utilização de transistores permitiu a redução do tamanho dos circuitos digitais, de modo que pôde-se inserir diversas portas lógicas em um único chip.

(F) A tecnologia de portas lógicas CMOS possui menor poder de integração e dissipa menos potência que a TTL, já que não utilizam resistores nos circuitos; entretanto, os CIs possuem custo mais elevado, por ser uma tecnologia mais moderna.

A tecnologia CMOS também é mais barata que a TTL, sendo a tecnologia dominante entre os CIs atualmente.

(V) Totem-pole se trata de uma configuração de saída de circuitos TTL com dois transistores. Ela surge como uma alternativa que atenua a característica do TTL de apresentar uma alta impedância de saída em nível alto, o que limitava o número de entradas que podiam ser conectadas.

(F) Os circuitos com saída em coletor aberto surgem para solucionar o conflito de barramento que ocorre caso sejam ligadas duas saídas totem-pole com níveis lógicos diferentes. Entretanto, esse tipo de configuração necessita de um resistor de pull-up, cuja função é interconectar a saída de uma porta lógica a outra.

A função do resistor de pull-up é a de garantir que a saída em nível alto tenha valor determinado.

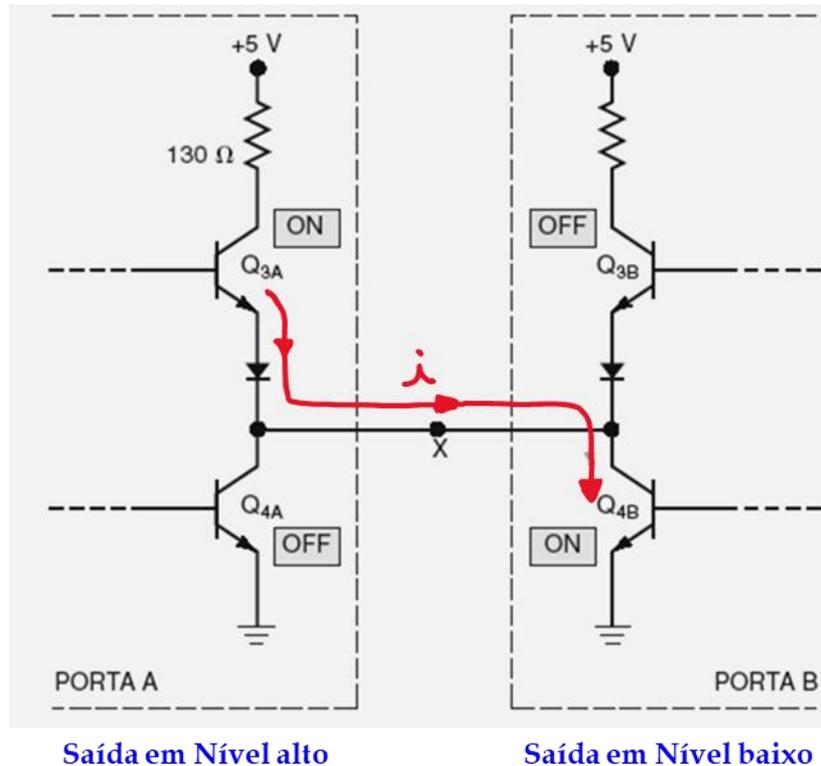
(F) Atualmente, o uso mais comum dos circuitos com saída em coletor aberto é como drivers, que se tratam de componentes que limitam a magnitude da corrente de saída de um circuito digital, de forma a não gerar danos à carga conectada ao mesmo.

Na verdade, um driver permite que a saída de um circuito lógico tenha uma corrente mais alta que a usual, de forma que esse tipo de circuito pode acionar cargas mais robustas.

(F) As portas tri-state possuem saída em nível alto, nível baixo e alta impedância, que ocorre quando a porta está desabilitada, de forma que saídas de CIs com tri-state podem ser ligadas juntas, desde que apenas uma seja habilitada por vez. Entretanto, a conexão de saídas tri-state diminui a velocidade de chaveamento quando se compara com outras configurações TTL.

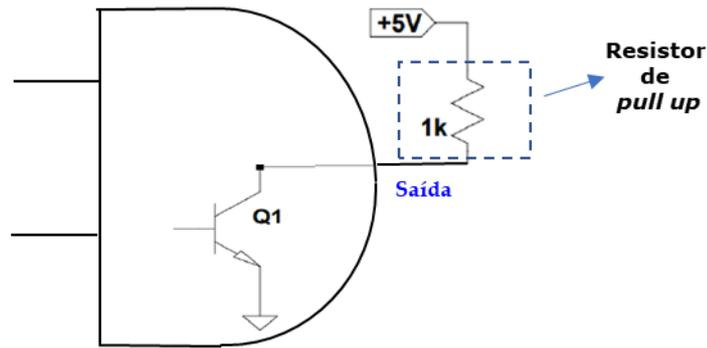
A conexão de saídas de várias portas tristate não afeta a velocidade de chaveamento.

[3] Saídas totem-pole são saídas de portas lógicas que apresentam dois transístores, um “sobre” o outro, aparentando um totem. O problema desse tipo de configuração é que quando as saídas são ligadas juntas, caso apresentem níveis lógicos diferentes, podem causar danos, superaquecendo o circuito. A corrente drenada pelo transistor Q4 (Q4B na figura) é muito alta. Além do superaquecimento, há também o fato de que a saída do circuito (X) terá uma tensão aproximadamente igual à metade do valor de V_{cc} , ocasionando um nível lógico indeterminado.



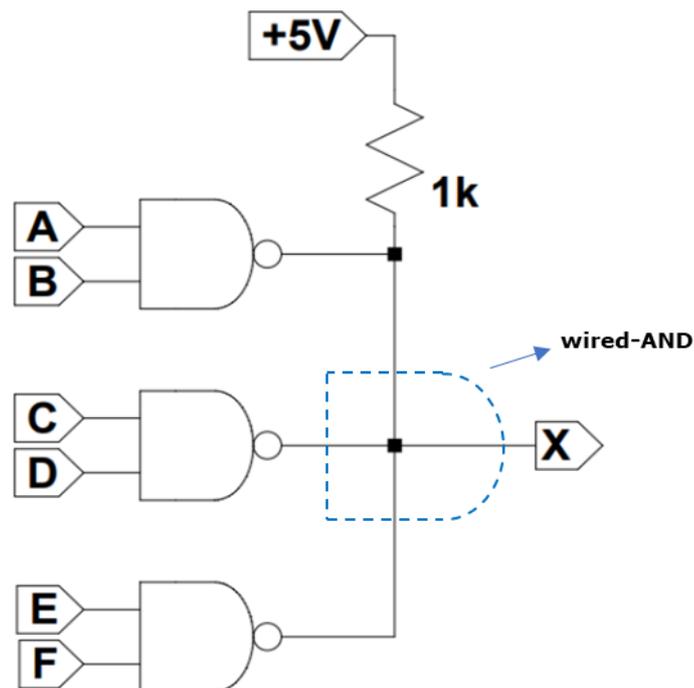
[4]

- a) Uma saída em coletor aberto permite a ligação de várias saídas de um TLL de forma segura, enquanto uma Totem-pole apresenta os problemas da questão 3. Se a saída apresenta nível lógico 0, o transistor conduz (Q1 na imagem) e induz um nível lógico 0 no duto. Se a saída apresenta nível 1, o transistor apresenta alta impedância e a saída apresenta nível lógico 1 devido ao resistor de pull-up..



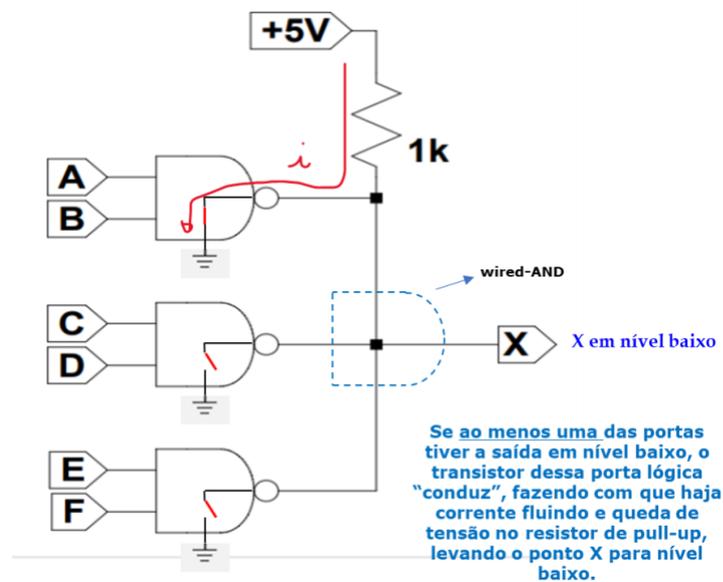
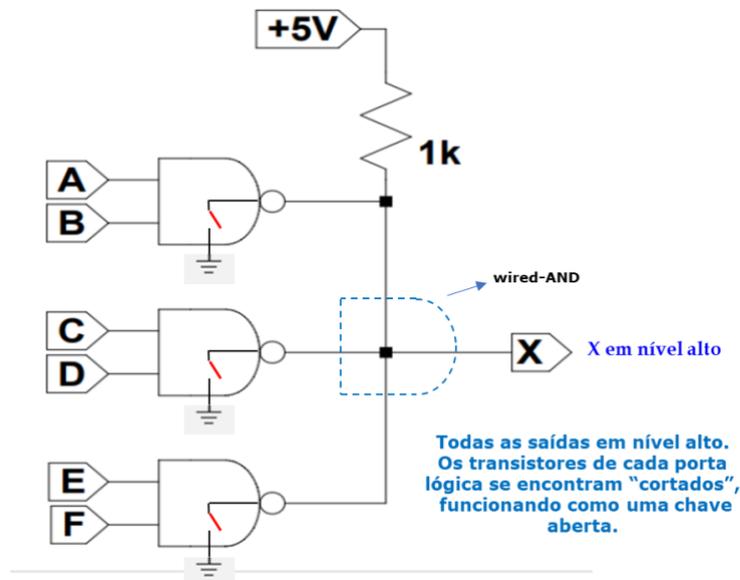
b) Têm a função de “puxar” o nível lógico do duto para alto quando Q1 está “cortado”. Caso não houvesse esse resistor, teríamos uma alta impedância na saída, e não o nível lógico alto.

[5] Considerando que as portas lógicas abaixo possuem saídas em **coletor aberto**, responda:



a) Quando várias portas com saídas de **coletor aberto** compartilham uma conexão em comum (conforme mostrado na figura acima), o fio comum está em nível ALTO devido ao resistor de pull-up ($R_p = 1K \text{ Ohm}$ na figura). Quando **ao menos uma** das saídas das portas estiverem em nível BAIXO, haverá uma queda de tensão de 5V sobre o resistor R_p e o **ponto de conexão comum estará no estado BAIXO**. Visto que a saída comum **estará em nível ALTO apenas quando todas as saídas estiverem no estado ALTO**, conectando as saídas dessa maneira implementamos, essencialmente, **a função lógica AND**. Isso é denominado conexão **wired-AND**. Isso é mostrado simbolicamente pelo símbolo de uma AND desenhada pontilhada. Na

realidade, a porta AND não existe. Uma conexão wired-AND pode ser implementada apenas com dispositivos de coletor aberto.



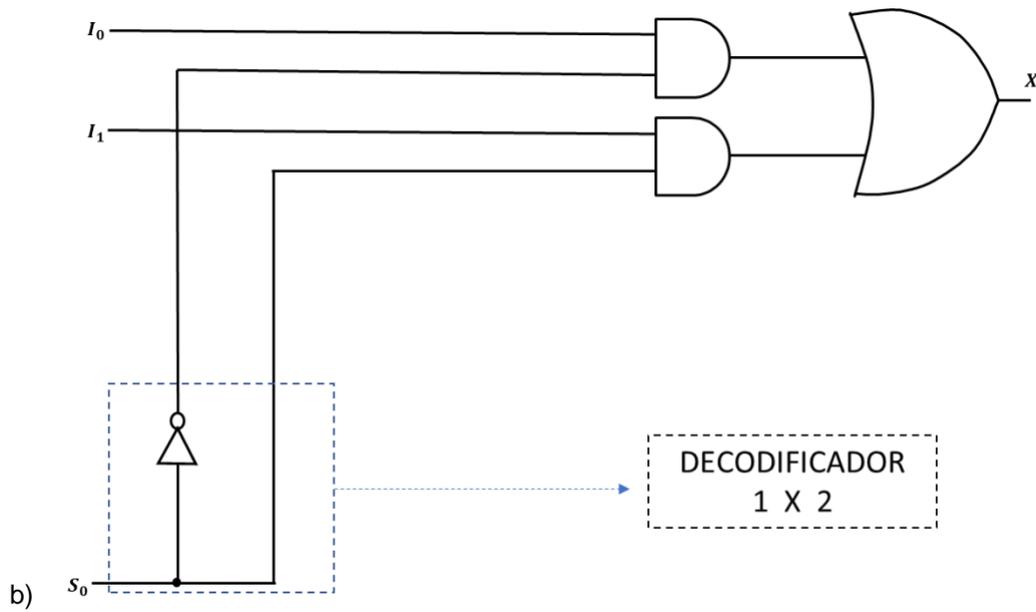
b) Tendo em vista o funcionamento como uma porta lógica AND, a saída X é dada por:

$$X = (\overline{AB})(\overline{CD})(\overline{EF})$$

[6]

ENTRADAS		Seleção		Saída (X)
		S_0		
I_1	I_0	0		I_0
I_1	I_0	1		I_1

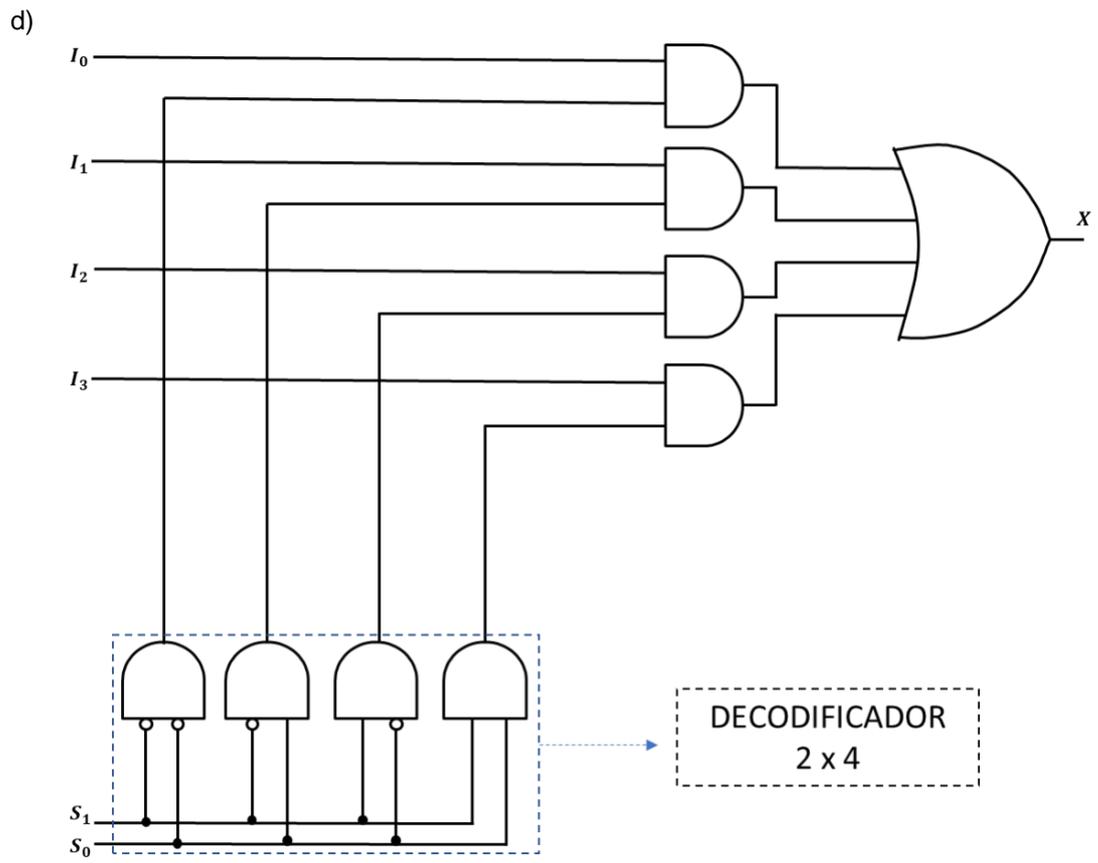
a) $X = \bar{S}_0 I_0 + S_0 I_1$



c)

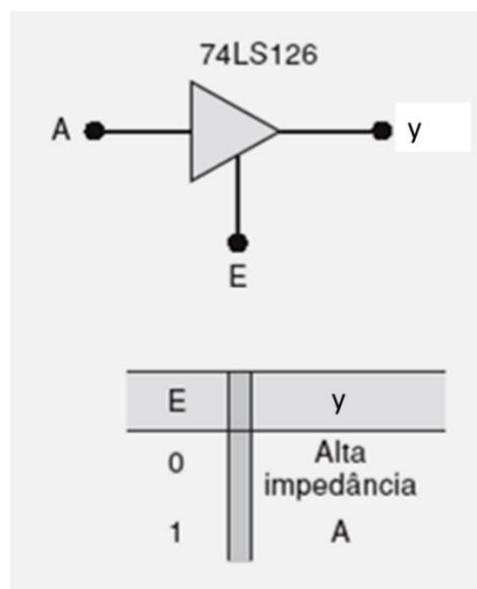
ENTRADAS MUX				SELEÇÃO		X
				S_1	S_0	
I_3	I_2	I_1	I_0	0	0	I_0
I_3	I_2	I_1	I_0	0	1	I_1
I_3	I_2	I_1	I_0	1	0	I_2
I_3	I_2	I_1	I_0	1	1	I_3

$$X = \bar{S}_1 \bar{S}_0 I_0 + \bar{S}_1 S_0 I_1 + S_1 \bar{S}_0 I_2 + S_1 S_0 I_3$$

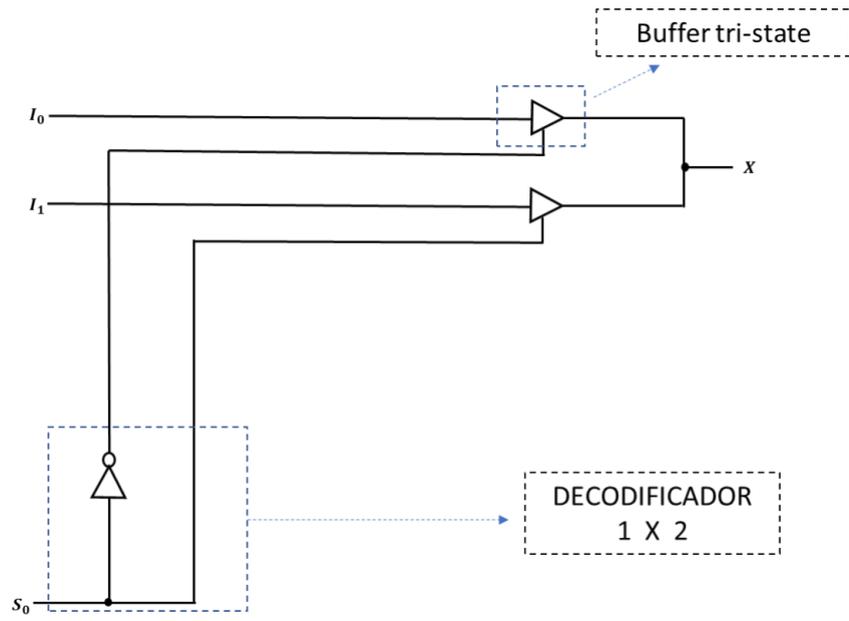


e) Encontram-se selecionados nas imagens dos itens **b e d**.

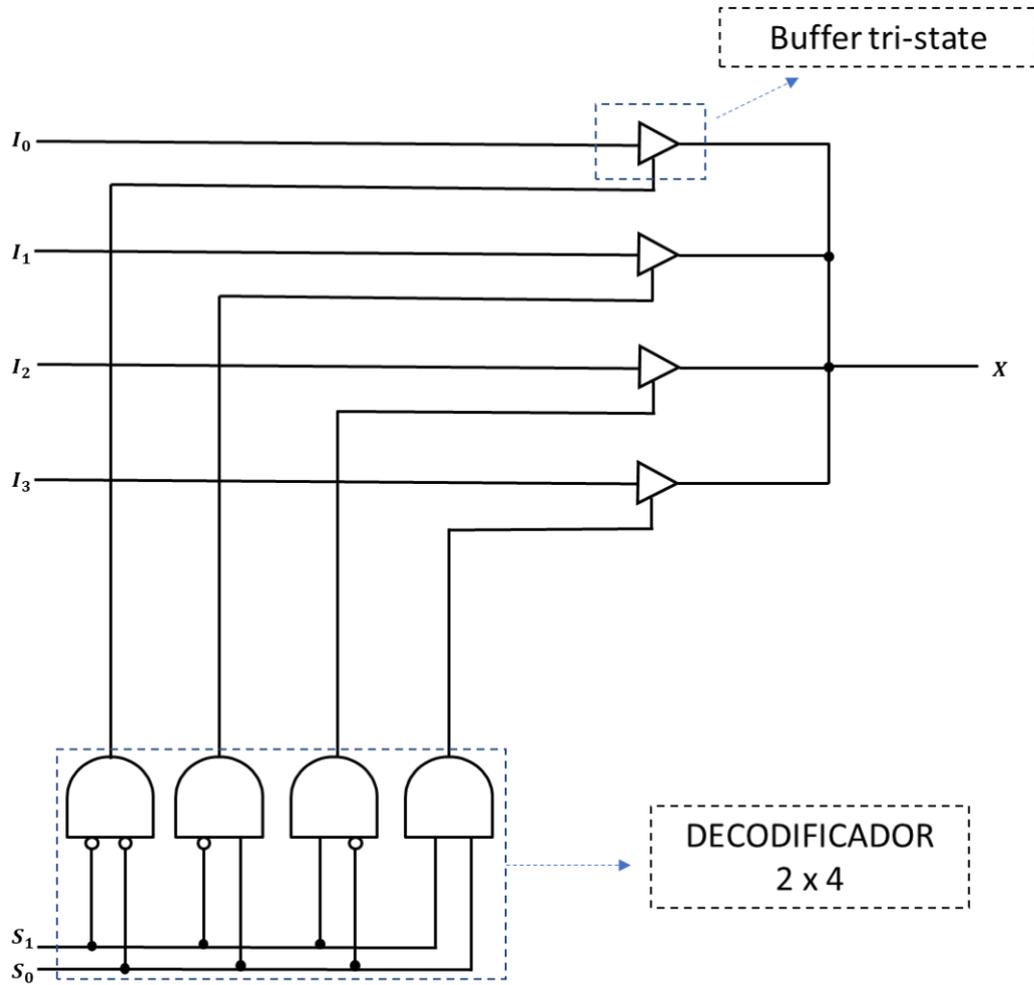
[7]



a)

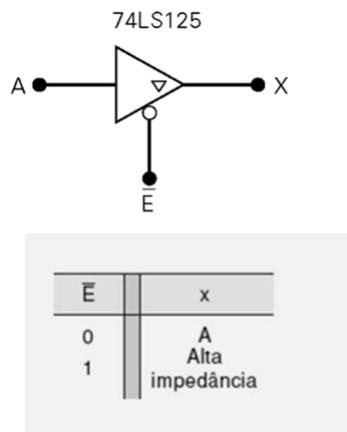


b)

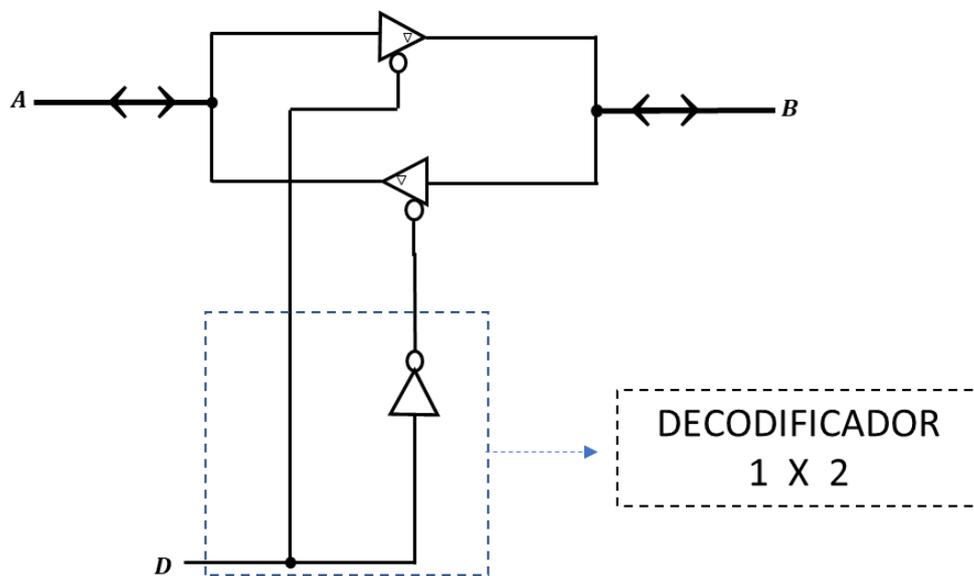


Perceba que, ao usar o buffers tri-state, a porta OR da saída também pode ser removida, uma vez que as saídas dos buffers podem ser compartilhadas. O único detalhe é que se deve **garantir que apenas um buffer seja selecionado por vez** (para não ocasionar conflito no duto) por meio do pino *enable*. Isso é feito por meio dos decodificadores (geradores de produtos canônicos).

[8]

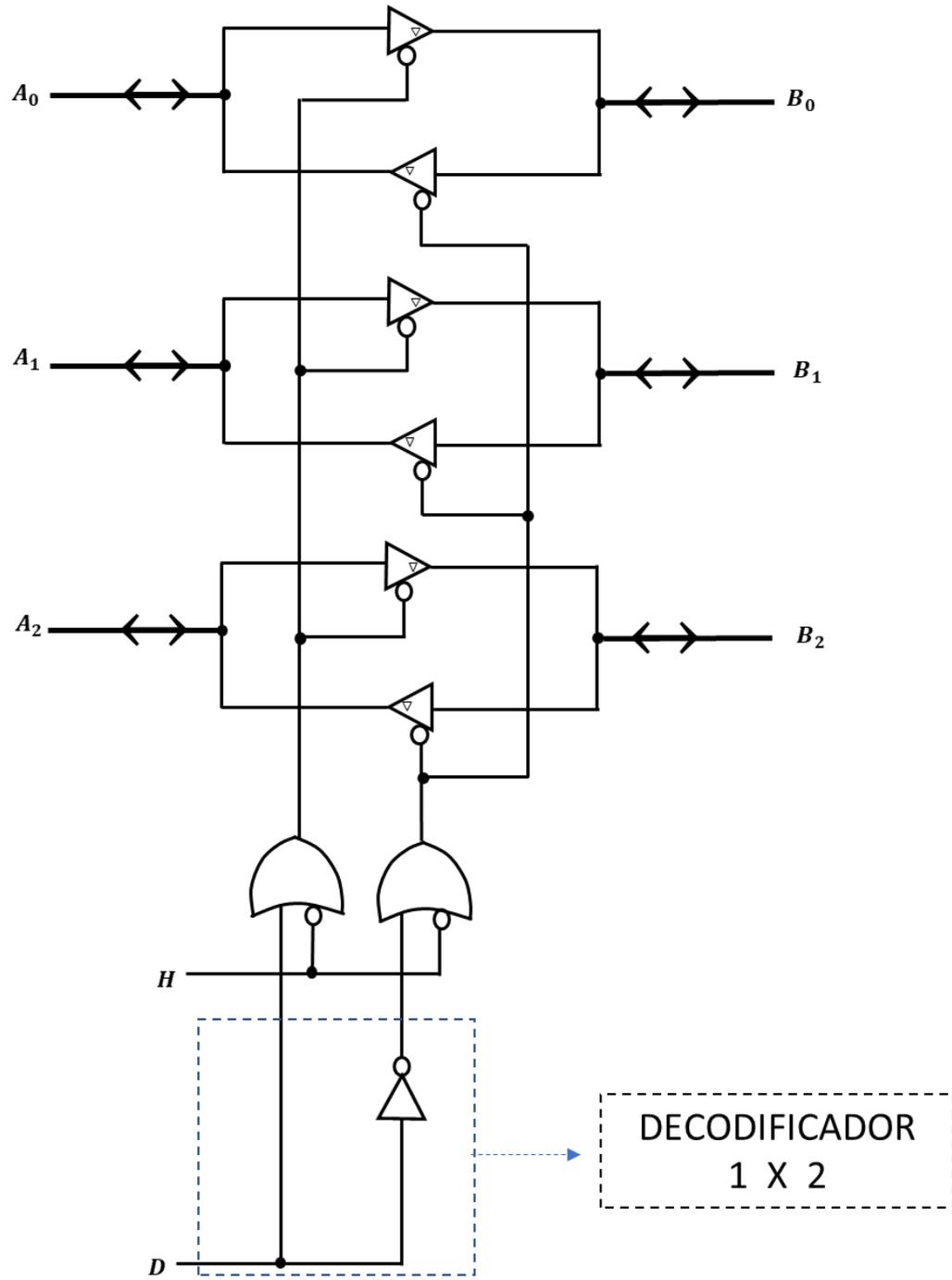


a)



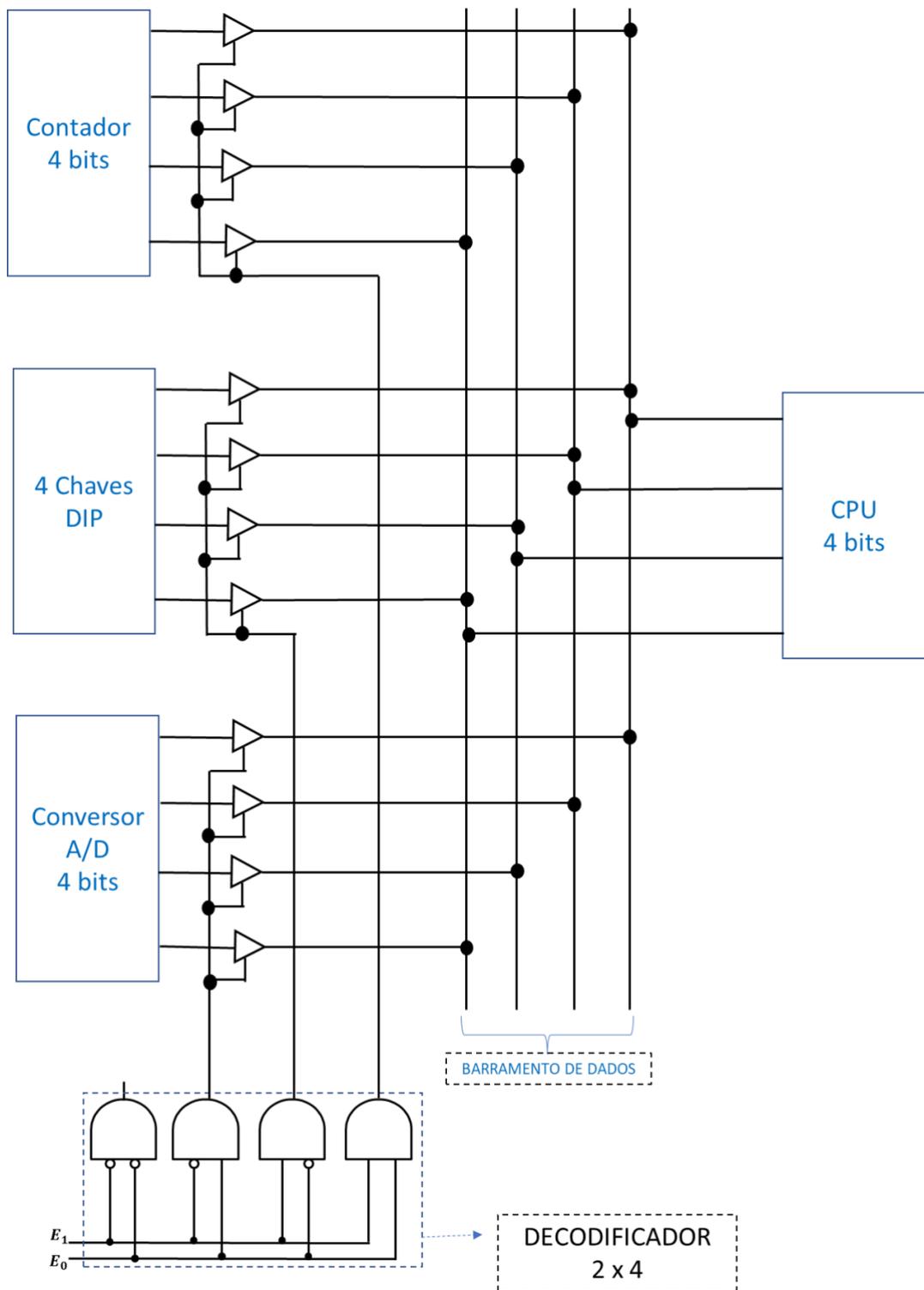
SELEÇÃO (D)	DIREÇÃO NA "SAÍDA"
0	$A \rightarrow B$
1	$B \rightarrow A$

b)



SELEÇÃO (D)	HAB. (H)	"SAÍDA"
0	0	$A \rightarrow B$
1	0	$B \rightarrow A$
x	1	Alta impedância

[9]



Note que a primeira saída do decodificador não é ligada a nenhum dispositivo. Isso porque ela é a única que fica em nível alto quando temos $E_1E_0 = 00$. As demais ficam em nível baixo. E é exatamente o que queremos, desabilitar todos os dispositivos quando tivermos $E_1E_0 = 00$.