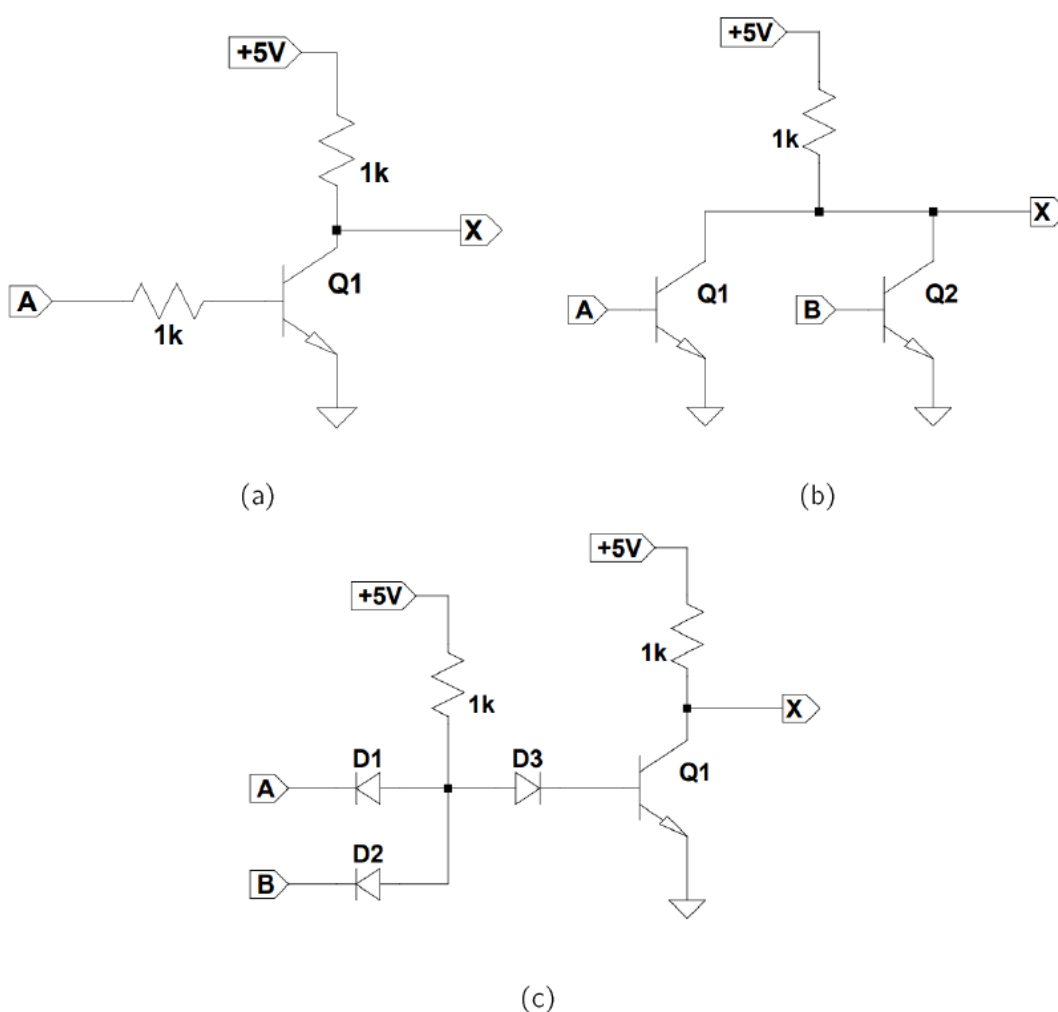


SEL0415

Introdução à Organização de Computadores

Lista 03 – Barramentos e Portas Tri-State

[1] É recorrente o uso de conhecimentos de eletrônica analógica para a construção de circuitos digitais. Nesse tipo de circuito, adota-se como nível lógico alto valores próximos a +5V e nível lógico baixo valores próximos a 0V. Nos casos abaixo, determine a tabela verdade e escreva a expressão booleana para cada um deles.



[2] Assinale V para afirmativas verdadeiras e F para as falsas. Justifique as falsas.

() Os circuitos digitais TTL (Transistor-transistor logic) se caracterizam pela prática de utilizar transistores para funções lógicas e de amplificação. A utilização de transistores permitiu a redução do tamanho dos circuitos digitais, de modo que pôde-se inserir diversas portas lógicas em um único chip.

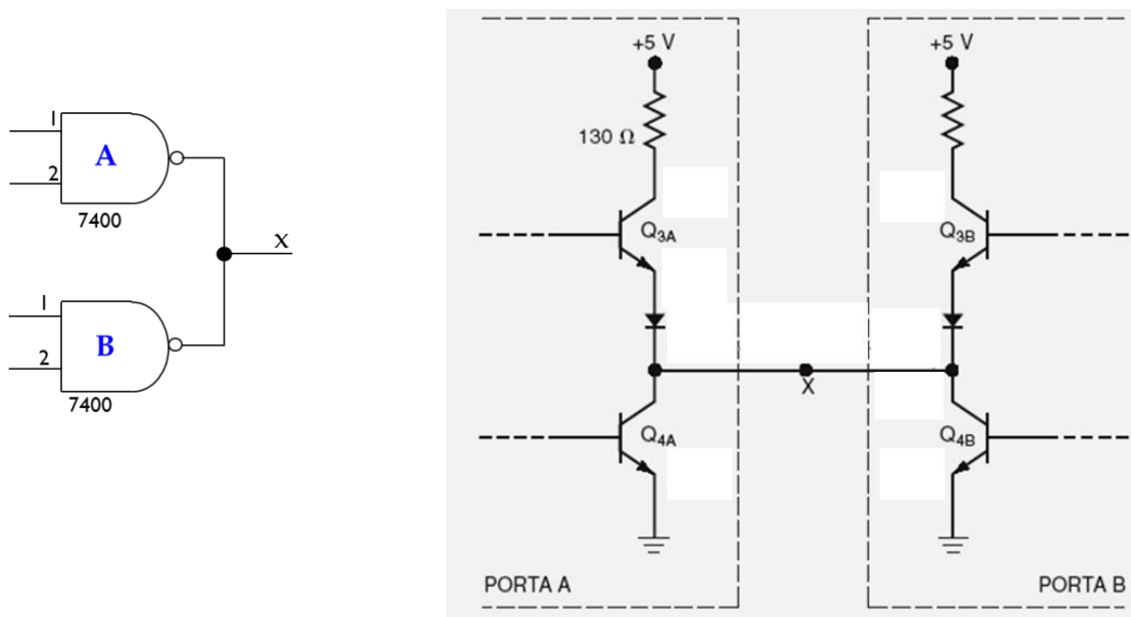
() A tecnologia de portas lógicas CMOS possui menor poder de integração e dissipa menos potência que a TTL, já que não utilizam resistores nos circuitos; entretanto, os CIs possuem custo mais elevado, por ser uma tecnologia mais moderna.

() Totem-pole se trata de uma configuração de saída de circuitos TTL com dois transistores. Ela surge como uma alternativa que atenua a característica do TTL de apresentar uma alta impedância de saída em nível alto, o que limitava o número de entradas que podiam ser conectadas.

() Os circuitos com saída em coletor aberto surgem para solucionar o conflito de barramento que ocorre caso sejam ligadas duas saídas totem-pole com níveis lógicos diferentes. Entretanto, esse tipo de configuração necessita de um resistor de pull-up, cuja função é interconectar a saída de um porta lógica a outra.

() As portas tri-state possuem saída em nível alto, nível baixo e alta impedância, que ocorre quando a porta está desabilitada, de forma que saídas de CIs com tri-state podem ser ligadas juntas, desde que apenas uma seja habilitada por vez. Entretanto, a conexão de saídas tri-state diminui a velocidade de chaveamento quando se compara com outras configurações TTL.

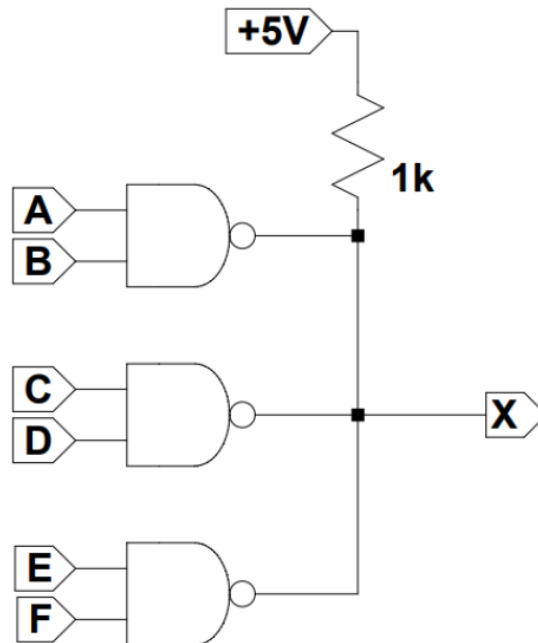
[3] A figura abaixo representa a ligação de duas portas lógicas TTL com saída totem-pole. Explique o que são saídas totem-pole e quais as desvantagens em conectar saídas de portas lógicas desse tipo, como mostrado na figura.



[4] Uma solução para o problema apresentado no exercício anterior é utilizar a porta lógica com saída em coletor aberto, com resistor pull-up.

- Represente abaixo uma saída de coletor aberto e explique brevemente seu funcionamento, comparando-a às saídas totem-pole.
- Qual a função do resistor de pull-up?

[5] Considerando que as portas lógicas abaixo possuem saídas em **coletor aberto**, responda:



- Esse tipo de conexão, em que todas as saídas são ligadas “juntas”, utilizando um resistor de pull-up, produz qual função lógica na saída X? Qual o nome dado a esse tipo de conexão?
- Qual a expressão booleana para a saída X, em função das entradas A, B, ..., F?

[6] Um circuito decodificador, também conhecido como gerador de produtos canônicos, é bastante utilizado quando há necessidade de fazer seleção de dados. A quantidade de bits de seleção é “proporcional” à quantidade de sinais/dados/canais que queremos utilizar no projeto. Dessa forma, se temos dois sinais (I_0 e I_1) na entrada e queremos fazer a seleção desses para a saída, devemos utilizar um bit de seleção (S_0) de modo que:

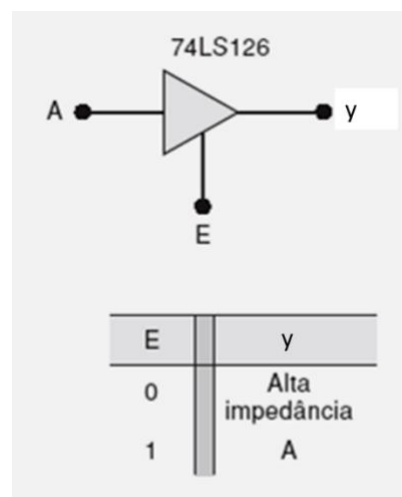
ENTRADAS		Seleção	Saída (X)
		S_0	
I_1	I_0	0	I_0
I_1	I_0	1	I_1

- Encontra a expressão da saída X em função de S_0 .
- Desenhe o circuito completo utilizando portas lógicas AND, OR e inversores. OBS: **NÃO** são tri-state.

- c) Monte a tabela verdade (análoga à do exemplo) para um circuito que contenha 4 entradas (I_0 , I_1 , I_2 e I_3) e, conseqüentemente, 2 bits de seleção (S_0 e S_1). Obtenha, também, a expressão da saída X;
- d) Desenhe o circuito completo referente ao item **c** utilizando portas lógicas AND, OR e inversores. OBS: **NÃO** são tri-state.
- e) Nos circuitos montados nos itens **b** e **d**, selecione/identifique a “parte” referente ao bloco decodificador (gerador de produtos canônicos).

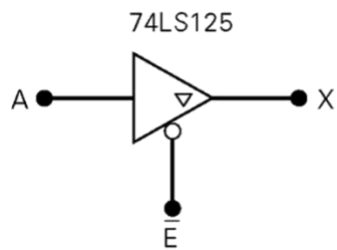
[7] As portas tri-state, em comparação com as demais, se caracterizam por possuírem um pino de **enable**. Dessa forma, quando a porta está habilitada, funciona normalmente, de forma idêntica a uma que não seja tri-state. No entanto, quando está desabilitada, não funciona e, mais ainda, produz uma saída de alta impedância. Sendo assim:

- a) Redesenhe o circuito obtido no exercício 2, letra b, substituindo as portas lógicas AND “da saída” (externas ao decodificador), por buffers tri-state **não inversores (tabela verdade abaixo)**.
- b) Redesenhe o circuito obtido no exercício 2, letra d, substituindo as portas lógicas AND “da saída” (externas ao decodificador), por buffers tri-state **não inversores (tabela verdade abaixo)**.



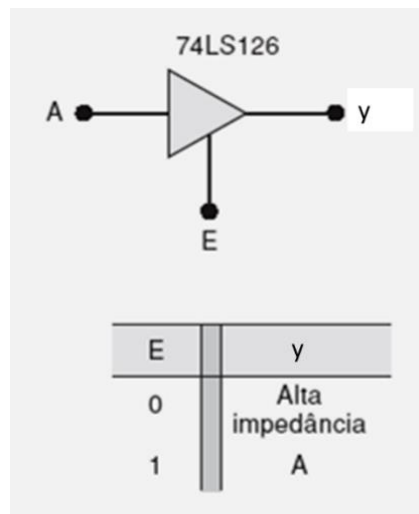
[8] Esquematize os seguintes hardwares com saídas tri-state:

- a) Utilize buffers tri-state **não inversores (tabela verdade abaixo)** e portas lógicas para criar um duto bidirecional.
- b) Utilize buffers tri-state **não inversores (tabela verdade abaixo)** e portas lógicas para criar três dutos bidirecionais, que podem ser todos desabilitados ao mesmo tempo. O bit de seleção D indica a direção. Um outro bit de habilitação, H, é responsável por ou habilitar o funcionamento de TODOS (H = 0) ou desabilitar o funcionamento de TODOS (H = 1).



\bar{E}	x
0	A
1	Alta impedância

[9] Considere três dispositivos de entrada da família TTL que devem ser conectados a um microprocessador de 4 bits (conforme Figura abaixo). A partir de portas tri-state (tabela verdade abaixo), esquematize o hardware de modo a garantir que não ocorra conflito na transmissão de dados. Utilize os sinais E1E0 para habilitar as saídas dos dispositivos, de modo que 11 habilite o contador, 10 habilite as chaves, 01 habilite o conversor A/D e 00 desabilite todos.



(Figura dos dispositivos na próxima página)

