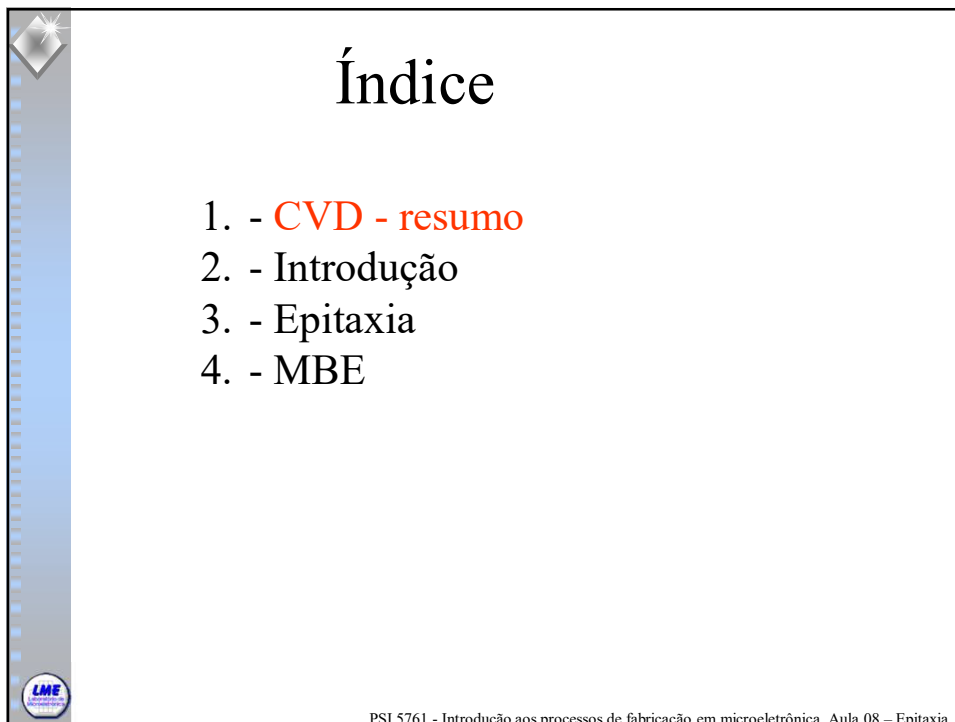


PSI-5761 Introdução aos Processos de
Fabricação em Microeletrônica

Laboratório de
Microeletrônica
Escola Politécnica
Universidade de São Paulo


Epitaxia

Fernando J. Fonseca sala C2-65
Roberto K. Onmori sala C2-70



Índice

1. - **CVD - resumo**
2. - Introdução
3. - Epitaxia
4. - MBE

 PSI 5761 - Introdução aos processos de fabricação em microeletrônica Aula 08 – Epitaxia 2

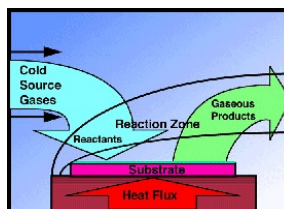
CVD Chemical Vapor Deposition

- Significado da palavra “CVD”
- Câmara de deposição – visão geral
- O gás ideal
- Teoria cinética dos gases
- O reator “plano”
- Transporte de massa:
 - Convecção e difusão
- Transporte de Calor
 - Mecanismo de transporte de calor
 - Condução, difusão, convecção e radiação

Reações químicas

- Volatilidade
- Seleção da deposição
- Formação do precursor
- “Step coverage”
- Reação homogênea e
- Reação heterogênea

Tipos de Reatores



PSI 5761 - Introdução aos processos de fabricação em microeletrônica Aula 08 – Epitaxia 3

Tabela I – Características e aplicações dos reatores CVD

Processo	Vantagens	Desvantagens	Aplicações
APCVD (baixa temperatura)	Reator simples rápida deposição, baixa temperatura	Camada de cobertura pobre de Contaminação de partículas	óxidos de baixa temperatura, ambos dopados ou não.
LPCVD	excelente pureza e uniformidade, camada de cobertura conformal, grande capacidade de área	alta temperatura, baixa taxa de deposição	óxidos de alta temperatura dopados ou não, nitretos de silício, poli-Si, W, WSi ₂ .
PECVD	baixa temperatura rápida deposição boa camada de cobertura	Contaminação (eg H ₂) e de partículas	baixa temperatura isolantes sobre o metal, passivação(nitretos)

PSI 5761 - Introdução aos processos de fabricação em microeletrônica Aula 08 – Epitaxia 4

Índice

1. - Resumo da aula anterior CVD
2. - Epitaxia
3. - MBE
4. - Onde usamos o CVD?
5. - O silício policristalino

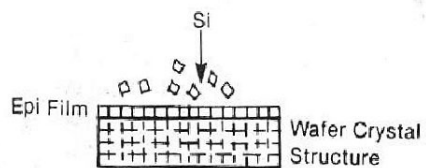
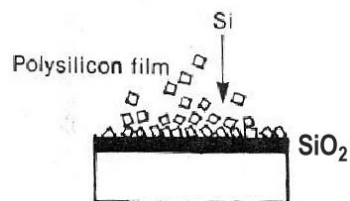


PSI 5761 - Introdução aos processos de fabricação em microeletrônica Aula 08 – Epitaxia 5

Epitaxia

Grego | epi → sobre
taxis → ordenado

Processos usados para depositar **camadas cristalinas** sobre **substratos cristalinos**



Substrato funciona como **semente**

Crescimento a temperaturas **abaixo do ponto de fusão**



PSI 5761 - Introdução aos processos de fabricação em microeletrônica Aula 08 – Epitaxia 6

Epitaxia - tipos

- Homo epitaxia – Si(n+)/Si(p)
- Heteroepitaxia – GaAs/Si, $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$

Maioria dos processos → CVD (fase vapor)

MBE utiliza evaporação (efusão)

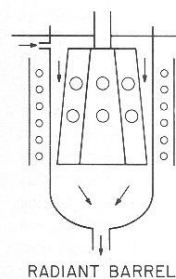
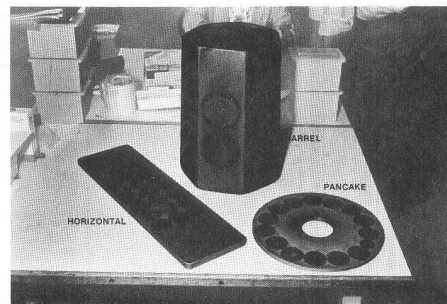
Camadas sem carbono e oxigênio

Regiões volumétricas homogeneamente dopadas

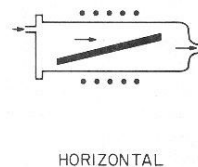
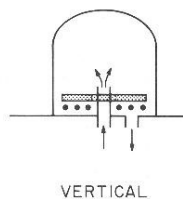


PSI 5761 - Introdução aos processos de fabricação em microeletrônica Aula 08 – Epitaxia 7

Epitaxia: reatores



→ GAS FLOW • RF HEATING ◦ RADIANT HEATING



PSI 5761 - Introdução aos processos de fabricação em microeletrônica Aula 08 – Epitaxia 8

Epitaxia: dopagem

- Níveis usuais: 10^{14} a 10^{18} at/cm³
- Uniformidade radial na resistividade $\pm 10\%$
- Variações dentro de uma corrida e de uma corrida para outra $\pm 20\%$
- Evita-se a dopagem da face posterior da lâmina com o uso de uma superfície com SiO₂ ou Si₃N₄

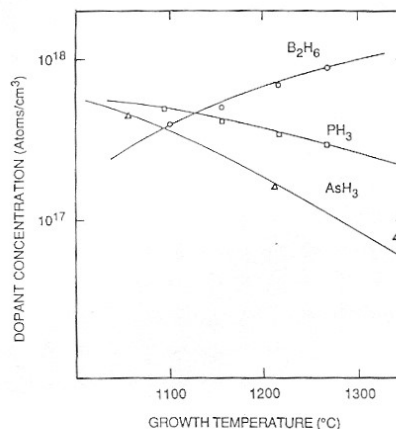


Fig. 21 Temperature dependence of doping.

Epitaxia: autodopagem

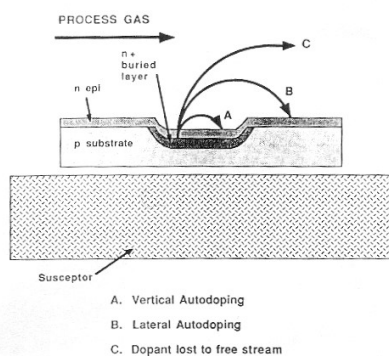
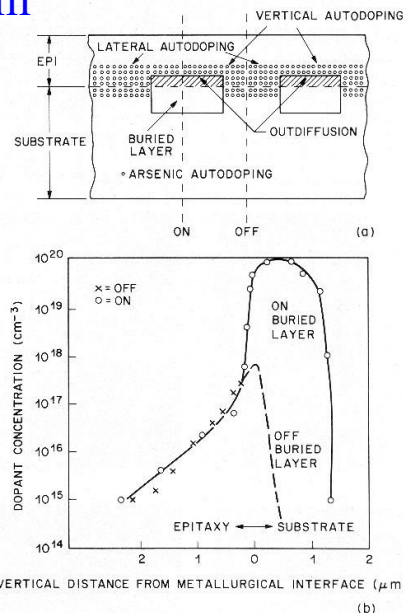


Fig. 22 Front surface autodoping source (schematic).

- Níveis usuais: 10^{14} a 10^{17} at/cm³



Cinética de crescimento

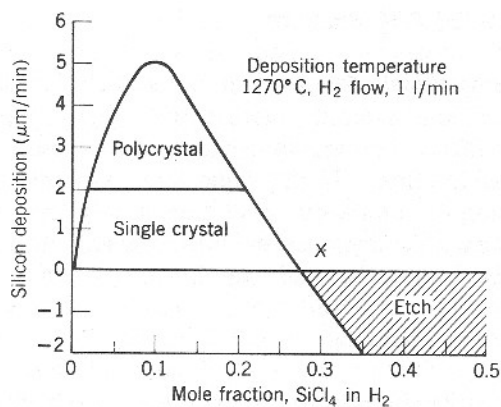
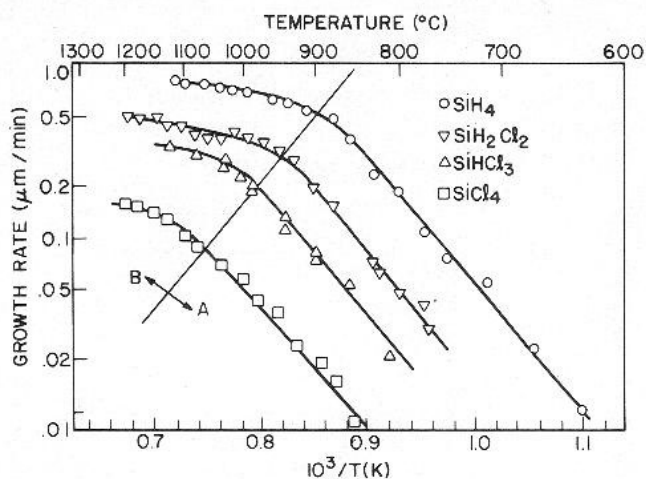


Fig. 5.7 Deposition rate for the SiCl_4 process.



Dependência com fonte de gases



Geração de defeitos

Cristalinidade da camada epitaxial nunca é superior à do substrato

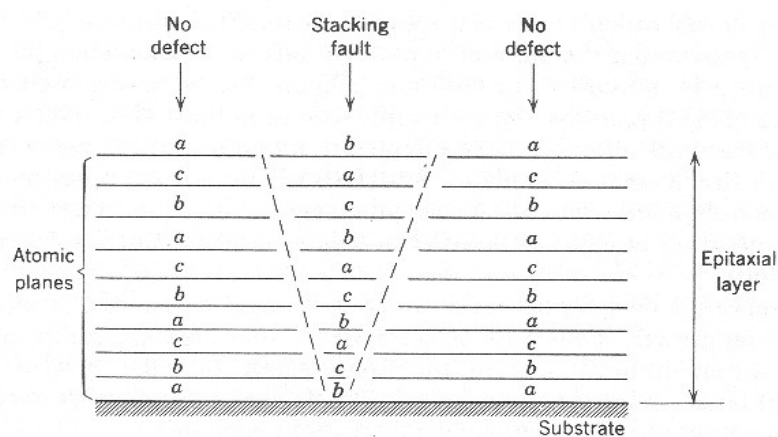
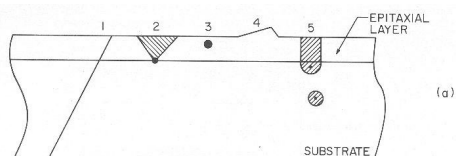


Fig. 5.12 Formation of a stacking fault.

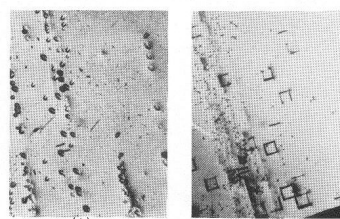
a 13

Geração de defeitos

- 1 – Deslocações
(substrato passa para camada)
- 2 – Stacking Fault por
nucleação de impureza
- 3 – Precipitado de impureza
- 4 - Hillock
- 5 – Bulk Stacking Fault

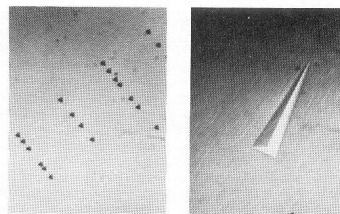


(a)



(1)

(2)



(3)

(4)

(b)

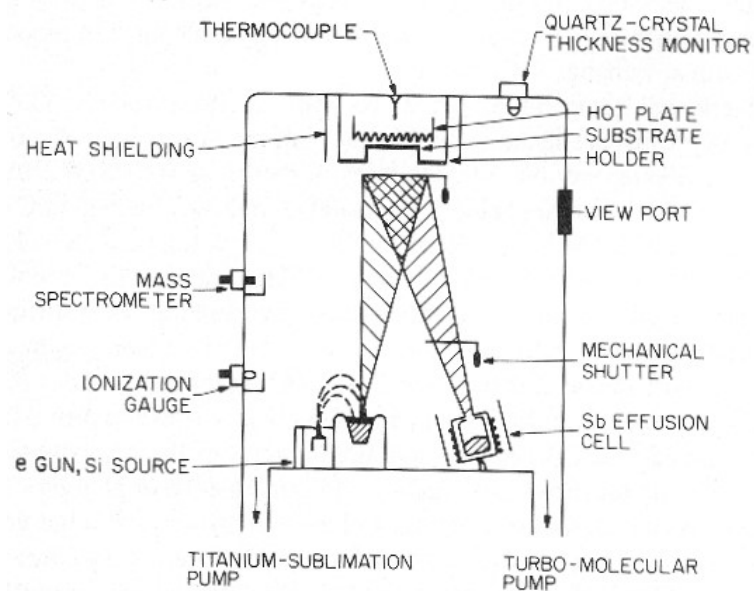
Índice

1. - Resumo
2. - Epitaxia
3. - **MBE**
4. - Onde usamos o CVD?
5. - O silício policristalino

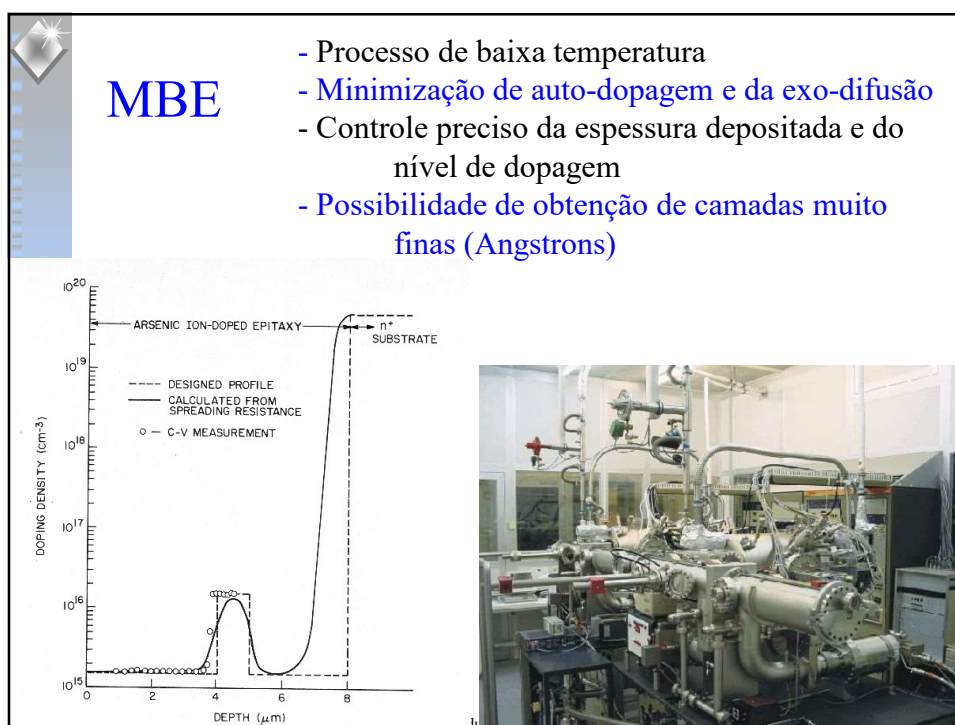
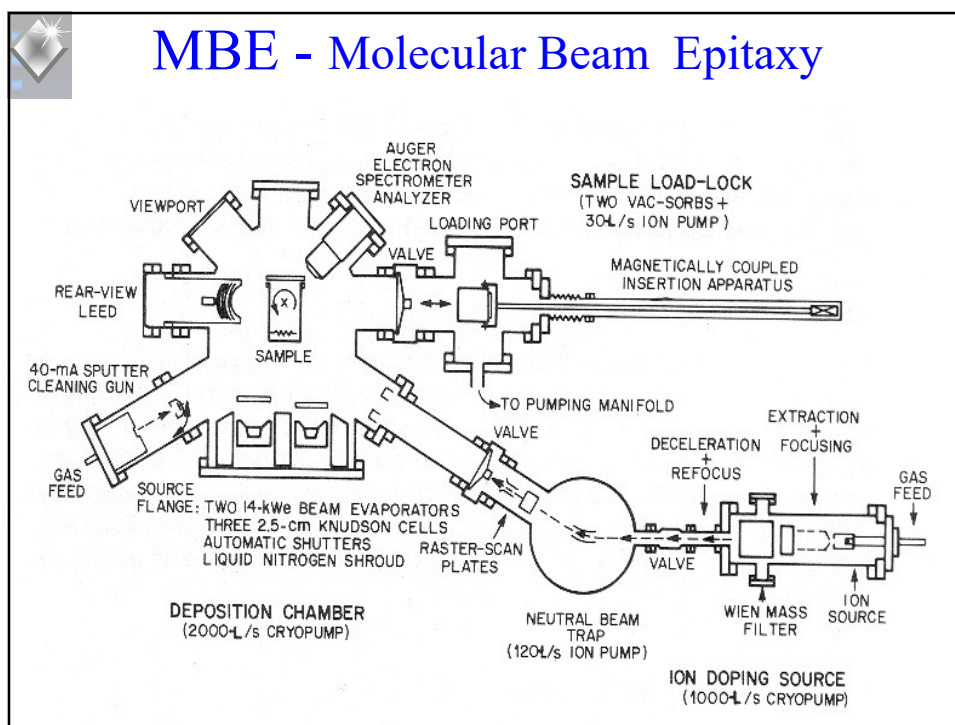


PSI 5761 - Introdução aos processos de fabricação em microeletrônica Aula 08 - Epitaxia 15

MBE - Molecular Beam Epitaxy



PSI 5761 - Introdução aos processos de fabricação em microeletrônica Aula 08 - Epitaxia 16



Índice

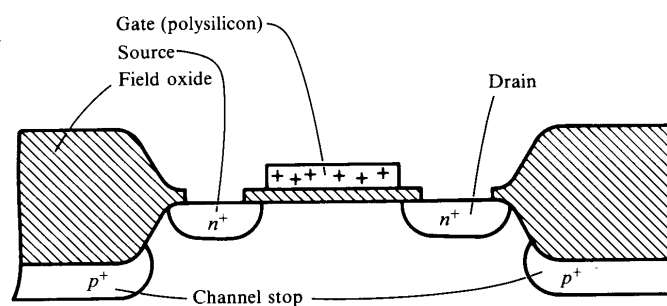
1. - Resumo da aula anterior
2. - Epitaxia
3. - MBE
4. - Onde usamos o CVD?
5. - O silício policristalino



PSI 5761 - Introdução aos processos de fabricação em microeletrônica Aula 08 - Epitaxia 19

Onde usamos a Epitaxia?

Exemplo: - Construção de um Transistor NMOS

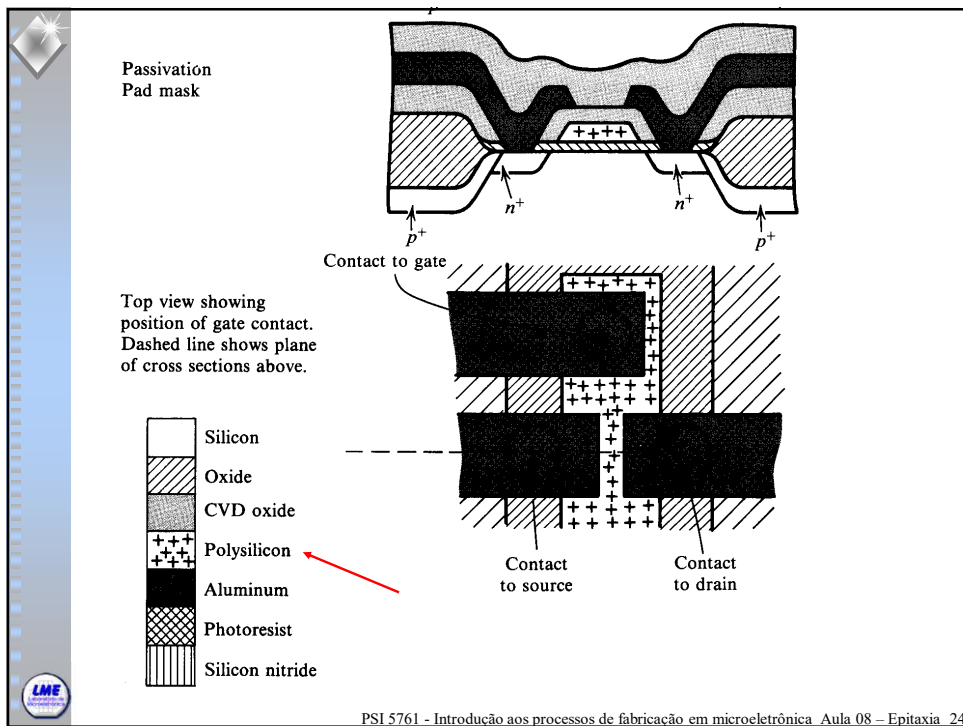
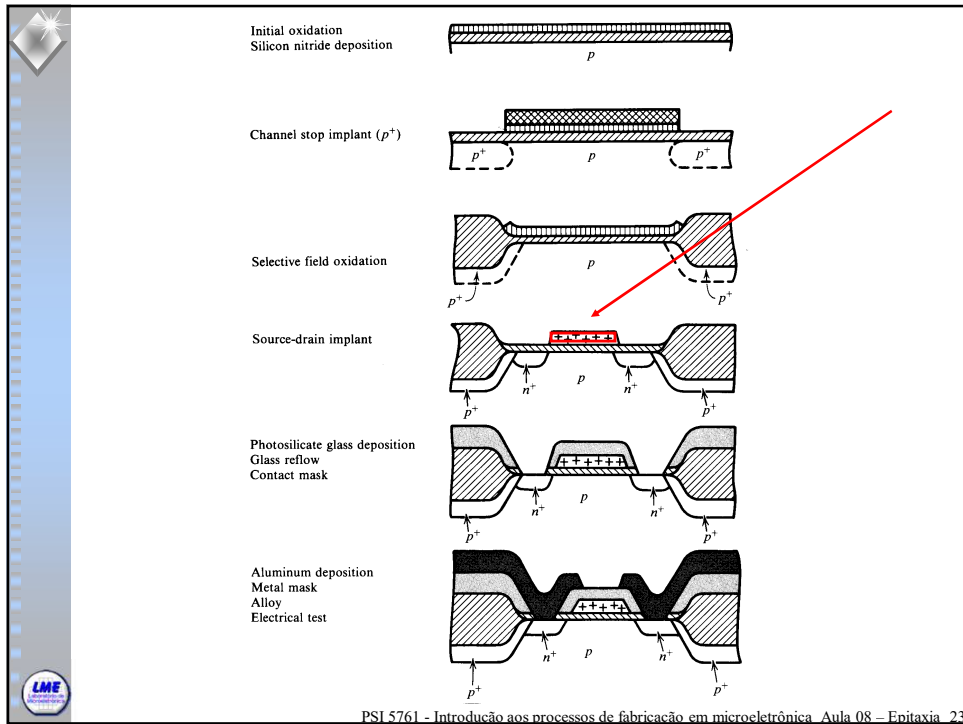


PSI 5761 - Introdução aos processos de fabricação em microeletrônica Aula 08 - Epitaxia 20

Table 11-1 A process sequence for fabrication of an n-channel MOS integrated circuit

Structure/step	Process	Purpose/considerations	Related parameters	
			In-process	Completed device
Substrate	p-type		Resistivity	
Isolation				
Initial oxidation	Thermal oxidation	Noncritical. Provides silicon protection, etch stop for nitride, etc.	Thickness	
Nitride deposition	CVD	Mask material for selective field oxidation	Thickness, integrity	
Field mask	Lithography/etch (nitride). Resist not stripped.	Patterns nitride and provides resist masking for field implant		
Field implant	Ion implant, p^+	Implants area where field oxide will be grown to prevent channel formation.	Resistivity	V_T (field)
Strip resist	Strip resist	Removes field mask resist		
Field oxidation	Selective oxidation	Grows thick field oxide except where nitride protects the surface	Thickness	V_T (field)
Gate fabrication				
Gate oxidation	Thermal oxidation	Grow gate oxide		$V_T, \Delta V_n$
Polysilicon deposition	CVD	Provide material for polysilicon gate	Thickness	Gate resistance
Polysilicon doping	Diffusion (n^+) growth	Phosphorus-dope polysilicon to reduce resistivity	Resistivity, thickness	Gate resistance
Polysilicon gate mask	Lithography/etch (polysilicon)	Determines gate width and thus channel length	Dimension	$L (V_T, I)$

Source/Drain				
Source/drain implant	Ion implant (p^+)	Defines source/drain using gate and isolation as implant masks	Dose	
Source/drain anneal/diffusion	Diffusion or anneal	Anneal implant, diffuse dopant as desired to final location	L (effective)	$L (V_T, I)$
Glass/Contact				
Phosphosilicate glass deposition	CVD	Protect gate region from alkali metal contamination	Thickness, % phosphorus	V_T stability
Glass reflow	Furnace heat treatment	Smooths glass for improved step coverage		
Contact mask	Lithography/etch (glass/oxide)	Opens contacts in glass to gate, source, drain, etc.	Dimension, alignment	Shorts, opens
Metallization				
Aluminum deposition	Sputter	Deposits metal for conductors. Al/Si alloy used to reduce pitting.	Thickness	
Metal mask	Lithography/etch (aluminum)	Patterns conductors	Dimension, alignment	Shorts, opens
Alloy	Furnace heat treatment	Forms Al-Si alloy for good contact		$R(\text{contact})$
Electrical test	Parametric test	Identify process deviations		
Passivation				
Passivation deposition	CVD (e.g., doped silicon dioxide)	Good integrity against moisture, alkalis, mechanical damage	Thickness, composition	
Pad mask	Lithography/etch (CVD layer)	Cut holes in passivation for attachment of package leads	Observe etch completeness	No contact



Processo CVD

Técnicas de Deposição de Películas CVD atmosférico,
LPCVD (à pressão reduzida),
PECVD (assistido por plasma)

Películas de: Silício policristalino (dopado posteriormente por II ou difusão)
Dióxido de silício (PSG, BPSG, intrínseco ou dopado)
Nitreto de silício

Características: + uniformidade em espessura
(desejáveis) + estrutura e composição controlados
e reprodutíveis



Índice

1. - Resumo da aula anterior
2. - Epitaxia
3. - MBE
4. - Onde usamos o CVD?
5. - O silício policristalino



1 - Silício Policristalino obtido por Epitaxia

- Quando dopado é usado como contato de gate ou interconexões em dispositivos MOS
- Suporta altas temperaturas
- Excelente interface com SiO_2 (baixa densidade de estados de interface)
- Boa conformidade
- Utilizado em multiníveis de interconexão
- pode ser oxidado
- Pode se depositar SiO_2 sobre o Si-poli
- Quando dopado pode ter excelente condutividade elétrica
- Levemente dopado pode ter excelente resistividade elétrica

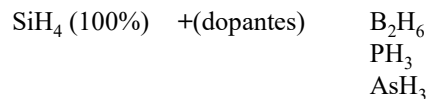
Usos em VLSI:

- eletrodo de porta em estruturas MOS
- resistores de valor elevado
- fontes de difusão para junções rasas
- material condutor em metalização multinível
- importante para assegurar contato ôhmico com silício cristalino



PSI 5761 - Introdução aos processos de fabricação em microeletrônica Aula 08 – Epitaxia 27

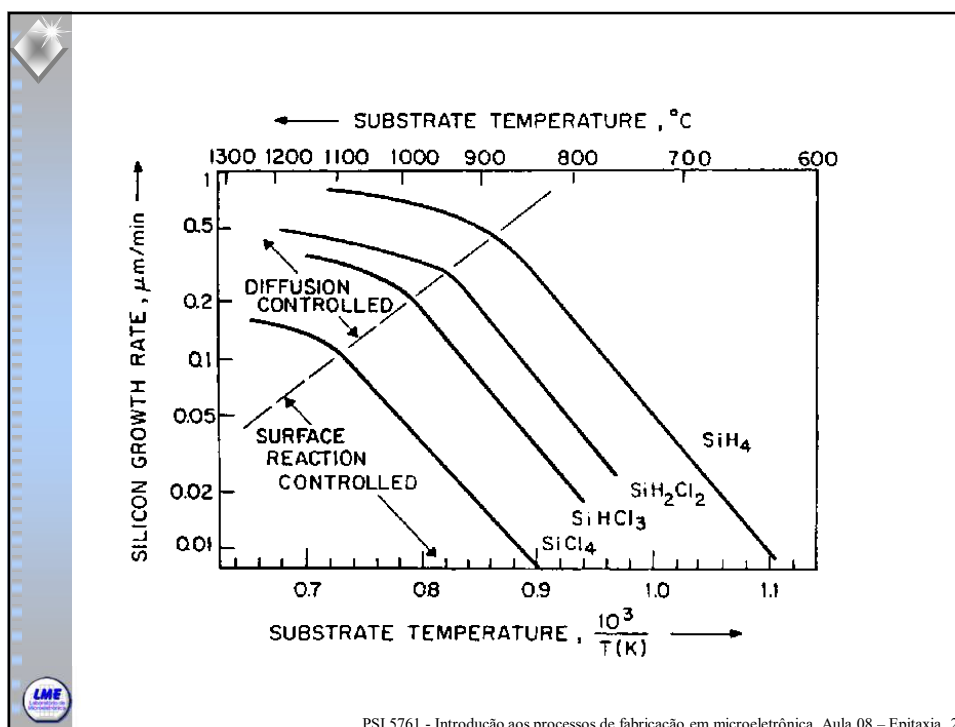
- grão da ordem de 1000 \AA
- suas propriedades elétricas dependem basicamente:
 - estrutura policristalina
 - dopagem
- É geralmente obtido pela decomposição térmica da SiH_4 ($550 - 650^\circ \text{C}$)
 - acima de $650^\circ \Rightarrow$ baixa aderência (taxa de deposição elevada)
 - abaixo de $550^\circ \text{C} \Rightarrow$ baixa taxa de deposição e é amorfo



- Dopagem - Difusão ($900 - 1000^\circ \text{C}$)
 - in-situ (com os gases dopantes)
- taxas de deposição ~ 100 a $200 \text{ \AA} / \text{min}$
- uniformidade $\sim 5\%$ na espessura



PSI 5761 - Introdução aos processos de fabricação em microeletrônica Aula 08 – Epitaxia 28



PSI 5761 - Introdução aos processos de fabricação em microeletrônica Aula 08 – Epitaxia 29

Estrutura do Si-Poli

Dependente de:

- Presença de dopantes/ impurezas (O, N, C)
- Temperatura de deposição
- Ciclos de recozimento térmico

Si-Poli depositado $< 575^\circ C$ - amorfo

Depositado $> 625^\circ C$ - policristalino com estrutura colunas

Recozimento a $700^\circ C$ ou mais

- formação de grãos cristalinos - cristalização

Si-Poli contendo (O, N, C) resiste à cristalização até $\sim 1000^\circ C$,
e contendo As - $900^\circ C$

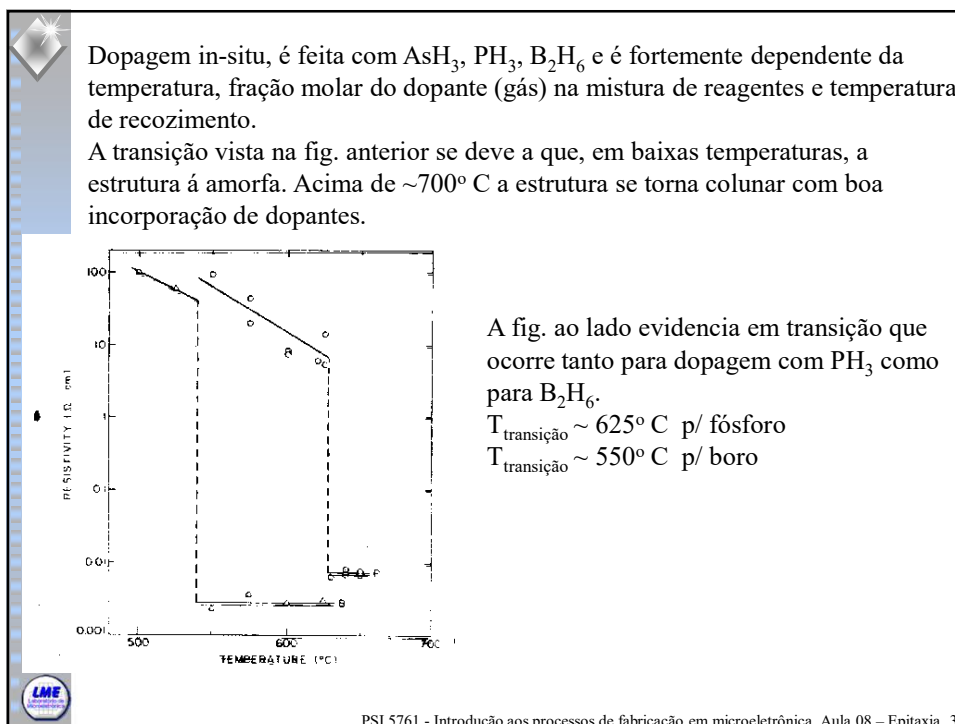
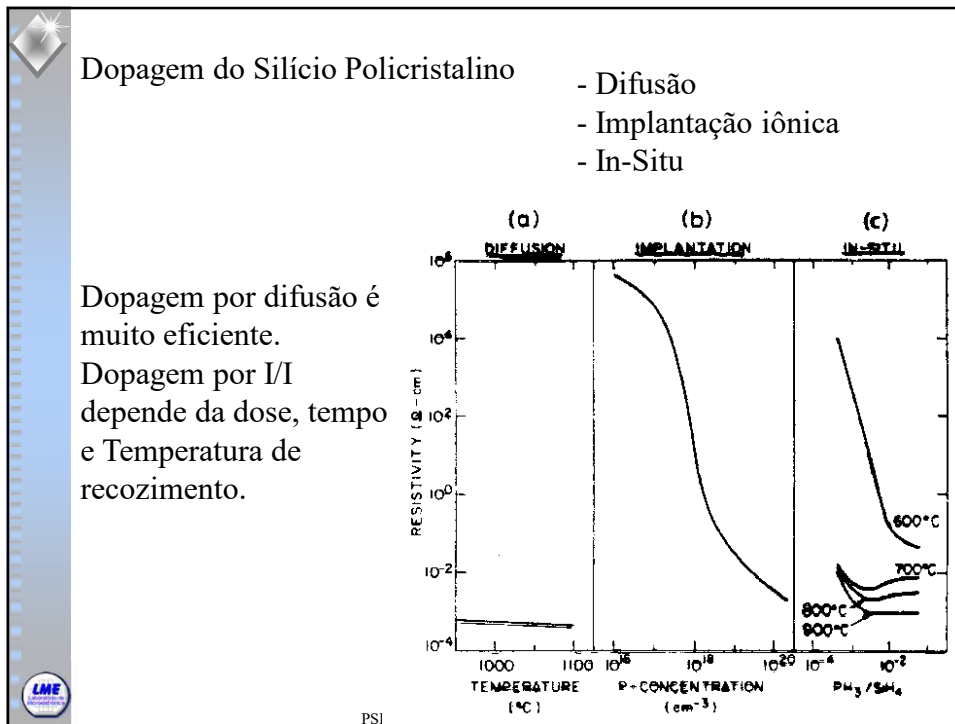
Recozimento a $600\sim 650^\circ C$ - orientação $\langle 110 \rangle$ (grãos)

Acima de $650^\circ C$ - predomina $\langle 100 \rangle$

mas há grãos de $\langle 111 \rangle$, $\langle 311 \rangle$ e $\langle 331 \rangle$

Tamanho de grão 0,5 μm a 1 μm

PSI 5761 - Introdução aos processos de fabricação em microeletrônica Aula 08 – Epitaxia 30





Tema de artigo:

Tema da apresentação: comparação de filmes de Si-Poli feitos por Epitaxia por CVD e Epitaxia por MBE

Fazer uma apresentação comparando os dois métodos de deposição.

Comparar quaisquer características:

- Taxa de deposição;
- Nível de defeitos;
- Tipos de defeitos;
- Espessura máxima e mínima;
- Nível de dopagem,
- etc.

