

Conceitos de Comunicação Serial Assíncrona

Versão 2020

1. Comunicação Serial Assíncrona

Uma comunicação é chamada de **serial** quando o envio dos códigos dos caracteres se processa sobre uma única linha, onde os *bits* enviados são encadeados um por vez, e numa fila. Essa comunicação é **assíncrona** quando não exige o sincronismo dos relógios entre o receptor e o transmissor, ou seja, cada caractere carrega seus próprios sinais de sincronismo.

1.1. Normas EIA-RS-232¹

As normas EIA (*Electronic Industries Alliance*) são adotadas pelos fabricantes de equipamentos para eliminar possíveis discrepâncias na interligação dos mesmos, e auxiliar o usuário na escolha e instalação dos equipamentos. Em particular, a norma EIA-RS-232C² tem por objetivo padronizar um método de interconexão entre terminais e canais de comunicação de dados, quando os mesmos são fornecidos por fabricantes distintos. Ela define um modo de troca de sinais de controle (protocolo) e de sinais de dados serializados entre o terminal e o canal de comunicação de dados.

O canal de transmissão de dados inclui os conversores de sinais e a linha de transmissão; os conversores são utilizados para compatibilizar os níveis dos sinais recebidos e transmitidos para a linha de transmissão com a norma em questão; as normas elétricas destes sinais são descritas mais adiante.

O terminal de dados, entretanto, deve providenciar a serialização dos dados, para que o projeto do canal de transmissão seja independente do comprimento e da codificação dos mesmos. A Figura 1 mostra os sinais típicos em uma interligação entre dois terminais por meio de um canal de transmissão de dados, utilizando os critérios apresentados por esta norma.

a) Sinais de Intercomunicação

Neste item são descritas as funções dos principais sinais de intercomunicação padronizados pela norma EIA-RS-232C.

- **FRAME GROUND:** corresponde ao fio terra dos equipamentos. É ligado à carcaça metálica do equipamento e nas partes condutoras do mesmo, expostas ao operador, de modo a evitar diferenças de potencial entre o equipamento e o operador;
- **SIGNAL GROUND:** estabelece a referência elétrica (terra) para todos os sinais de intercomunicação, exceto para o FRAME GROUND;
- **TRANSMITTED DATA:** corresponde ao dado serializado, gerado pelo terminal de dados;
- **RECEIVED DATA:** corresponde ao dado serializado recebido do canal de comunicação de dados;
- **REQUEST TO SEND:** gerado pelo terminal de dados, informa aos conversores de sinais a ele conectados, que o terminal deseja transmitir dados.
- **CLEAR TO SEND:** gerado nos circuitos dos conversores de sinais, é utilizado para indicar que os circuitos estão prontos para enviar dados.

Todos estes sinais e os possíveis opcionais devem obedecer às características elétricas relacionadas no item 1.2.

¹ O padrão EIA RS-232 também é conhecido como EIA 232 ou, mais recentemente, TIA 232. TIA é uma abreviatura de "Telecommunications Industry Association".

² A revisão C do padrão EIA RS-232 é conhecido como RS-232C e foi elaborada em 1969. Atualmente, a última revisão é o ANSI/EIA/TIA 232 F de 1997.

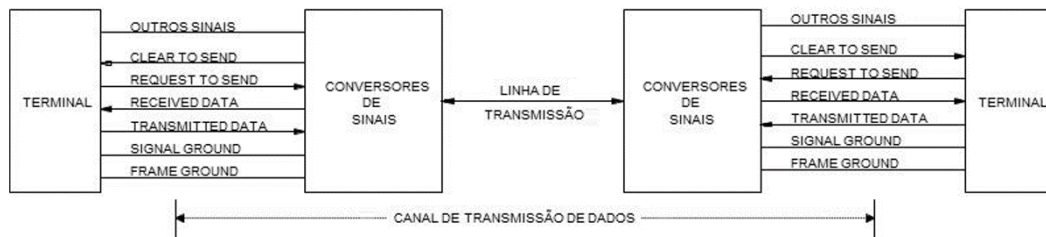


Figura 1 – Interligação entre dois Terminais de Dados.

b) Características Elétricas dos Sinais

O ponto de interconexão entre o terminal de dados e o canal de transmissão deve ser feito por meio de conectores, onde o conector fêmea deve estar associado ao canal de transmissão de dados e fixado próximo do terminal de dados. O conector macho, associado ao terminal de dados, deve ser acoplado a um cabo, que deve ser o menor possível (menor que 15 metros).

A norma ainda especifica que a amplitude de nenhum sinal deve exceder 50V em relação aos sinais SIGNAL GROUND ou FRAME GROUND e que a máxima corrente de curto-circuito entre dois sinais quaisquer, inclusive os sinais de terra, não deve exceder 1,5 A.

Os circuitos que geram os sinais de interligação devem ser projetados de forma a não apresentarem nenhum dano no caso desses sinais sofrerem algum curto-circuito com os terras presentes no equipamento ou permanecerem em aberto. Também deve ser possível seu funcionamento contínuo nas condições máximas especificadas anteriormente.

Os sinais nos circuitos de interligação podem estar nas condições ON ou MARK, quando a tensão nesses sinais for mais negativa que -3 V em relação à terra de sinal, e OFF ou SPACE, quando a tensão nesses sinais for maior que +3V em relação à terra de sinal. Geralmente, deve-se usar a nomenclatura MARK/SPACE para os sinais TRANSMITTED DATA e RECEIVED DATA e ON/OFF para os demais.

Os circuitos de recepção de sinais devem ser projetados de modo a serem acionados apenas por tensão ficando, portanto, insensíveis a parâmetros como Tempos de Subida, Tempos de Descida, existência de *overshoots* ou *undershoots* e etc.

A impedância de entrada nos circuitos de recepção deve ter uma resistência, em regime DC, maior que 1000 Ω , tensão em circuito aberto menor que 2 V e capacitância menor que 2500 pF, medidas nos pinos do conector de acoplamento.

A seguir, apresentam-se as características elétricas que os sinais de interligação devem apresentar:

- a) a tensão dos sinais deve ser pelo menos $\pm 3V$ em relação à terra de sinais e não exceder $\pm 25V$, também com respeito à terra de sinais;
- b) a forma de onda dos sinais deve ser aproximadamente retangular;
- c) para se evitar indução de ruídos nos circuitos de interligação, não devem ser utilizados *drives* indutivos.

Esta técnica de transmissão de sinal digital por nível de tensão é denominada de "Loop de tensão".

A transmissão digital também pode ser efetuada por níveis de corrente. Esta técnica é denominada de "loop de corrente". Os valores padrões são:

- MARK ou ON: 60 mA (ou 20mA);
- SPACE ou OFF: 0 mA.

A comunicação por *loop* de corrente é mais imune a ruído que a comunicação por níveis de tensão, e suas interfaces transmissoras e receptoras são da mesma complexidade.

c) Interface Mecânica

Como qualquer outro padrão, o RS-232C é uma referência para projetistas de equipamentos. Assim define entre outras coisas as interfaces mecânicas ou conectores. A Figura 2 ilustra alguns conectores padrão existentes.

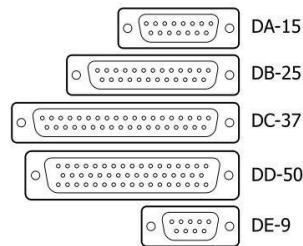


Figura 2 – Alguns conectores – interface mecânica.

A Tabela I apresenta a designação dos sinais do RS-232C aos pinos dos conectores DB-25 e DE-9.

Tabela I – Designação de alguns sinais do RS-232C aos pinos de conectores.

Sinal	DB-25	DE-9
Common Ground (CG)	7	5
Transmitted Data (TxD)	2	3
Received Data (RxD)	3	2
Data Terminal Ready (DTR)	20	4
Data Set Ready (DSR)	6	6
Request To Send (RTS)	4	7
Clear To Send (CTS)	5	8
Carrier Detect (DCD)	8	1
Ring Indicator (RI)	22	9

d) UART

Um UART (*Universal Asynchronous Receiver/Transmitter* ou transmissor/receptor assíncrono universal) é um dispositivo responsável pela comunicação de dados (paralelos) em um meio de transmissão serial. Sua principal função é converter dados entre as formas paralela e serial. Os UARTs normalmente são usados com os padrões de comunicação serial, como RS-232C, RS-422 e RS-485.

Nos computadores pessoais, as placas-mãe incorporam um circuito integrado UART para comunicação pelas portas seriais. Um exemplo de UART é o National Semiconductor PC16650D, que alcança taxas de até 1,5M *bauds*.

1.2. Transmissão Serial Assíncrona

A comunicação com o terminal serial é realizada com protocolo assíncrono como mostrado na Figura 3, com notação MARK (1) e SPACE (0).

Em estado de repouso, o canal de comunicação apresenta o sinal MARK. O início da transmissão é sinalizado pelo START BIT, através de um sinal SPACE. Em seguida, são transmitidos os *bits* de dados (iniciando com o *bit* menos significativo), o *bit* de paridade e os STOP BITS.

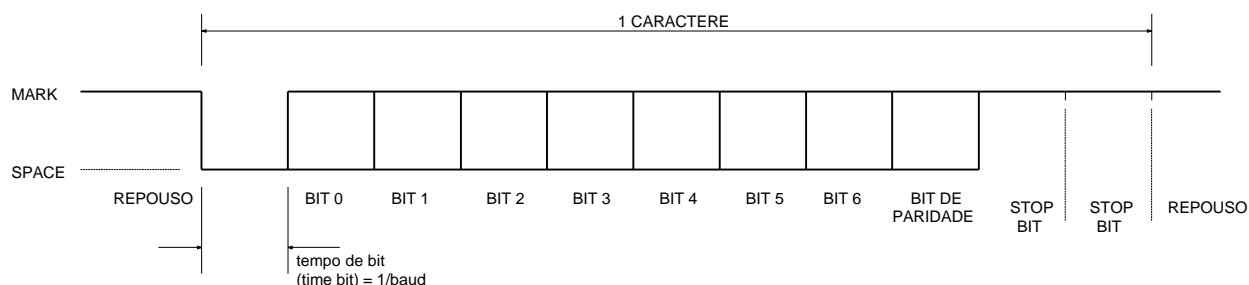


Figura 3 – Protocolo Serial Assíncrono (MARK e SPACE).

A velocidade de comunicação é definida em *bauds*, que, em um sistema de transmissão de dados binários, representam o número de *bits* transmitidos por segundo.

Os níveis de tensão utilizados tipicamente para os níveis MARK e SPACE são -12 V e +12 V, respectivamente. A Figura 4 mostra como o caractere '5', cujo código em ASCII é dado pela palavra $(0110101)_2$, é enviado para um terminal serial.

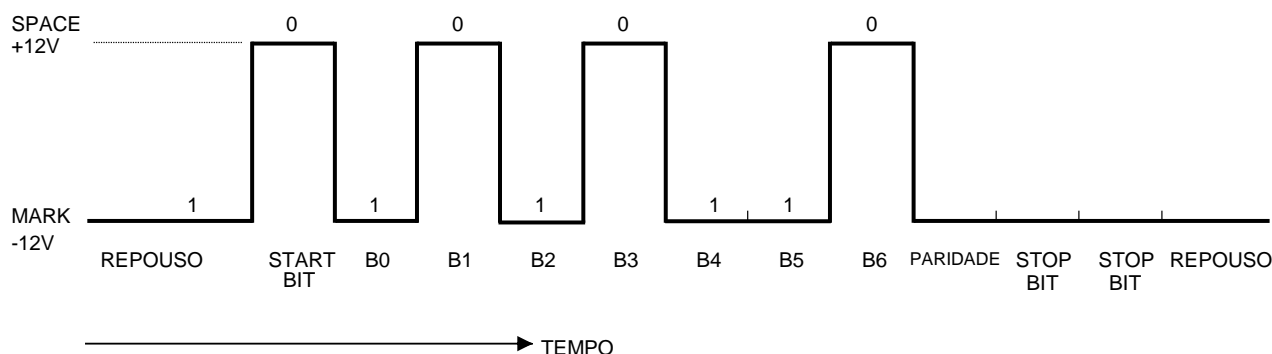


Figura 4 – Formato da saída serial da palavra $(0110101)_2$.

O circuito de transmissão deve incluir ao menos um registrador de deslocamento com entrada paralela e saída serial. Pode também conter um contador para acompanhar o número de *bits* transmitidos.

Um aspecto importante no projeto de um transmissor serial assíncrono diz respeito ao sincronismo do *clock* interno do circuito e a transmissão dos *bits* pelo canal serial: cada *bit* transmitido deve seguir um intervalo de tempo específico, ou seja, um *bit* deve ser transmitido a cada $1/\textit{baud}$ segundos. Ao término da transmissão, o canal serial deve retornar para o repouso, ou seja, para o sinal MARK. Este sincronismo pode ser facilmente obtido se a frequência de operação (*clock*) do circuito for o mesmo da taxa de transmissão, ou seja, cada *bit* é transmitido a cada borda do *clock*.

Caso a frequência de *clock* for superior à taxa de transmissão, o circuito deve incluir uma lógica que controla o intervalo de transmissão de cada *bit* serial. Um componente adicional deve ser incluído para gerar um sinal de controle para determinar o instante em que deve ser iniciada a transmissão de um novo *bit* pelo circuito de transmissão serial. Este sinal é conhecido como *tick*, em referência ao som do mecanismo de um relógio mecânico com engrenagens internas. Este sinal *tick* deve ter período dado pela taxa de transmissão dos dados seriais (tempo de *bit*) e largura de pulso igual ao período do sinal de *clock*. A figura 5 ilustra a relação temporal dos principais sinais do circuito para a transmissão.

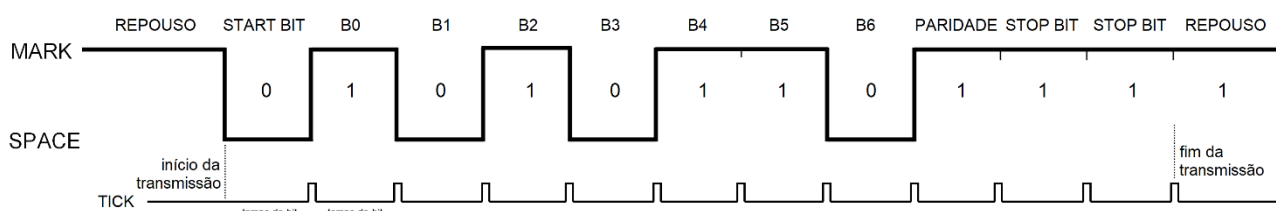


Figura 5 – Principais sinais na transmissão serial assíncrona.

1.3. Recepção Serial Assíncrona

Os sinais enviados pelo terminal serial têm a mesma forma daqueles recebidos pelo terminal. Portanto, o circuito de recepção de dados deve detectar o início da transmissão com a detecção do pulso do START BIT e, a partir desse ponto, por meio de um registrador de deslocamento, copiar o dado em código ASCII e o *bit* de paridade.

Como o início da operação do terminal certamente é assíncrono com relação ao relógio do circuito de recepção, deve-se tentar sincronizar, o melhor possível, a entrada de dados detectada pelo pulso do START BIT. O circuito de recepção deve tentar amostrar o dado de entrada no meio do intervalo do *bit*, ou seja, $\frac{1}{2} \times (1/\text{baud})$ após o início da transmissão do *bit*. A figura 6 apresenta os pontos de amostragem em relação aos *bits* na forma de onda da transmissão serial.

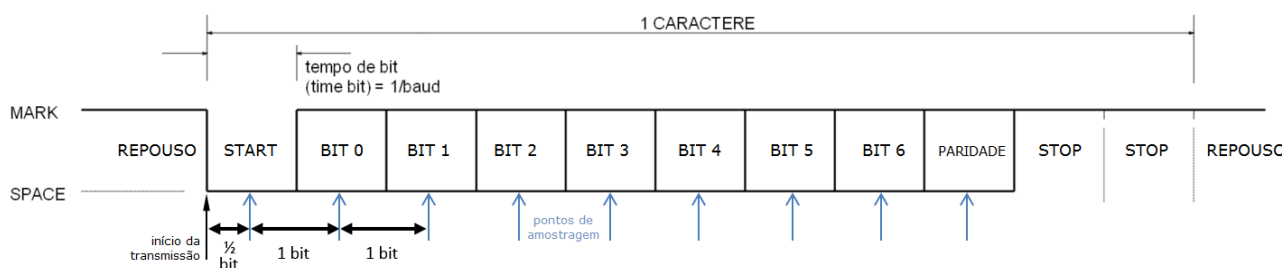


Figura 6 – Ilustração dos pontos de amostragem dos bits.

Como o circuito interno do terminal serial e o circuito de recepção serial são distintos, seus respectivos circuitos de relógio (*clock*) não devem estar sincronizados entre si. Desta forma, o projeto deve levar em consideração o aspecto da sincronização do sinal serial recebido pelo circuito de recepção.

Uma sugestão para realizar esse sincronismo é utilizar um sinal de frequência algumas vezes mais alta que aquela necessária no registrador de deslocamento, para gerar o *sinal de controle* desse registrador. Esta estratégia é denominada **superamostragem**.

A figura 7 ilustra os principais sinais do circuito de recepção serial. Após a detecção do início da transmissão serial vinda do terminal, o primeiro pulso de *tick* deve sinalizar o momento adequado para a amostragem do *start bit* após um intervalo de tempo igual à metade do tempo de *bit* ($\frac{1}{2}$ tempo de *bit* = $\frac{1}{2}$ *baud*). Os outros pulsos do sinal *tick* devem ocorrer em seguida após um tempo de *bit*, até a recepção do *stop bit* final.

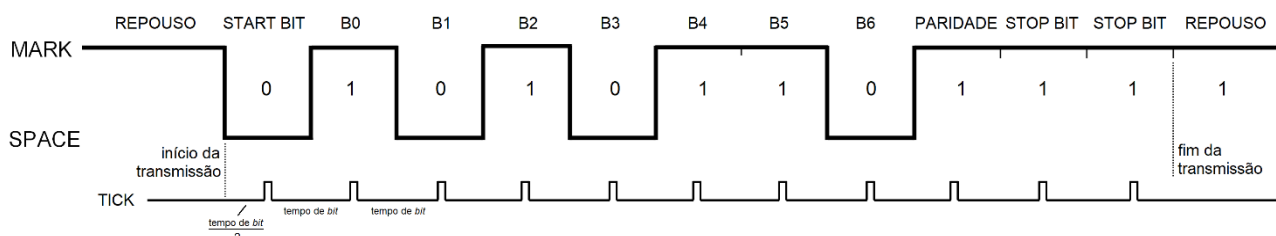


Figura 7 – Principais sinais na recepção serial assíncrona.

A unidade de controle do circuito de recepção serial assíncrona deve ser desenvolvida assumindo que a frequência do sinal de *clock* tem um valor muito superior à taxa da comunicação serial. Para sinalizar os momentos corretos para amostragem dos *bits* dos dados seriais, um componente específico deve gerar os pulsos de *tick* de recepção, conforme temporização apresentada na Figura 7.

Para ilustrar uma possível organização do circuito digital de recepção serial assíncrona, a figura 8 mostra uma carta de tempos com alguns sinais de controle de componentes internos do fluxo de dados gerados pela unidade de controle. Repare no sinal de controle *desloca* usado pelo registrador de deslocamento do fluxo de dados para o armazenamento do dado serial.

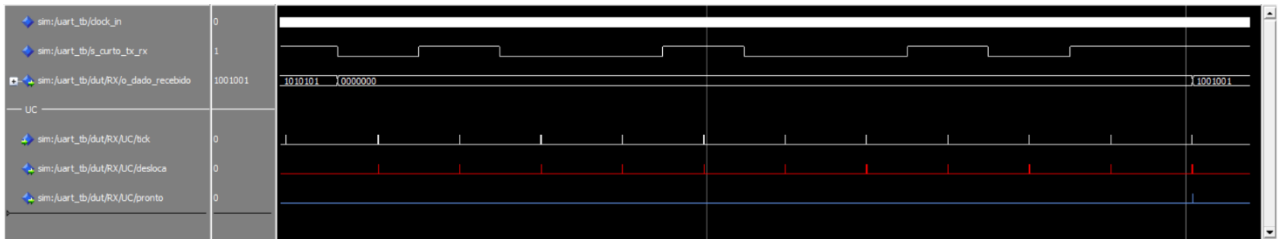


Figura 8 – Carta de tempos ilustrativo para o circuito de recepção serial.

A figura 9 detalha a ocorrência do sinal de controle *desloca*: após a sinalização do momento de amostragem do sinal serial pelo pulso de *tick*, a unidade de controle gera o sinal de controle na próxima borda de *clock*.

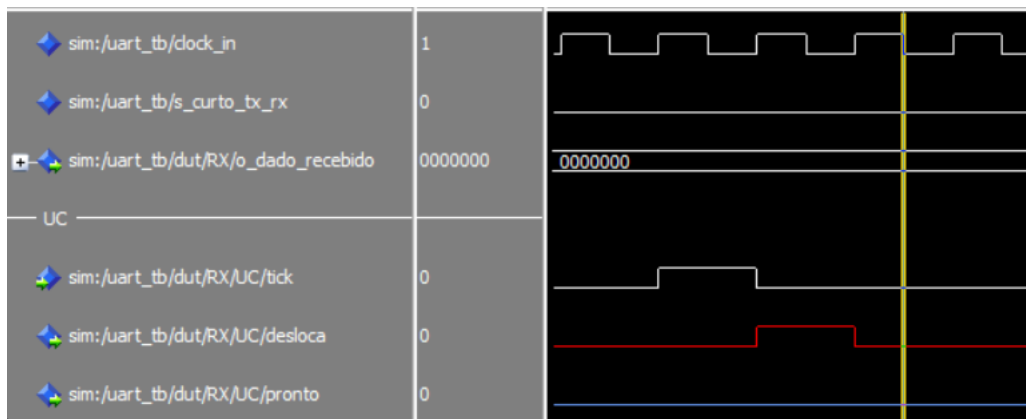


Figura 9 – Detalhamento dos sinais *tick* e *desloca*.

O diagrama de transição de estados da unidade de controle deve aguardar o pulso de *tick* em um estado de espera. A detecção do pulso de *tick* faz a unidade de controle mudar de estado, onde é gerado o sinal de controle *desloca* do registrador de deslocamento.

2. Código ASCII

O código ASCII é um código padronizado, utilizado para a representação dos caracteres alfanuméricos na área de computação digital. Possui 7 bits de informação e, eventualmente, um bit de paridade; com esses 7 bits são codificadas as letras maiúsculas e minúsculas, números decimais, sinais de pontuação e caracteres de controle. A Tabela II apresenta o código ASCII completo.

Tabela II – Tabela com Código ASCII.

Bits				b ₆	0	0	0	0	1	1	1	1
				b ₅	0	0	1	1	0	0	1	1
				b ₄	0	1	0	1	0	1	0	1
b ₃	b ₂	b ₁	b ₀									
0	0	0	0	NULL	DLE	SP	0	@	P	'	p	
0	0	0	1	SOH	DC1	!	1	A	Q	a	q	
0	0	1	0	STX	DC2	"	2	B	R	b	r	
0	0	1	1	ETX	DC3	#	3	C	S	c	s	
0	1	0	0	EDT	DC4	\$	4	D	T	d	t	
0	1	0	1	ENQ	NAK	%	5	E	U	e	u	
0	1	1	0	ACK	SYN	ε	6	F	V	f	v	
0	1	1	1	BEL	ETE	`	7	G	W	g	w	
1	0	0	0	BS	CAN	(8	H	X	h	x	
1	0	0	1	HT	EM)	9	I	Y	i	y	
1	0	1	0	LF	SUB	*	:	J	Z	j	z	
1	0	1	1	VT	ESC	+	;	K	[k	{	
1	1	0	0	FF	FS	,	<	L	\	l	:	
1	1	0	1	CR	GS	-	=	M]	m	}	
1	1	1	0	S0	RS	.	>	N	^	n	~	
1	1	1	1	S1	US	/	?	O	_	o	DEL	

Palavra

b ₆	b ₅	b ₄	b ₃	b ₂	b ₁	b ₀
----------------	----------------	----------------	----------------	----------------	----------------	----------------

O código ASCII foi desenvolvido para representar textos para computadores ou equipamentos de comunicação e seu primeiro padrão foi publicado em 1963. Mais recentemente, com a difusão do uso de computadores, novos padrões foram desenvolvidos para incorporar novos caracteres e símbolos. Uma evolução do código ASCII é o código UTF-8 (*UCS Transformation Format – 8-bit*).

3. Conversão de Níveis de Tensão

Como os padrões de nível de tensão para circuitos digitais (TTL ou CMOS) e para o RS-232C são diferentes, é necessário o uso de circuitos especializados para conversão de níveis de tensão. Por exemplo, o bit 1, que em um circuito digital tem um nível de tensão típico da ordem de +5V, deve ser convertido para um sinal MARK que tem tipicamente um nível de tensão de -12V. Da mesma forma, o bit 0 (tensão de 0V) deve ser convertido para o sinal SPACE (tensão +12V).

Vários componentes estão disponíveis no mercado para realizar a conversão de níveis de tensão. Por exemplo, temos o par 1488/1489 e o MAX232.

O componente 1488 é responsável pela conversão de níveis de tensão TTL para RS-232 e o 1489, de RS-232 para TTL. A figura 7 apresenta as pinagens destes componentes.

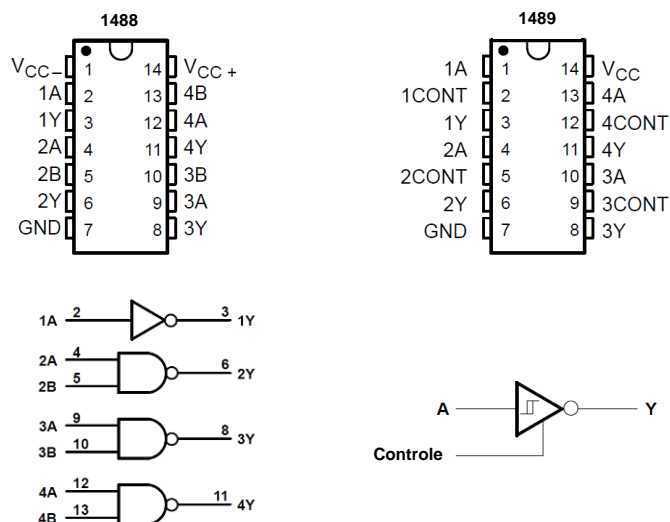


Figura 7 – Pinagens e esquemas lógicos dos conversores de tensão 1488 e 1489.

Convém observar que o conversor 1488 tem como pinos de alimentação: VCC+, VCC- e GND (tipicamente, +12V, -12V e 0V, respectivamente). Já o conversor 1489 tem os pinos comuns de alimentação: VCC (tipicamente +5V) e GND (0V).

O circuito integrado MAX232 contém circuitos de conversão de tensão para ambos os sentidos (TTL para RS232C e RS232C para TTL) em um único encapsulamento. A figura 8 mostra a pinagem deste CI.

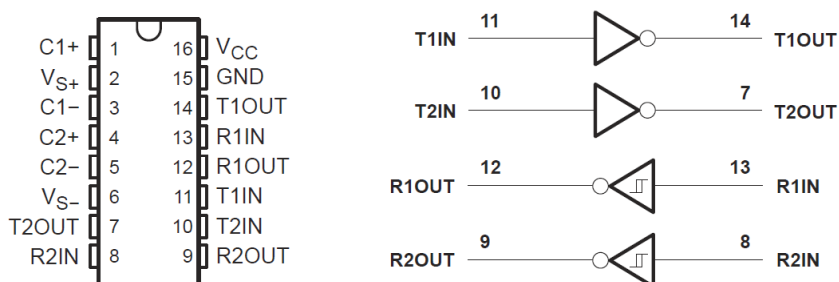


Figura 8 – Pinagem e esquema lógico do MAX232.

Uma versão do MAX232 que opera em outros níveis de tensão é o **MAX3232**, que permite a alimentação com 3,3V a 5V. Este circuito integrado é compatível pino a pino com o circuito original. A interface com a placa FPGA DE0-CV através dos pinos das GPIOs deve ser realizada usando este circuito integrado.

4. BIBLIOGRAFIA

- FREGNI, E.; SARAIVA, A. M. **Engenharia do Projeto Lógico Digital: Conceitos e Prática**. Editora Edgard Blücher, 1995.
- HELD, G. **Understanding Data Communications**. 6th ed., New Riders, 1999.
- CCITT - Fifth Plenary Assembly. Green Book. Vol. VIII, Geneve, December 1972
- Electronic Industries Association. **Interface Between Data Terminal Equipment and Data Communication Equipment Employing Serial Date Interchange EIA-RS-232-C**, Washington, August 1969.

Histórico de Revisões

E.S.G. e F.N.A/2001 – revisão
E.T.M./2004 – revisão
E.T.M./2005 – revisão
E.T.M./2008 – revisão
E.T.M./2011 – revisão
E.T.M./2012 – revisão
E.T.M./2013 – revisão da parte experimental
E.T.M./2014 – revisão
E.T.M./2015 – revisão do texto
E.T.M./2016 – revisão
E.T.M./2017 – revisão
E.T.M./2018 – revisão
E.T.M./2019 – revisão
E.T.M./2020 – revisão do texto