

SEL 405

Introdução aos Sistemas Digitais

**DISPOSITIVOS
LÓGICOS
PROGRAMÁVEIS**

Prof. Homero Schiabel

1. Introdução

Operação do circuito lógico pode ser descrita por:

- *Tabela da Verdade*
- *Expressão booleana*
- *Dispositivo de Lógica Programável (PLD)*



expressão mais simples e seleção dos CIs feita por um software de desenvolvimento

2. Implementação de Circuitos Digitais

CIs convencionais

- necessitam de um processo de fabricação especial que requer máscaras específicas para cada projeto
- tempo de desenvolvimento é longo e os custos são altos
- utilizados em aplicação de grande volume de produção.

2. Implementação de Circuitos Digitais

CIs semi-convencionais

1. *Mask-Programmable Gate Array (MPGA)*

- Máscaras genéricas de módulos pré-projetados, mas específicas para interconexão dos módulos
- Usa bibliotecas de células → tempo mais curto de desenvolvimento e menor custo que CIs convencionais

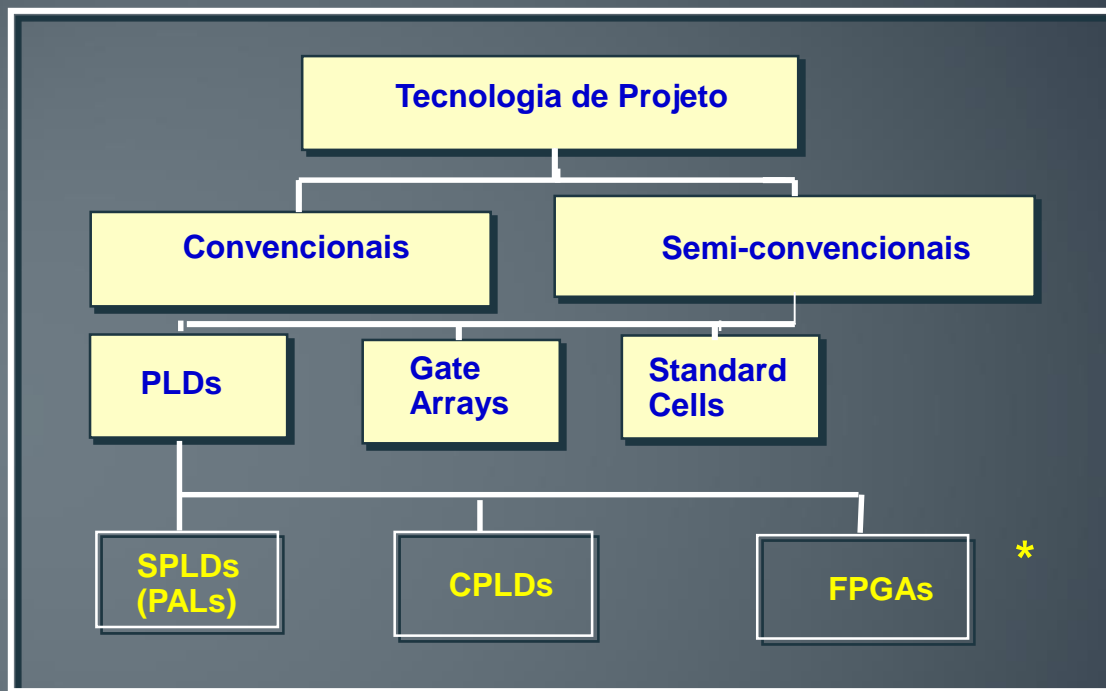
2. *Standard Cells*

- Módulos pré-projetados armazenados em banco de dados
- Custo baixo, mas menos eficientes que CIs convencionais

3. *Programmable Logic Devices (PLDs)*

- Programado pelo usuário → eliminação do processo de fabricação → possibilidade de eventuais mudanças de projeto
- Baixo custo e tempo curto de projeto

3. Tecnologias de projetos de CIs digitais



SPLD → Simple Programmable Logic Device

PAL → Programmable Array of Logic

CPLD → Complex PLD

FPGA → Field Programmable Gate Array

3. Tecnologias de projetos de CIs digitais

PLAs (Programmable Logic of Arrays):

- 1º. Dispositivo desenvolvido para a implementação de circuitos lógicos
- Dois níveis de portas lógicas programáveis, um de portas E e outro de OU
- Apresentam alto custo e desempenho ruim em termos de velocidade.

PAL (Programmable Array Logic):

- Desenvolvidos para superar as deficiências das PLAs
- Um único nível de programação – portas E Programáveis alimentando portas OU fixas
- Para compensar o plano fixo, são produzidas com diferentes quantidades de entradas e saídas

OBS.: geralmente apresentam flip-flops conectados às saídas das portas OU para que circuitos sequenciais possam ser implementados.

Grupos de dispositivos programáveis

SPLDs (Simple Programmable Logic Devices):

- Categoria de todos os pequenos PLDs como PLAs, PALs
- Características mais importantes: baixo custo e alto desempenho.

CPLDs (Complex Programmable Logic Devices):

- Constituídos de múltiplos SPLDs integrados em um único chip
- Apresentam interconexões programáveis para conectar os blocos SPLDs
- Capacidade lógica de até 50 SPLDs típicos.

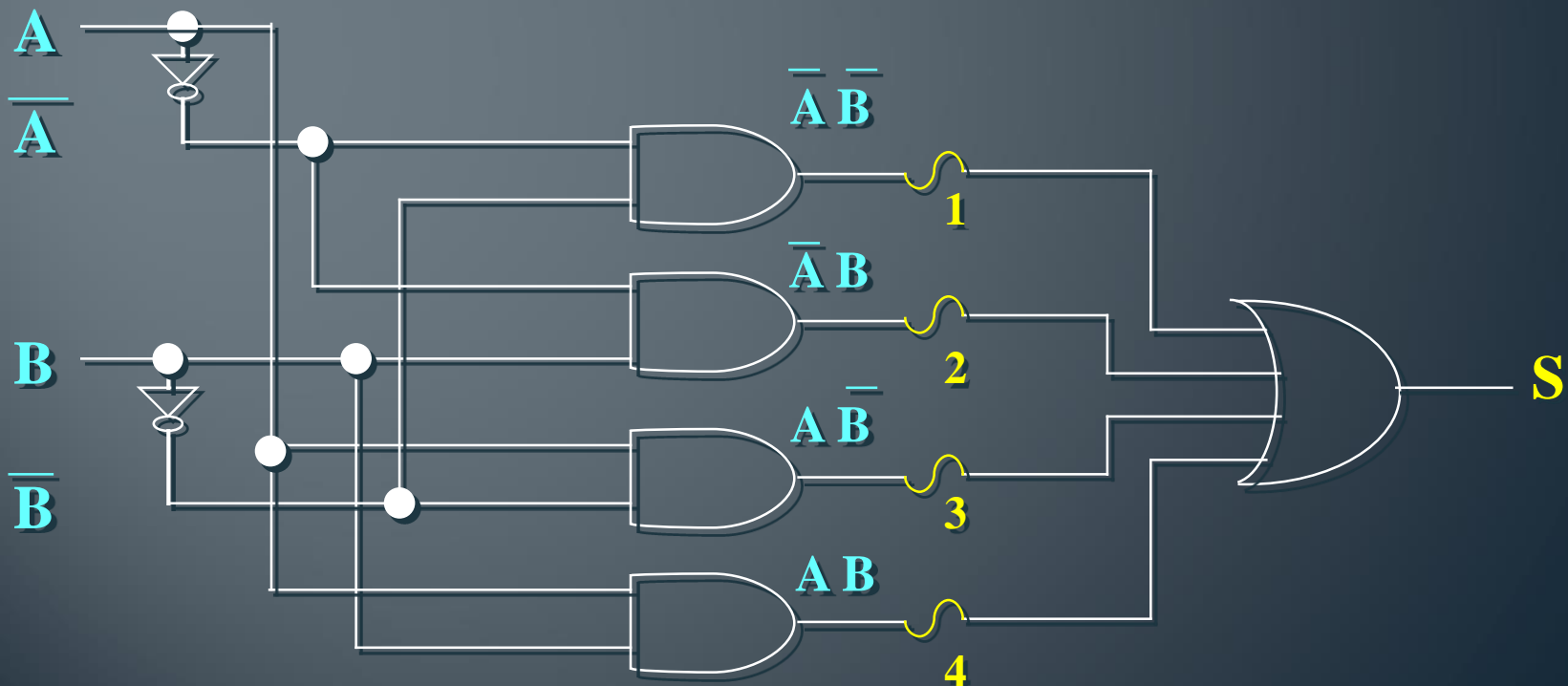
FPGA (Field-Programmable Gate Array):

- Constituídos de um arranjo de elementos de circuitos não conectados – os blocos lógicos – e recursos de interconexão
- Configuração: programada pelo usuário.

4. PLDs

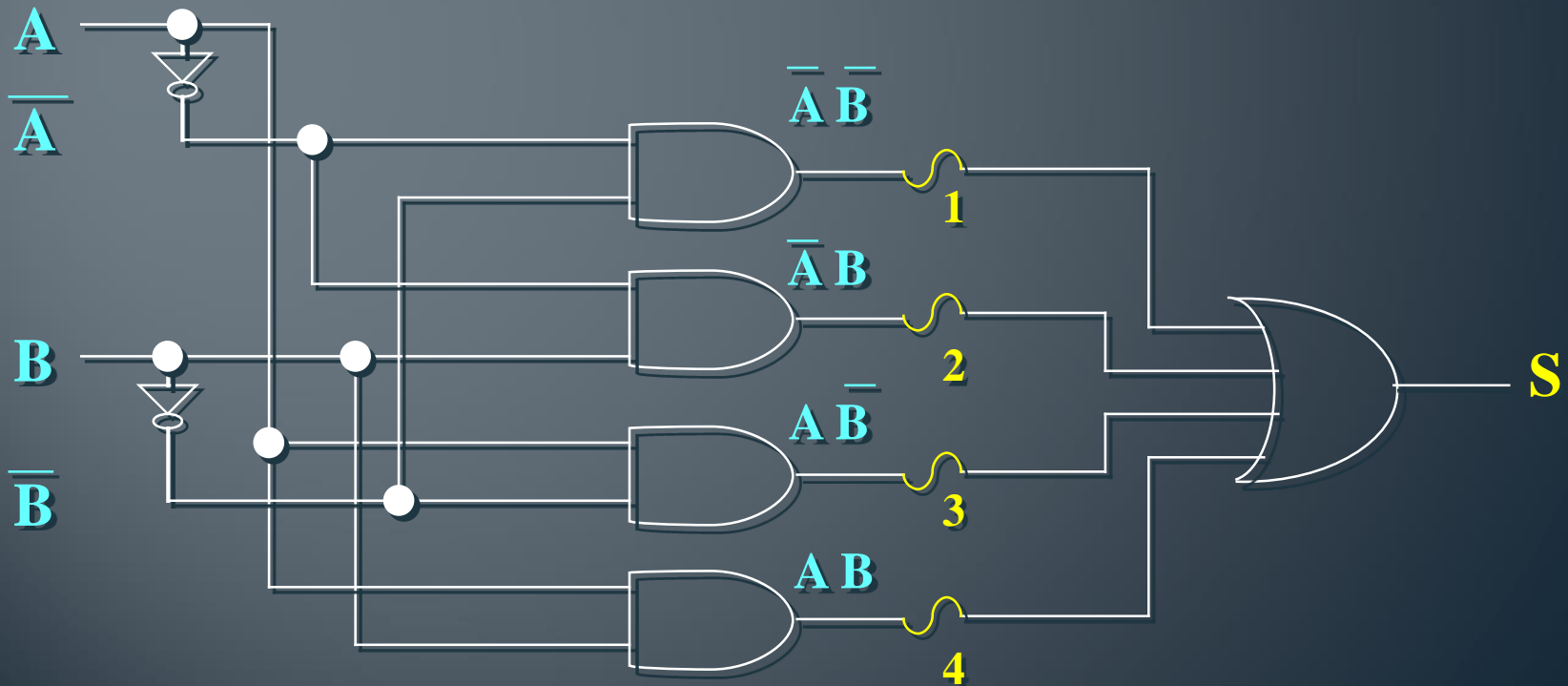
Finalidades:

- melhorar desenvolvimento e eficiência do projeto
- possibilidade de colocar muitas portas num único CI e controlar eletronicamente a conexão entre elas.



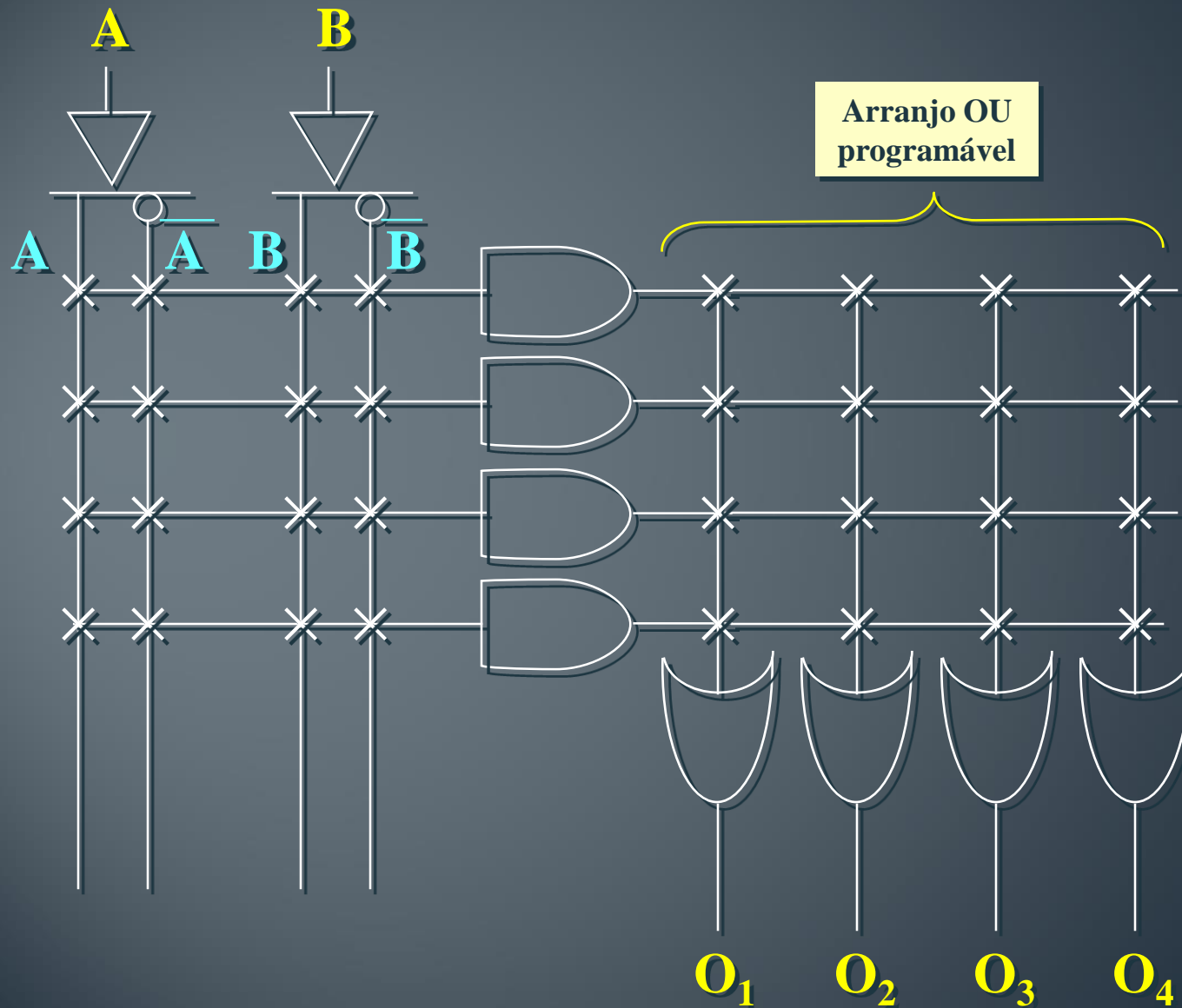
4. PLDs

S dependerá da saída da porta *E* que estará conectada à entrada da porta *OU*



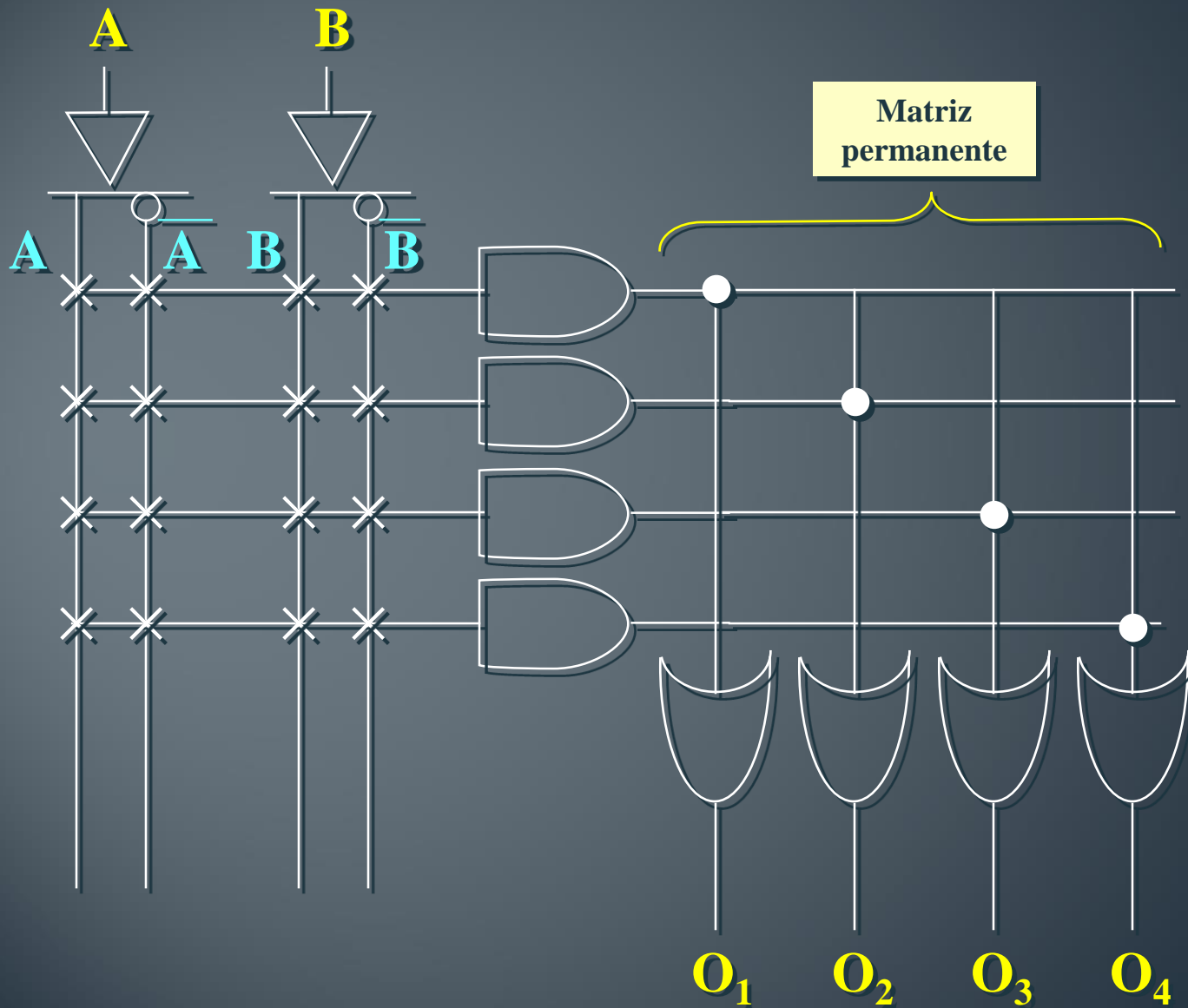
Representação Típica

PLA



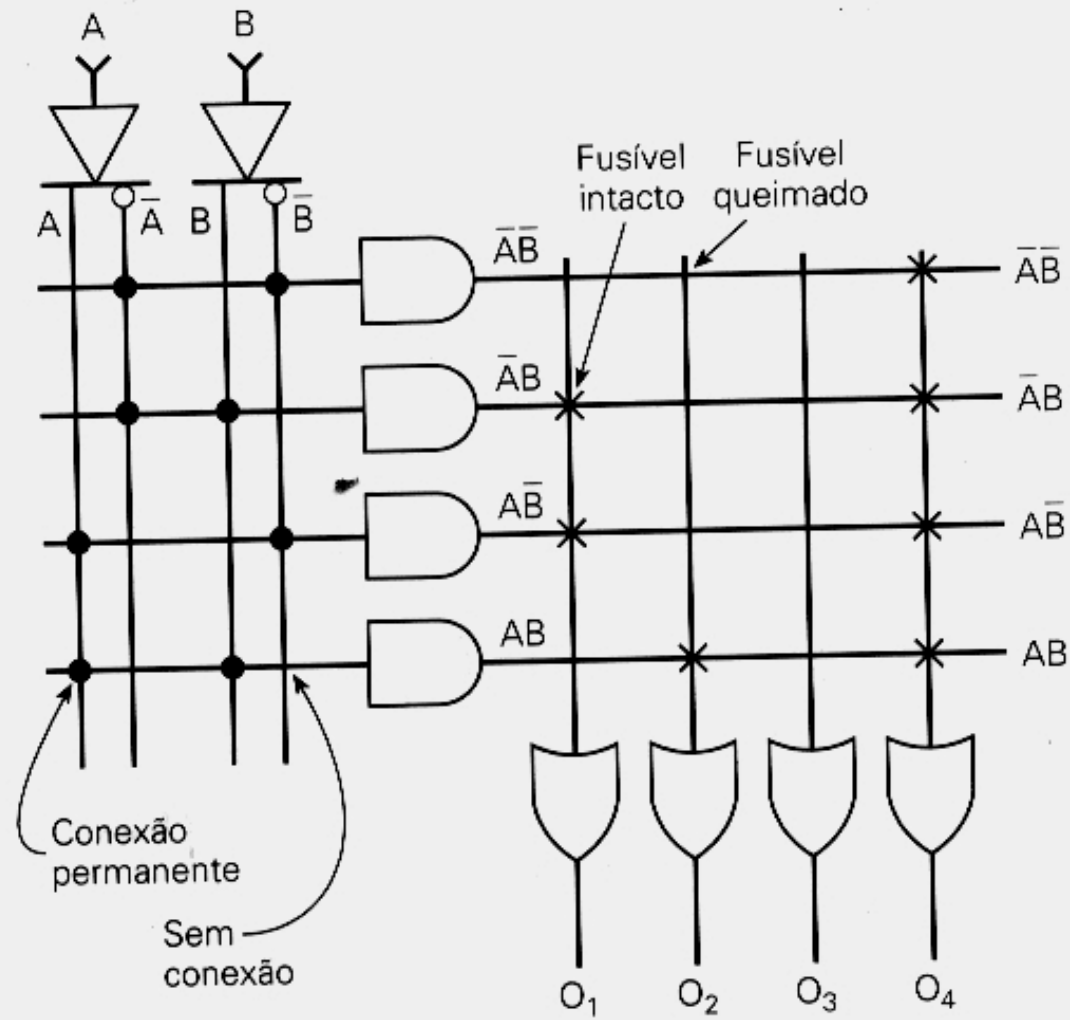
Representação Típica

PAL

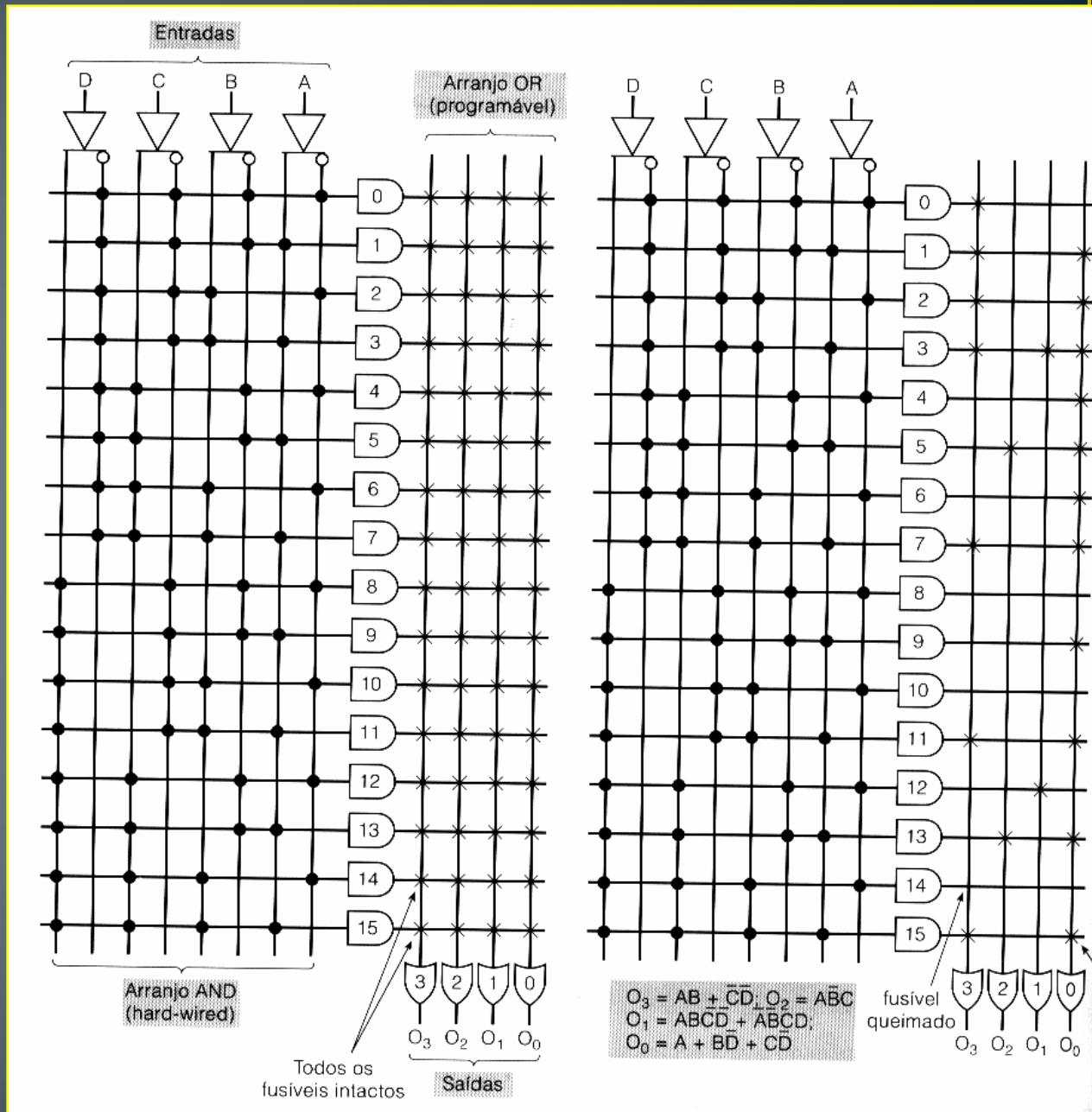


Exemplo de programação

PLA

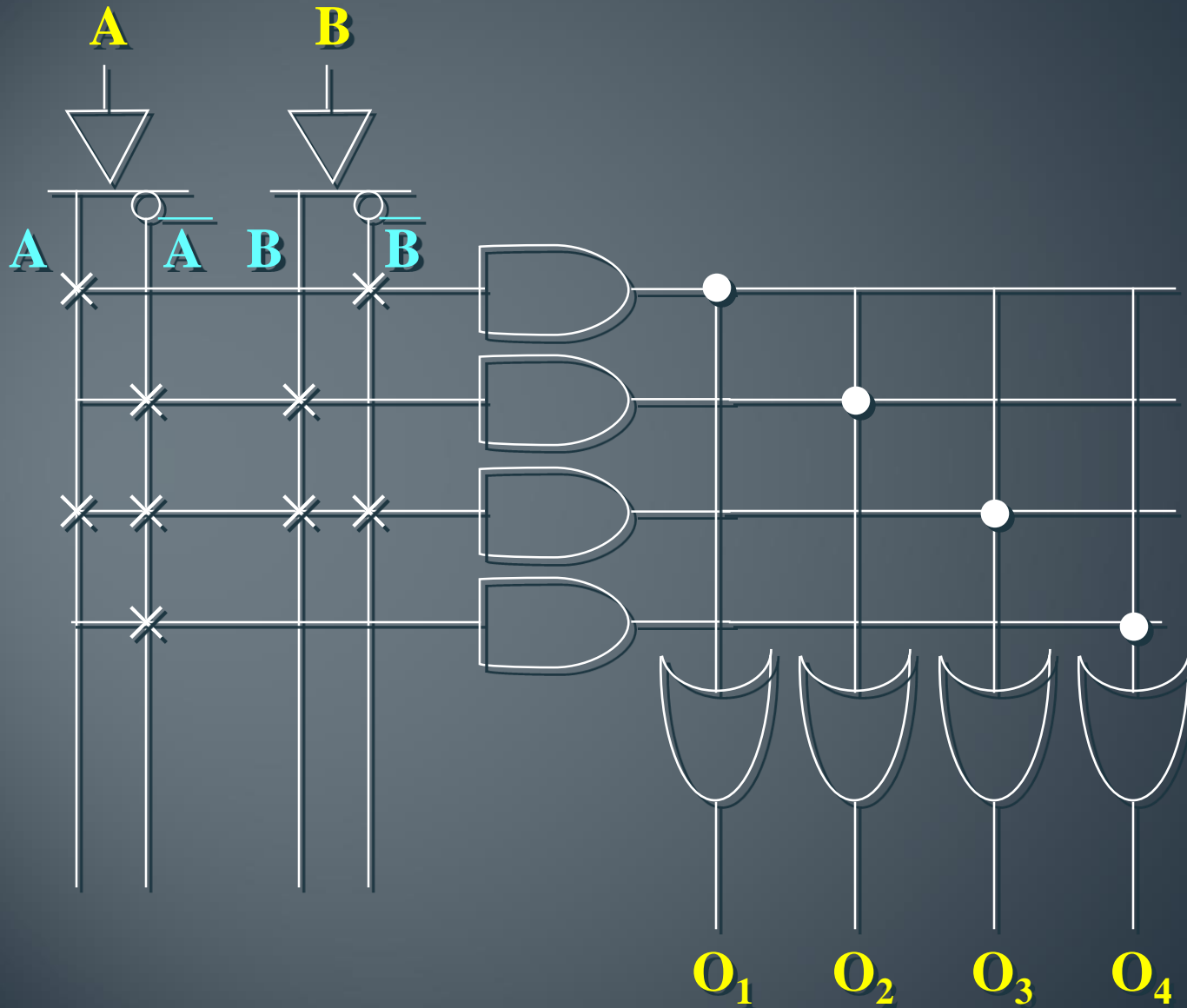


Representação da arquitetura típica de uma PROM



Exemplo de programação

PAL

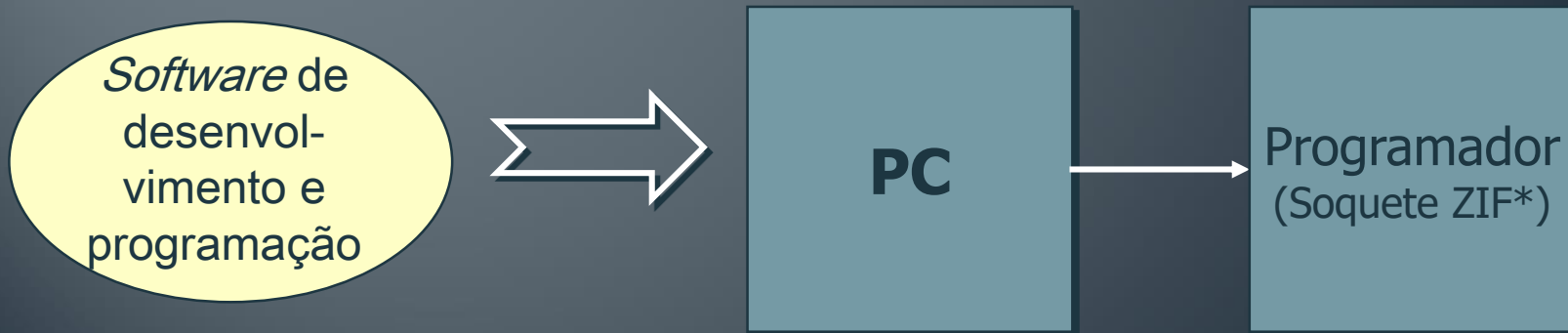


4. PLDs

Modo de programação do *chip* PLD:

Dispositivo **Programador** → conectado ao PC (*software* com as bibliotecas dos PLDs disponíveis) → *software* gera o **MAPA DE FUSÍVEIS**

Software permite configurar o Programador com os dados do PLD e checar as conexões



* *Zero insertion force*

4. PLDs

Pinagens e métodos de programação **padronizados**

→ padrão **JEDEC 3**

Formato padrão p/
transferência de
dados de
programação p/
PLDs

Primeiro software JEDEC:
PALASM (“PAL Assembler”)

Compiladores Lógicos: usam a “Linguagem de
Descrição de *Hardware*” (**HDL**)

(mais populares: **ABEL** – *Data I/O Corp.* – e **CUPL** – *Logical Devices Inc.*)

4. PLDs

MONTADORES X COMPILADORES

Arquivo de entrada
deve definir a
operação do
dispositivo próxima
do *hardware*



Ex.: Equação booleana

Representação
mais abstrata do
projeto



Ex.: Equação booleana ou
Tabela da verdade ou
Diag. Lógico esquemático

5. CUPL (*Universal Compiler for Programmable Logic*)

- Cabeçalho
- Especificação da entrada (Por ex.: pino 1: A; pino 2: B...)
- Especificação da saída (Por ex.: pino 19: S)
- Especificação da descrição do *Hardware*
(Por ex.: implementação da equação booleana:

$$S = \overline{A}BC + A\overline{B}C + AB\overline{C}$$

S =

!A&B&C#A&!B&C#A&B&!C



5. CUPL (Universal Compiler for Programmable Logic)

Função	Operador	Formato CUPL	Formato convencional
E	&	A & B	A . B
OU	#	A # B	A + B
NÃO	!	!A	\overline{A}
OU-EXCL	\$	A \$ B	A ⊕ B

$$S = \overline{A}BC + A\overline{B}C + ABC\overline{C}$$

S =

!A&B&C#A&!B&C#A&B&!C

