

Sistemas Digitais I	Projeto	Data	MS
PCS3115			

Nome: #USP: Turma:

Deseja-se implementar um circuito digital, na forma de Fluxo de Dados e Unidade de Controle, para calcular a porção inteira do logaritmo na base 2 de um número positivo N , representado como um inteiro de 8 bits sem sinal. Para isso, o circuito desloca N para a direita repetidamente, até obter o valor 0 (zero). O resultado do cálculo é então o número total de deslocamentos feitos subtraído de 1. Exemplo: para $\log_2(18) = \log_2(00010010)$, a sequência do cálculo é a seguinte:

00010010 => 00001001 => 00000100 => 00000010 => 00000001 => 00000000

Como foram realizados 5 deslocamentos, tem-se que $\log_2(18) = 5 - 1 = 4$. De fato, $\log_2(18) = 4.169925$, então a resposta "4" para a porção inteira está correta. Quando a entrada N é 0 (zero), e o valor do logaritmo deveria ser $-\infty$, a resposta esperada é o valor "-1" (1111 em binário).

Procedimento de resolução

Sugere-se que você execute os seguintes passos para projetar o circuito (**não** é necessário responder a essas questões no seu código VHDL submetido ao Juiz, mas respondê-las nesta ordem deve te ajudar a desenvolver o seu projeto).

(a) Simule a aplicação do algoritmo para $N=35$, apresentando a sequência (em binário) dos valores intermediários. Isso deve te ajudar a entender a lógica por trás do algoritmo necessário

(b) Escreva o pseudocódigo do circuito, usando a linguagem de sua preferência (C, C++, Python, etc). Insira comentários (usando //) para explicar a função dos comandos do pseudocódigo, que você pode reaproveitar para o seu código VHDL.

(c) Desenhe o diagrama ASM de alto nível para seu pseudocódigo. Sugere-se que seja adotado o modelo Moore para a geração dos comandos. Esse diagrama deve considerar as seguintes especificações:

- Deve haver um sinal de entrada "reset", usado para inicializar o circuito e deixá-lo pronto para todas as execuções posteriores (ou seja, não deve ser necessário ativar esse sinal mais de uma vez). Este sinal pode ser síncrono ou assíncrono.
- Deve haver um sinal de entrada "start", que faz o circuito iniciar a operação quando colocado em "1", e é ignorado enquanto o circuito opera. Esse sinal deve ser síncrono
- Deve haver um sinal de entrada "N", cujo valor de log deve ser calculado.
- Deve haver um sinal de saída "ready", que indica quando a operação do circuito está finalizada e o valor do cálculo do $\log(N)$ pode ser lido.
- Deve haver um sinal de saída log_val, onde é colocado o valor de $\log(N)$.

(d) Liste os elementos necessários para a construção do Fluxo de Dados e então desenhe um diagrama esquemático com a interligação destes elementos. Elabore uma tabela

contendo os sinais de controle e os sinais de status/condição e pense em uma descrição sucinta de cada um (essa descrição será útil para documentar o seu código).

(e) Construa o diagrama ASM da Unidade de Controle, permitindo a construção de um circuito digital síncrono. Para facilitar, assuma que o FD é ativado nas bordas de descida do clock: assim, os sinais de controle da UC podem ser habilitados na borda de subida, junto com cada transição de estados, e estarão estabilizados quando forem processados pelo FD naquele estado.

(f) Apresente as descrições em VHDL para os seguintes elementos: Unidade de Controle (nomeado log2UC); o Fluxo de Dados (nomeado log2FD); o projeto completo conectando log2UC e log2FD (nomeado log2); e o testbench.

Instruções para Entrega

Para fazer a submissão, há um link específico no e-Disciplinas. Acesse-o somente quando estiver confortável para enviar sua solução, ou seja, depois de tê-la testado usando o seu próprio testbench.

Em cada atividade, você pode enviar apenas um único arquivo codificado em UTF-8. Portanto, se seguir os passos sugeridos, coloque as entidades “log2UC”, “log2FD” e “log2” em um único arquivo. O nome do arquivo não importa, e qualquer editor de código moderno suporta UTF-8 (e.g. Atom, Sublime, Notepad++, etc). Porém, a descrição VHDL dentro desse arquivo deve ter uma entidade “log2” dentro dele, seguindo a interface fornecida como anexo a este enunciado: a entidade deve ter o mesmo nome e o mesmo conjunto de sinais de entrada e saída. Caso contrário, o juiz não irá processar seu arquivo.

Quando acessar o link no e-Disciplinas, o navegador abrirá uma janela para envio do arquivo (como aconteceu no simulado). Selecione-o e envie para o juiz. Jamais recarregue a página de submissão, pois seu navegador pode enviar o arquivo novamente, o que vai ser considerado pelo juiz como um novo envio (possivelmente prejudicando sua nota final...). Caso desista do envio, simplesmente feche a janela.

Depois do envio, a página carregará automaticamente o resultado do juiz, quando você poderá fechar a janela. A nota dada pelo juiz é somente para a submissão que acabou de fazer. Sua nota na atividade poderá ser vista no e-Disciplinas e pode diferir da nota dada pelo juiz dependendo da estratégia de atribuição de notas utilizada pelo professor que montou o problema (veja a atividade3 do Simulado). Certifique-se de testar seu código e de não imprimir dados dentro dos códigos submetidos.

Atenção: não atualize a página de envio e não envie a partir de conexões instáveis (e.g., móveis) para evitar que seu arquivo chegue corrompido no juiz.

BÔNUS (Pra treinar: não vale nota)

Modifique o projeto anterior, da forma indicada abaixo, e repita os passos (d) a (f) para essas novas restrições:

- Desta vez, não use um contador para implementar o módulo Log2FD, mas apenas registradores e somadores combinatórios.
- O registrador de deslocamento deve ter entradas adicionais, incluindo: reset assíncrono, load assíncrono, sinal de seleção para dizer se o deslocamento é para a direita ou para a esquerda, e um bit de entrada serial (que é inserido no registrador quando é feito um deslocamento qualquer).