

# PSI3441 – Arquitetura de Sistemas Embarcados

---

## Conversor Analógico-Digital - ADC

---

Escola Politécnica da Universidade de São Paulo

Prof. Gustavo Rehder – [gprehder@usp.br](mailto:gprehder@usp.br)

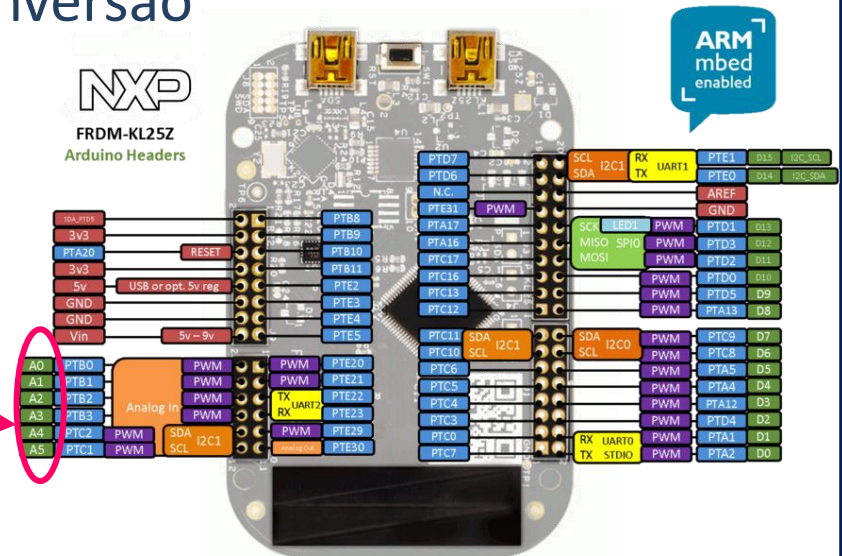




# Características do ADC no KL25Z

- ADC de aproximação sucessiva
- 4 canais diferenciais e 24 canais *single-ended*
- Resolução
  - Diferenciais: 16, 13, 11 e 9 bits
  - *Single-ended*: 16, 12, 10 e 8 bits
- Conversão única ou contínua
- Média em hardware
- Controle de tempo de amostragem e conversão
- Comparador integrado
- *Trigger* em *software* ou *hardware*
- Modo de auto-calibração

6 canais!?







# Utilização ADC no KL25Z

1. Ative o *clock* para a porta de GPIO usado pelo canal ADC.
2. Defina o bit MUX do PORTX\_PCRn para o pino de entrada do ADC.
3. Ative o *clock* para o módulo ADC usando o registrador SIM\_SCGC6.
4. Escolha o tipo de trigger para iniciar a conversão analógica-digital usando o registrador ADC0\_SC2.
5. Escolha a fonte de *clock* e a resolução usando o registrador ADC0\_CFG1.
6. Selecione o canal de entrada ADC usando o registro ADC0\_SC1A. Certifique-se que a interrupção não está habilitada e que está usando a opção-single ended. → Irá iniciar a conversão
7. Monitore quando o *flag* de fim de conversão (COCO) no registrador ADC0\_SC1A.
8. Quando o *flag* COCO for setado, leia o resultado da conversão em ADC0\_RA e salve-o.
9. Repita as etapas 6 a 8 para a próxima conversão. → Irá zerar o flag COCO

} Aula sobre GPIO

## Trigger:

Hardware (pino externo, comparador ou timers – configurável em SIM\_SOPT7)  
Software (disparado pela escrita em ADC0\_SC1A)

## Clock:

Bus clock  
(Bus clock)/2  
Alternate clock (ALTCLK)  
Asynchronous clock (ADACK)

## Resolução:

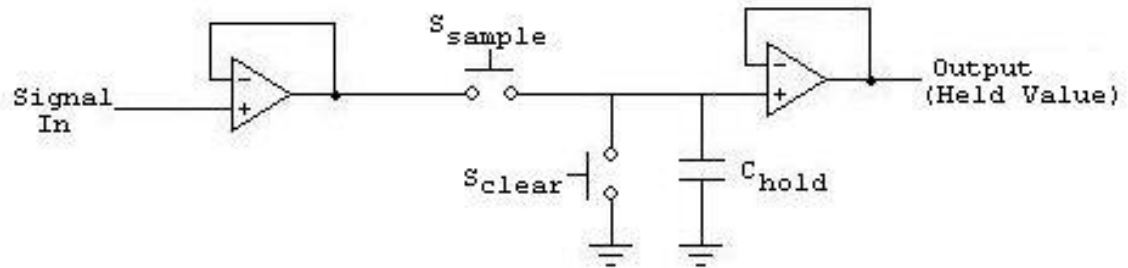
Diferenciais: 16, 13, 11 e 9 bits  
Single-ended: 16, 12, 10 e 8 bits

Nem todos os canais de ACD são conectados a pinos do KL25Z e nem todos os pinos são conectados a bornes da placa Freedom. Só 6 canais estão disponíveis no borne.



# Tempo de Conversão ADC

**Sample and Hold:** um amplificador de amostragem de ganho unitário amostra a entrada analógica por um total de  $n$  ciclos de *clock*. Este *buffer* da entrada analógica carrega o capacitor de amostragem até o potencial de entrada. O número de ciclos de *clock* pode ser 4, 6, 10, 16, ou 24, programado através do bit ADLSMP no registrador ADC0\_CFG1 e dos bits ADLSTS no registrador ADC0\_CFG2. Tempo de amostragem mais longo garante que a tensão do capacitor de amostra seja trazida para mais perto da tensão de entrada. Isso é importante quando a tensão de entrada difere significativamente de amostra para amostra. Mas prolonga o tempo de conversão de cada amostra.



**Conversão analógica-digital** por aproximação sucessiva: nesta fase, o número de ciclos de *clock* utilizados depende da resolução da conversão. Para cada bit é necessário 1 ciclo de *clock*.



# Exercício

- Escrever o código, sem utilização do Processo Expert, para:
  - 1) Fazer uma aquisição analógica;
  - 2) Acender o LED azul quando o valor for próximo de 3.3 V e o LED verde quando o valor for próximo de 0 V.

Obs. Utilizar o KL25 Sub-Family Reference Manual para detalhes dos registradores (capítulo 28).