



ESCOLA DE ENGENHARIA DE SÃO CARLOS

Departamento de Engenharia Elétrica e de
Computação

LABORATÓRIO DE SISTEMAS DIGITAIS

Profa.. LUIZA MARIA ROMEIRO CODÁ



EESC · USP

Escola de Engenharia de São Carlos

Departamento de Engenharia Elétrica e de Computação



LED Laboratório de
Eletrônica Digital
SEL-EESC-USP

Somador/ subtrator com ajuste decimal e decodificação BCD para display de 7 segmentos

Profa. Luiza Maria Romeiro Codá

OBJETIVO:

- Utilização de Dispositivo Lógico Programável (FPGA) na síntese de Circuito Digital;
- Aplicação somador/subtrator, multiplex e decodificadores para display de 7 segmentos.

TRABALHO:

Utilizando o software QUARTUSII, projetar um circuito para configurar no dispositivo HCPLD FPGA EP4CE30F23C7 da família Cyclone IV-E do Módulo de desenvolvimento Mercúrio IV – Macnica DWH, Utilizando o projeto do circuito somador/subtrator da prática anterior e criar um projeto para mostrar o resultado da soma de 2 palavras de 4 bits com ajuste decimal em display de 7 segmentos.

Na síntese do circuito na placa o resultado da soma ($S[3]$ $S[2]$ $S[1]$ $S[0]$) e o carry devem ser apresentados em dois displays de 7 segmentos. O resultado da soma vai ser apresentado no display da unidade e o carry (0 ou 1) no display da dezena.

Ajuste Decimal:

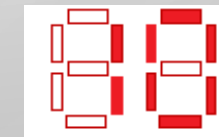
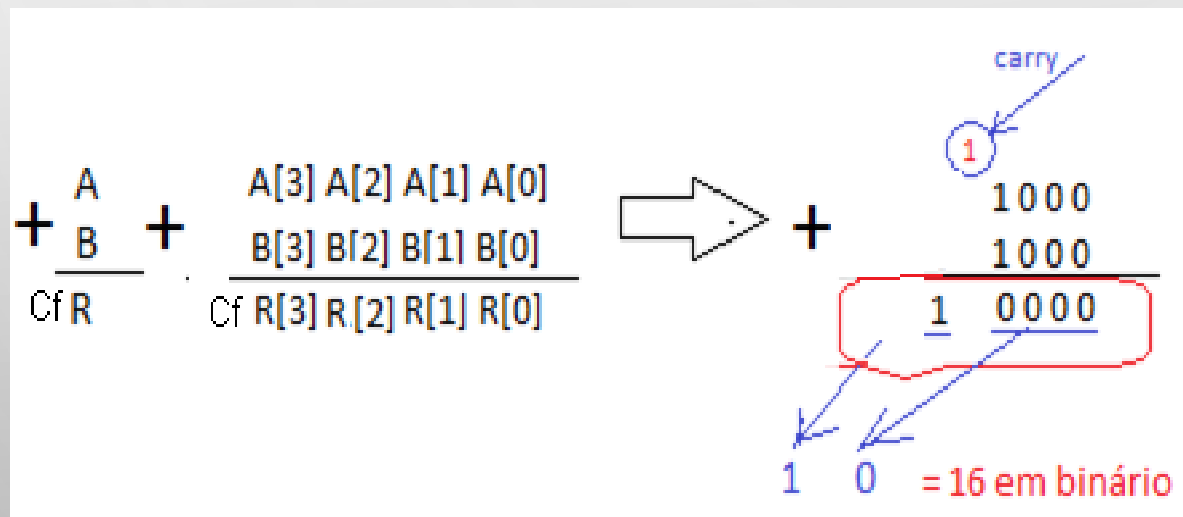
O resultado de uma soma de 2 números de 4 bits para ser apresentado em display de 0 a 9 deve ser ajustado para a representação decimal:

Soma de A + B

8 + 8

A = A[3] A[2] A[1] A[0] = (1 0 0 0)_b = 8

B = B[3] B[2] B[1] B[0] = (1 0 0 0)_b = 8



Ajuste Decimal:

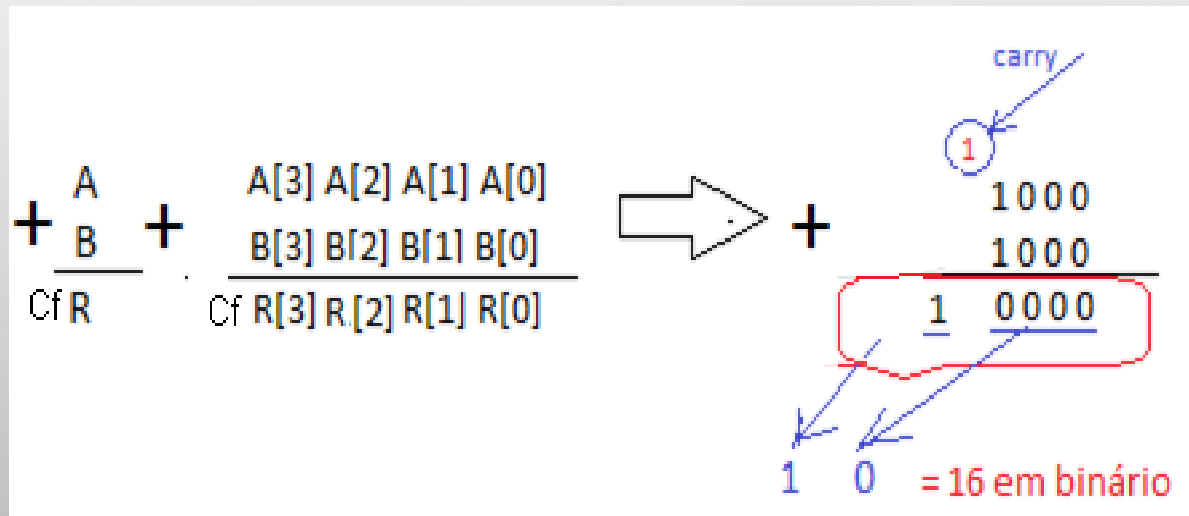
O resultado de uma soma de 2 números de 4 bits para ser apresentado em display de 0 a 9 deve ser ajustado para a representação decimal:

Soma de A + B

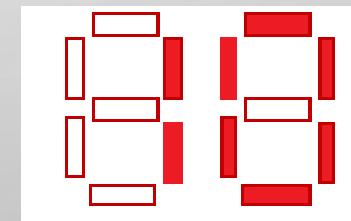
8 + 8

A = A[3] A[2] A[1] A[0] = (1 0 0 0)_b = 8

B = B[3] B[2] B[1] B[0] = (1 0 0 0)_b = 8



Representação nos 2 displays



Ajuste Decimal:

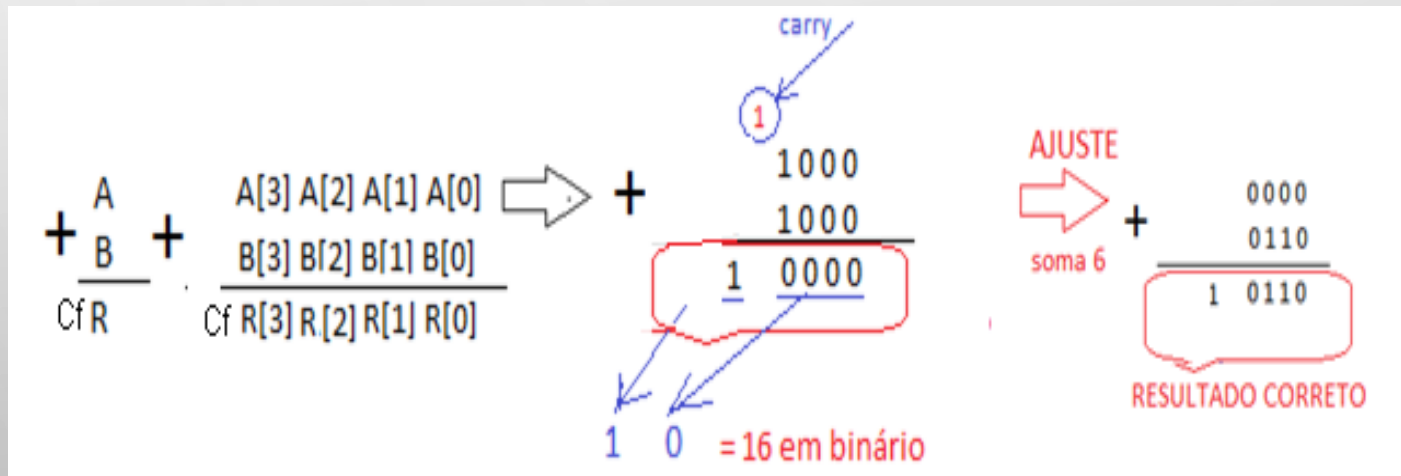
Ao resultado binário da soma de 2 números de 4 bits deve ser somado o valor (1 0 0 0)_b para que o display apresente o valor da unidade e dezena na a representação decimal:

Soma de A + B

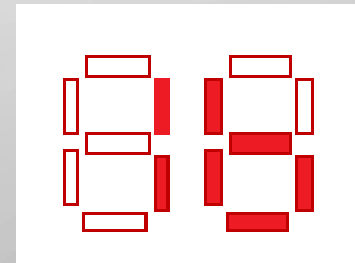
8 + 8

A = A[3] A[2] A[1] A[0] = (1 0 0 0)_b = 8

B = B[3] B[2] B[1] B[0] = (1 0 0 0)_b = 8

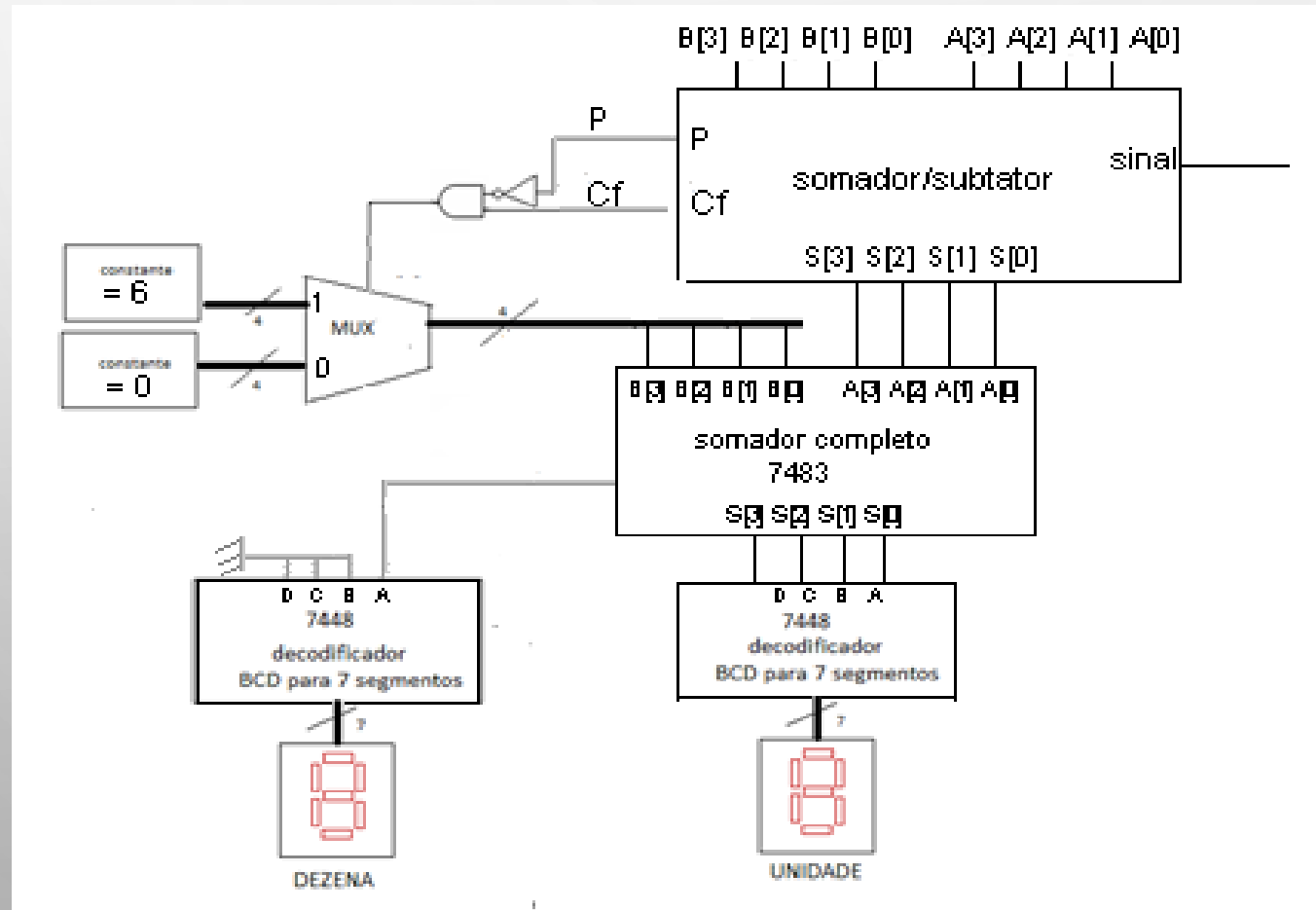


Representação nos 2 displays



IMPLEMENTAÇÃO DO CIRCUITO :

Utilizar o circuito somador/subtrator projetado e inserir mais um somador 7483 para somar (0 1 1 0)_b ao resultado quando SOMA for selecionado e houver carry = '1' na saída do somador interno ao circuito do somador/subtrator

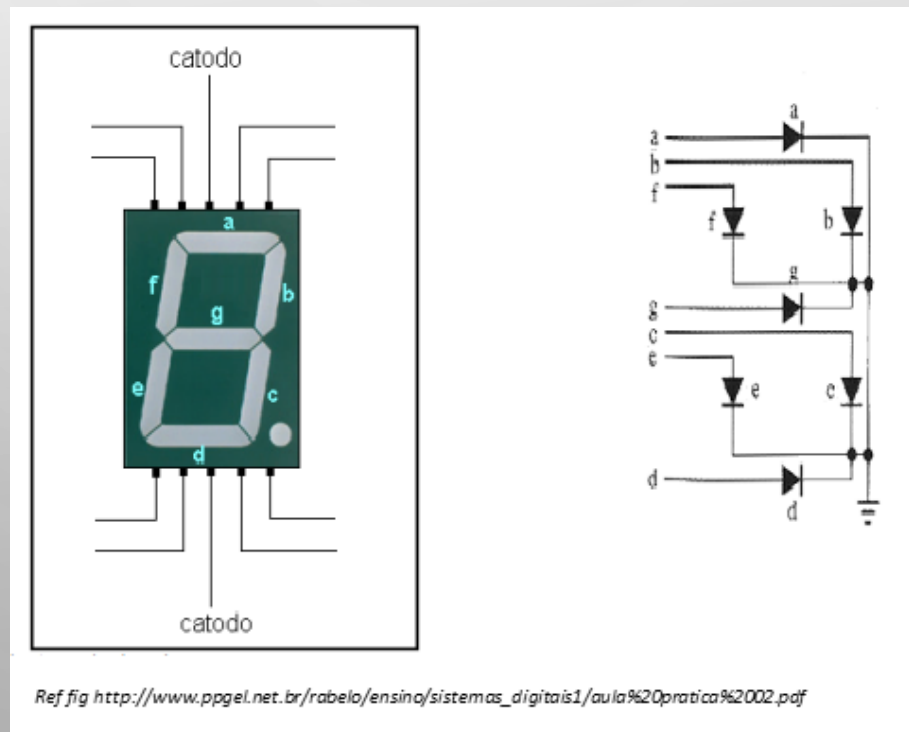


Display de 7 segmentos:

Os Displays da placa mercúrio IV possuem configuração catodo comum, ou seja, os segmentos acendem com nível alto.

O resultado da soma, saída BCD (4 bits) deve ser transformados em níveis lógicos compatíveis ao display de 7 segmentos, através de um decodificador BCD pra display de 7 segmentos(CI 7448)

display configuração catodo comum



Geração de sinais para visualização no display de 7 segmentos

Para visualizar as saídas dos contadores no display, através de um decodificadores BCD para display de 7 segmentos catodo comum : 7448

segmentos de saída							DISPLAY
a	b	c	d	e	f	g	
1	1	1	1	1	1	0	0
0	1	1	0	0	0	0	1
1	1	0	1	1	0	1	2
1	1	1	1	0	0	1	3
0	1	1	0	0	1	1	4
1	0	1	1	0	1	1	5
0	0	1	1	1	1	1	6
1	1	1	0	0	0	0	7
1	1	1	1	1	1	1	8
0	0	1	1	0	0	1	9
0	0	0	1	1	0	1	A
0	1	0	0	0	1	1	B
1	0	0	1	1	1	1	C
0	0	0	1	1	1	1	D
0	0	0	0	0	0	0	E

D	C	B	A
0	0	1	1
3	2	1	0

BCD