

Dispositivos Lógicos Programáveis (PLD)

Profa. Luiza Maria Romeiro Codá

Profa. Dra Maria Stela Veludo de Paiva

Dispositivos Lógicos Programáveis (PLD)

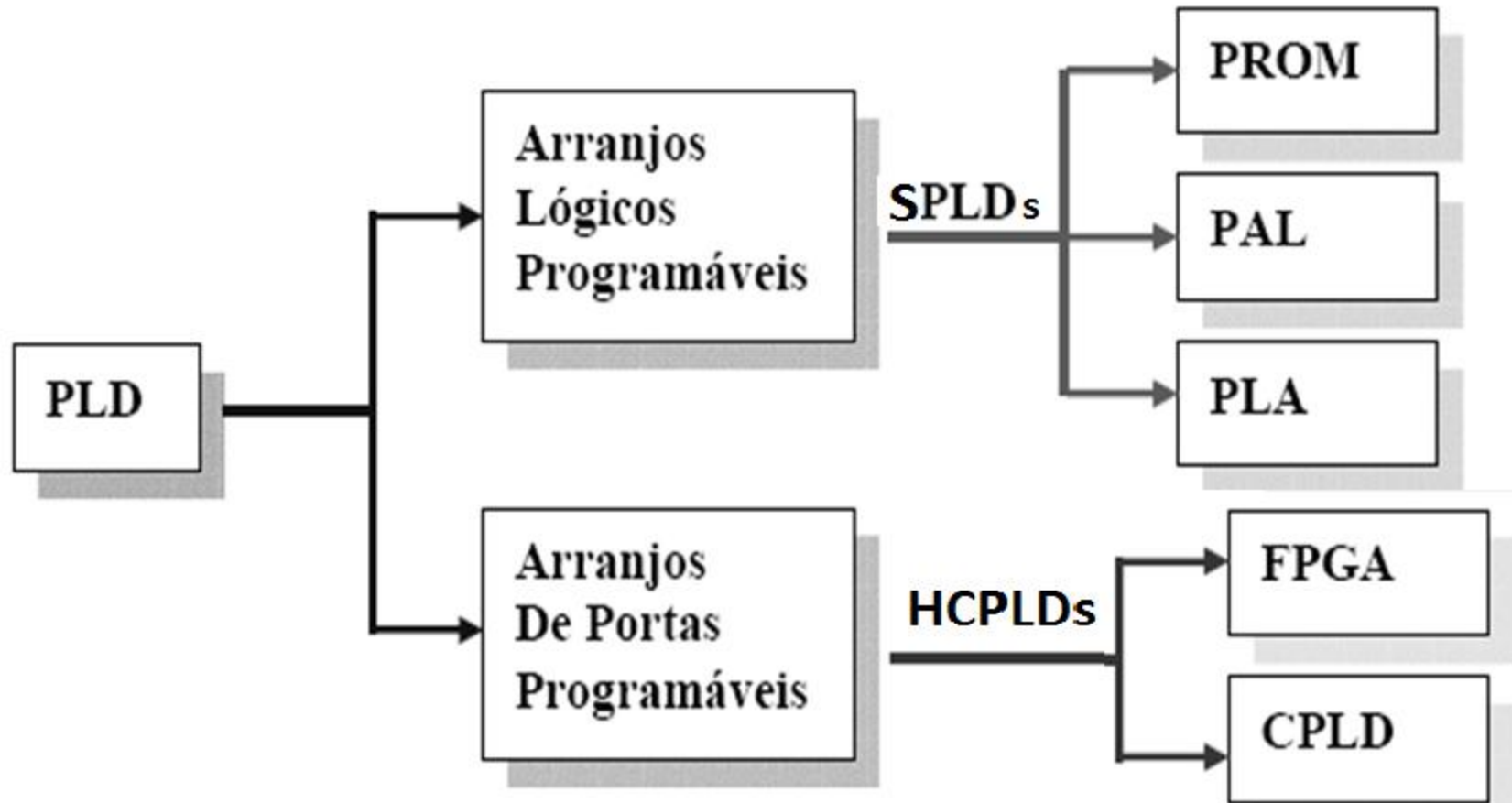
- ▶ são circuitos integrados programáveis pelo usuário,
- ▶ Não apresentam uma função lógica definida, até que sejam configurados.
- ▶ possuem um grande número de portas lógicas (*AND*, *OR*, *NOT*), flip-flops e registradores os quais estão ligados em um mesmo CI.
- ▶ Facilita prováveis mudanças de projeto.

Dispositivos Lógicos Programáveis (PLD)

Podem ser divididos em:

- SPLDs – Dispositivos Lógicos Programáveis Simples :
são arranjos de lógica programável
- HCPLDs – Dispositivos Lógicos Programáveis de Alta Complexidade:
são arranjos de portas **programáveis**

Dispositivos Lógicos Programáveis (PLD)



SPLD Dispositivos Lógicos Programáveis Simples (Obsoleto)

- ▶ Um arranjo lógico programável consiste de um circuito que possui uma estrutura interna baseada em um conjunto de portas *AND-OR* (o conjunto de portas *AND* e *OR* são chamados de arranjos).
- ▶ Sua estrutura é baseada em EPROM (ROM Programável)

HCPLD-High Capacity Programmable Logic Devices

- São reconfiguráveis ou reprogramáveis pelo quantas vezes for **necessário**
- São dispositivos lógico-programáveis que possuem mais de 600 portas. Quanto maior o número de portas do *PLD*, maior será sua complexidade, principalmente no que se refere a estruturas de conexão.
- são divididos em :
- **CPLD (*Complex Programmable Logic Devices*) e**
- **FPGA (*Field Programmable Gate Array*).**

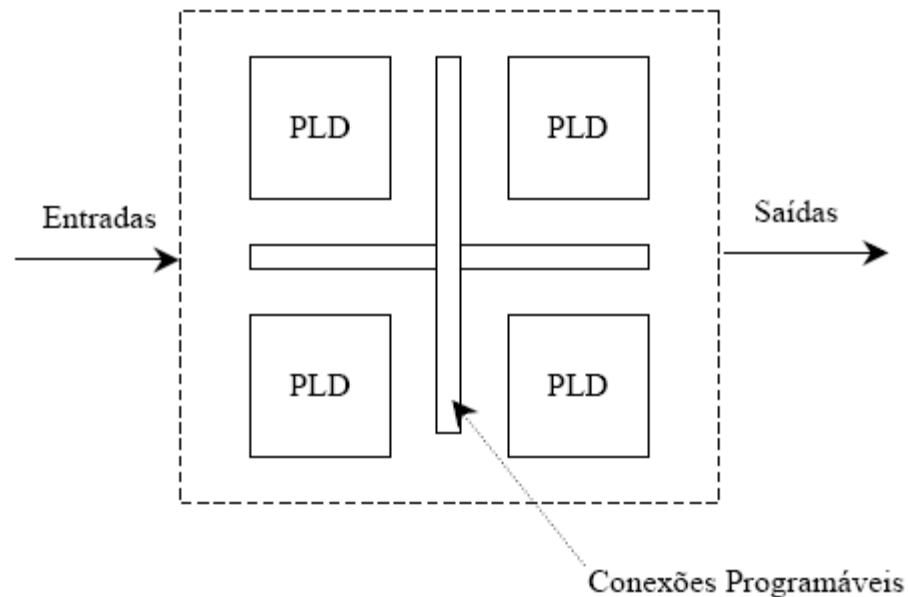
A diferença básica entre CPLD e FPGA reside no método de interligação das células.}

CPLD – Complex PLD

- ▶ Os elementos programáveis são células do tipo EEPROM (Electrical Erasable PROM) , ou seja, são reprogramáveis mediante apagamento prévio do conteúdo anterior.
- ▶ A informação de programação é armazenada em caráter não volátil, isto é, enquanto não houver uma operação explícita de apagamento elas são mantidas indefinidamente.
- ▶ As células são interligadas através de conexões programáveis

CPLD – Complex PLD

Os CPLDs podem ser vistos como dispositivos que utilizam em sua estrutura vários SPLD (PLA ou PAL). Cada SPLD formam células que são interligadas através de conexões programáveis



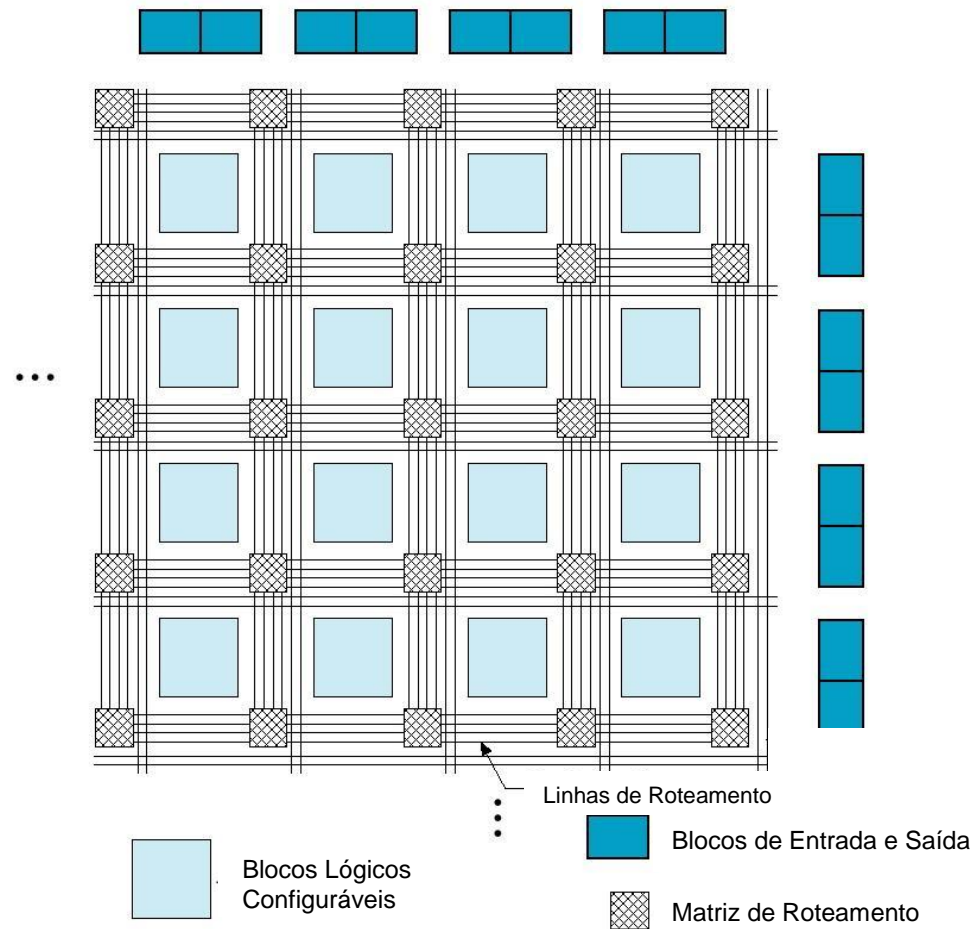
FPGA– Field Programmable Gate Array

- ▶ É um dispositivo lógico programável que possui uma arquitetura baseada em blocos lógicos configuráveis, chamados de *CLB* (*Configuration Logical Blocks*)
- ▶ Os CLBs são formados por portas lógicas e *flip-flops* que implementam funções lógicas.
- ▶ O *FPGA* inclui também estruturas chamadas de blocos de entrada e saída (*IOB – In/Out Blocks*), responsáveis pelo interfaceamento entre as saídas provenientes das combinações de *CLBs*

FPGA– Field Programmable Gate Array

- ▶ É um dispositivo lógico programável que consiste de blocos lógicos configuráveis contidos em um único circuito integrado.
- ▶ Cada bloco lógico contém capacidade computacional para implementar funções lógicas e realizar roteamento para comunicação entre elas.
- ▶ A implementação de funções lógicas em cada bloco lógico de FPGA é feita utilizando bloco de memória LUT (Look – Up Table).

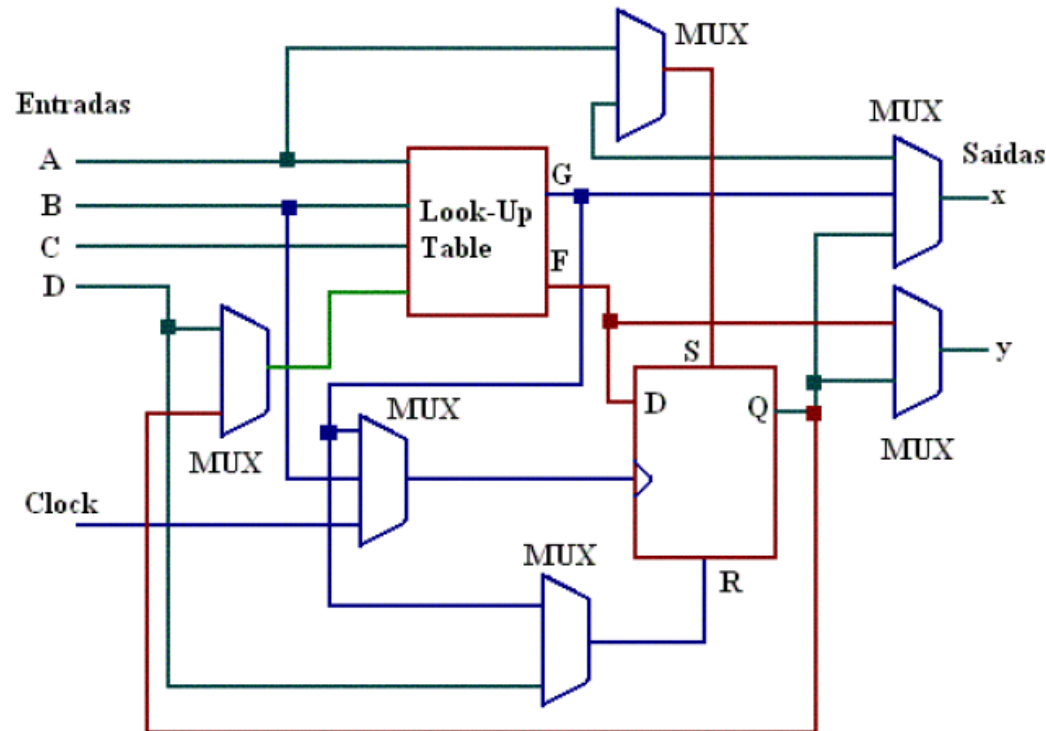
FPGA- Field Programmable Gate Array



FPGA– Field Programmable Gate Array

Estrutura interna típica de um bloco lógico configurável de um *FPGA*:

- flip-flops
- um determinado número de multiplexadores
- uma estrutura de função combinatória para implementar as funções lógicas.

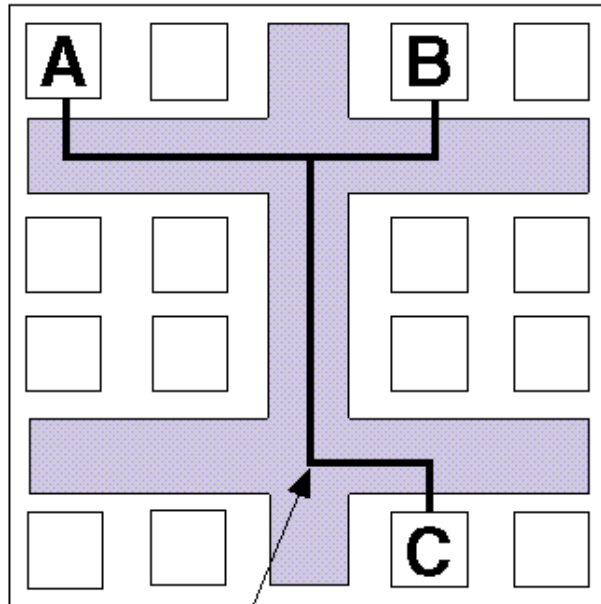


FPGA– Field Programmable Gate Array

- ❑ A configuração do FPGA é volátil, isto é, se perde quando a alimentação é removida.
- ❑ Existe uma memória não-volátil associada à FPGA de onde a sua configuração pode ser carregada quando o sistema é ligado.
- ❑ Como a programação é feita pelo usuário depois da fabricação, ela é chamada de programável no campo – *field programmable*.

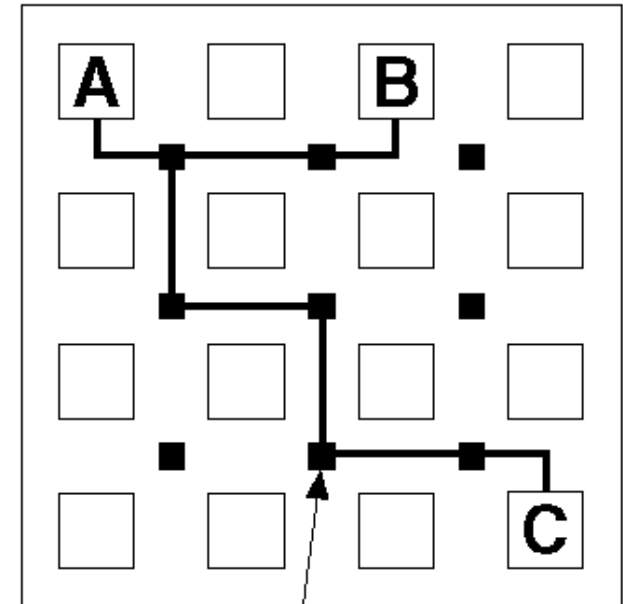
Diferença entre CPLD e FPGA

CPLD Continuous Interconnect Structure



Fixed/Predictable Delay

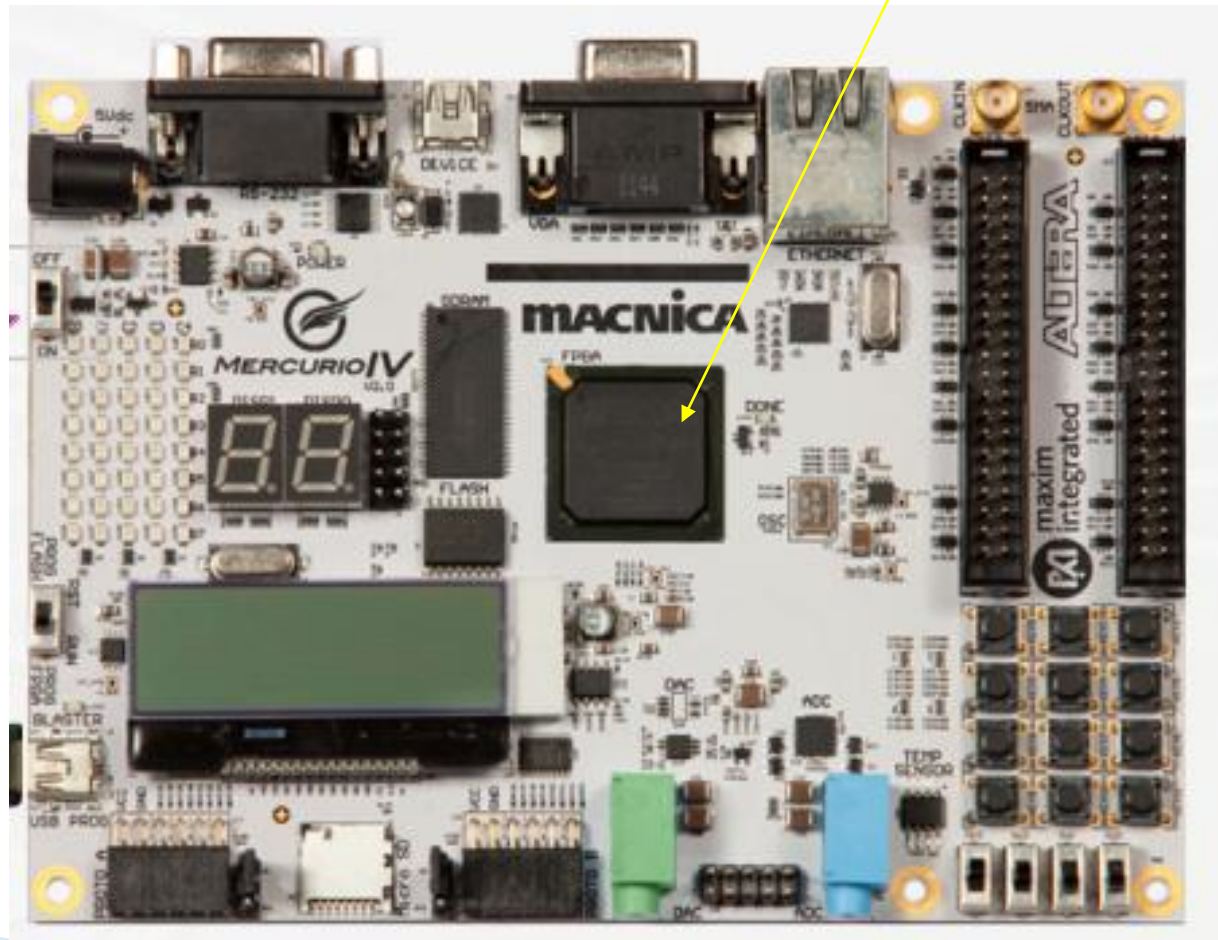
FPGA Segmented Interconnect Structure



Variable/Unpredictable Delay

Módulo de desenvolvimento Mercurio IV- Macnica

FPGA: Cyclone IV EP4CE30F23C7



Módulo de desenvolvimento Mercurio IV- Macnica

Sobre o dispositivo FPGA EP4CE30F23C7:

Categoria: Circuito Integrado(CI)

Família: *Embedded - FPGAs (Field Programmable Gate Array)*

Série: Cyclone IV E

Número de Blocos Lógicos Configuráveis(CLBs ou LABs): 1803

Número de bits da RAM: 608256

Número de portas de Entrada/Saída(I/O): 328

Tensão de Alimentação: 1,15 V ~ 1,25 V

Tipo de Montagem: Montagem de superfície

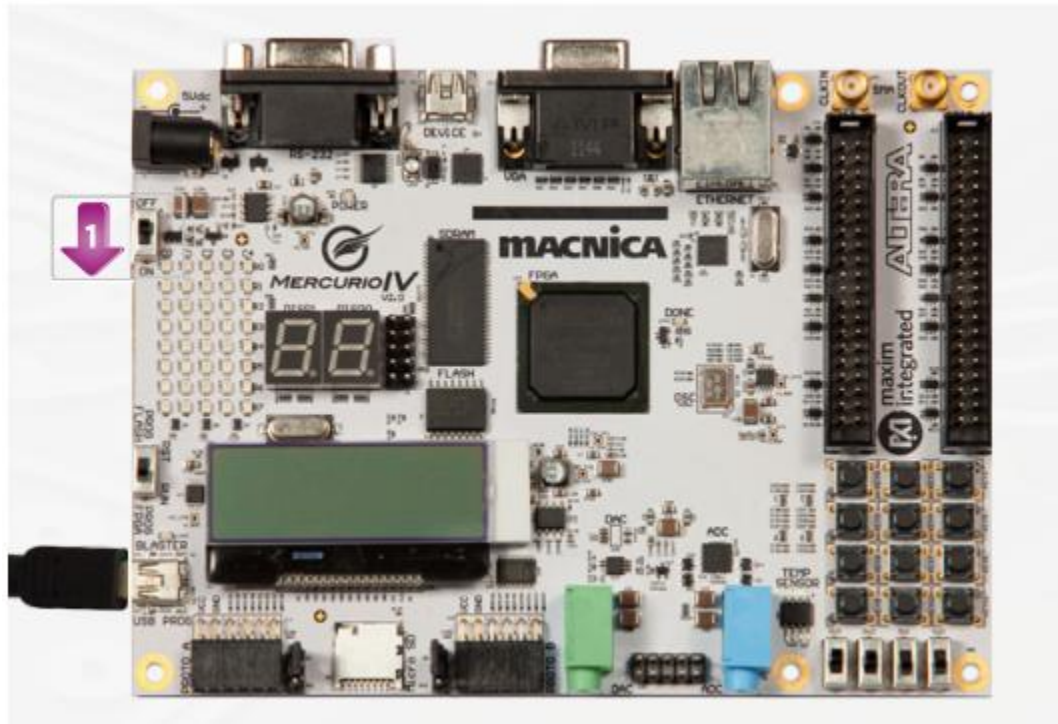
Significado dos Campos do nome do dispositivo:

- EP4CE: Cyclone IV –FPGA de baixo custo
- 30 : quantidade de elementos lógicos: 28848 (aproximadamente 30 mil)
- F23: Encapsulamento: Fineline BGA de 23 x 23 mm e 484 pinos
- C: temperatura de operação, 0 C a 85 C
- 7: tempo de atraso da porta: 7ns

Módulo de desenvolvimento Mercurio IV- Macnica

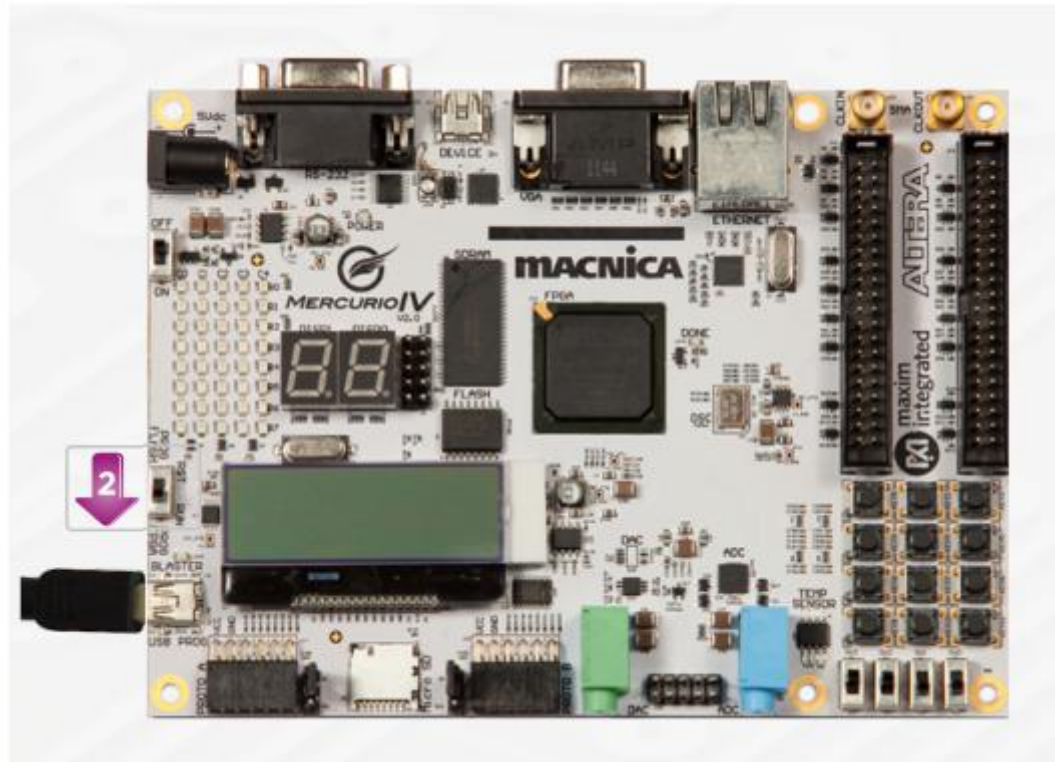


Módulo de desenvolvimento Mercurio IV– Macnica



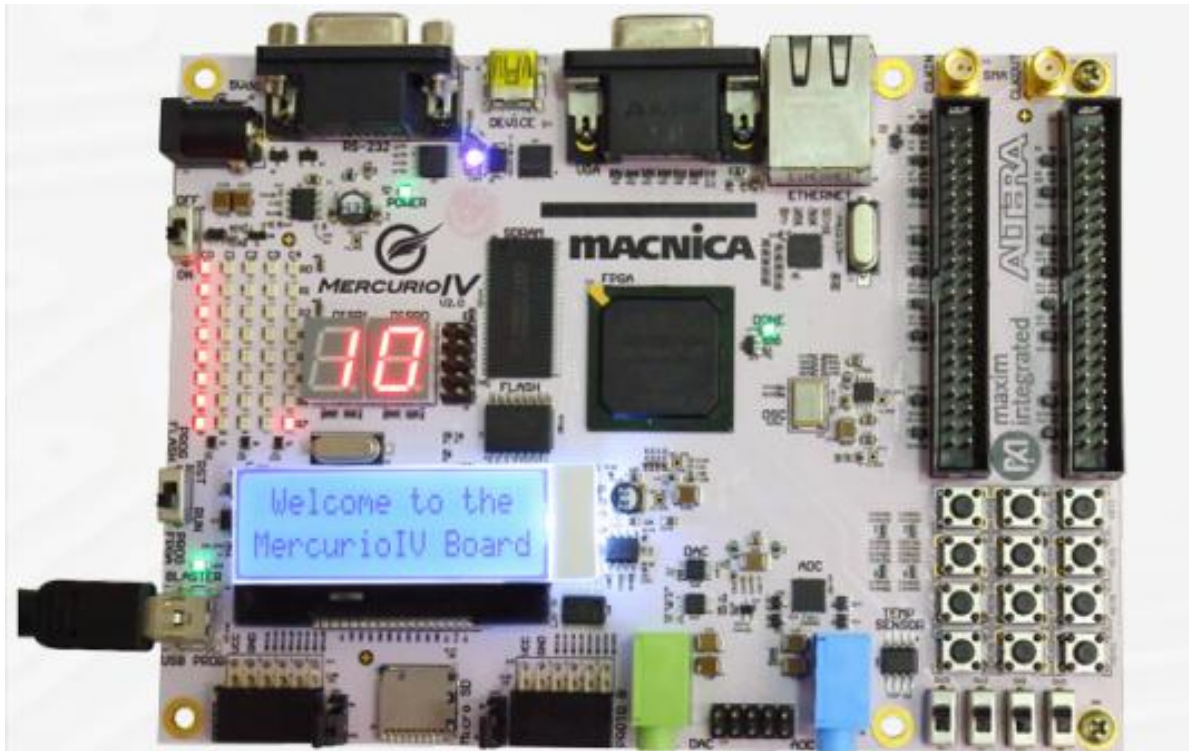
2) Colocar a **chave 1** na posição ON, para ligar a placa

Módulo de desenvolvimento Mercurio IV– Macnica



3) Colocar a **chave 2** na posição RUN (Prog FPGA),

Módulo de desenvolvimento Mercurio IV- Macnica



- 4) A placa ligará no modo de demonstração (configuração gravada pela fábrica).