

E1. Projete uma máquina de estados finitos Moore para detectar a sequência 101. Sequências válidas podem se sobrepor, como mostra o exemplo da figura f1a, onde Ck indica as bordas do sinal de *clock*, Y é a entrada (valor pré-Ck), Z é a saída (pós-Ck). Use o menor número necessário de bits para codificar os estados e flip-flops D para implementá-los. Determine as equações simplificadas da saída e de excitação dos flip-flops. Desenhe o diagrama lógico. Ao final, complete a carta de tempos da figura f1b, onde Q é o estado atual, considerando que a máquina inicia no estado inicial Q=00.

Ck	0	1	2	3	4	5	6	7	8	9	10	11
Y	0	1	1	0	1	0	1	0	0	1	0	1
Z	0	0	0	0	1	0	1	0	0	0	0	1

Figura f1a

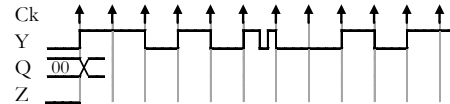


Figura f1b

E2. Refaça o exercício anterior, desta vez com uma máquina Mealy. Neste caso, os valores de saída Z na figura f1a são válidos antes das bordas de *clock*. Use X (*don't care*) para a saída (Z) e próximo estado ( $Q^{k+1}$ ) para nos estados codificados não usados.

E3. Projete uma máquina Mealy para detectar uma sequência de dois bits iguais seguidos de dois bits complementares aos primeiros, isto é, 1100 ou 0011. Sequências podem se sobrepor, como mostra o exemplo da figura f3 onde Ck indica as bordas do sinal de *clock*, Y é a entrada e Z é a saída (ambos pré-Ck). Apresentando o diagrama de estados, as tabelas de transição e de saída (não é necessário projetar os circuitos com flip-flops).

Ck	0	1	2	3	4	5	6	7	8	9	10	11
Y	0	1	1	0	0	1	1	0	0	0	1	1
Z	0	0	0	0	1	0	1	0	0	0	0	1

Figura f3

Ck	0	1	2	3	4	5	6	7	8	9	10	11	12	13
Y	0	1	0	0	1	0	0	1	0	1	0	0	1	0
Z	0	0	0	0	0	1	0	0	1	0	0	0	0	1

Figura f4

E5. A tabela abaixo descreve as transições de uma máquina sequencial de duas entradas  $Y_1Y_0$ , onde  $Q_1$  e  $Q_0$  são os bits de saída de flip-flops tipo D que codificam os estados, e Z é a saída. Determine a função minimizada da saída Z e apenas da excitação do flip-flop de  $Q_1$  (entrada D<sub>1</sub>).

$Q_1Q_0^k$	$Q_1Q_0^{k+1} / Z$			
	$Y_1Y_0=00$	$Y_1Y_0=01$	$Y_1Y_0=11$	$Y_1Y_0=10$
00	11 / 1	10 / 1	00 / 0	10 / 0
01	11 / 0	01 / 0	10 / 0	11 / 0
11	01 / 0	01 / 1	10 / 0	01 / 0
10	XX / X	XX / X	00 / 0	XX / X

E6. A figura f6 mostra um contador progressivo-regressivo (*up-down*) de 3 bits, semelhante ao da lista de exercícios 10: E é a entrada de *enable* e U controla se a contagem é regressiva (U=0) ou progressiva (U=1). A diferença é a saída RC, que sinaliza o fim de contagem (quando o contador está habilitado) e que depende de U:  $RC = 1$  se U=0 e Q[2:0]=000, ou se U=1 e Q[2:0]=111. Note que RC é uma saída do tipo Mealy, pois RC muda assincronamente se E ou U mudam. Faça o diagrama de estados Mealy, codificando os estados com o próprio valor da contagem em binário, e determine a expressão minimizada de RC. Nota: a máquina de estados é a mesma do contador da lista 10 – confira. Se você não o projetou antes, pode aproveitar para fazê-lo agora, usando flip-flops D.

E7. Um circuito deve atrasar uma entrada Y em dois ou três períodos de clock, dependendo do valor da entrada de controle S: se S=0, a saída deve ser  $Z(k) = Y(k-2)$ ; e para S=1,  $Z(k) = Y(k-3)$ . Faça o diagrama de estados e as tabelas de transição e de saída para um circuito Mealy. Assuma que o estado inicial é tal que as primeiras saídas do circuito sejam iguais a zero, ou seja,  $Y(-1)=Y(-2)=Y(-3)=0$ . (Dica: considere somente o

caso S=1, e faça o diagrama associando a cada estado os três últimos valores de Y. Em seguida, complete o diagrama para o caso S=0. A máquina sempre armazena as três últimas entradas, mas fornece como saída a mais antiga ou a penúltima, dependendo do valor de S).

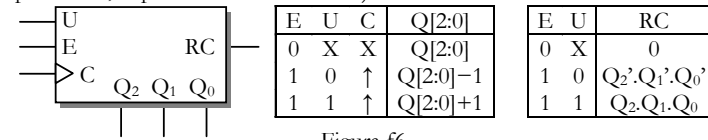


Figura f6

E8. Máquinas de estado que operam sobre sequências de entrada (como as dos exercícios E1, E3, E4 e E7 por exemplo) podem ser projetados de forma heurística usando-se um registrador de deslocamento (*shift register*) para implementar os estados e um circuito combinacional para gerar a saída do circuito a partir das saídas dos flip-flops. Em particular, o atrasador do exercício E7 pode ser construído como mostra a figura f8a, onde os blocos FF\_D são 3 flip-flops D e Mux2\_1 é um multiplexador 2:1. Complete a carta de tempos da figura f8b (note o sinal S muda entre dois clocks consecutivos e a saída Y também pode mudar junto).

E9. Descreva o circuito da figura f8a em um módulo Verilog de nome Delay2\_3 e faça um *testbench* que o simule com os sinais de entrada mostrados na figura f8b.

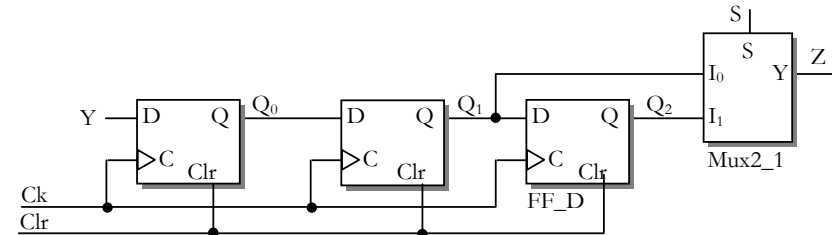


Figura f8a

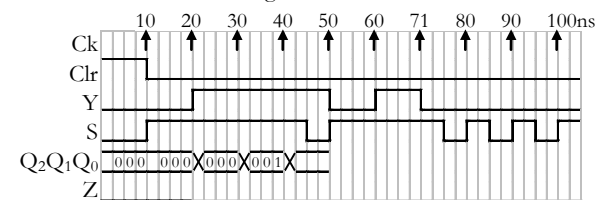


Figura f8b

Algumas respostas

E1) 4 estados. Transições ( $Q^k/Z \rightarrow [Q^{k+1}$  para Y=0,  $Q^{k+1}$  para Y=1]): 00/0  $\rightarrow$  [00, 01]; 01/0  $\rightarrow$  [11, 01]; 11/0  $\rightarrow$  [00, 10]; 10/1  $\rightarrow$  [11, 01]. Saída:  $Z = Q_1 \cdot Q_0'$ . Excitação:  $D_1 = Q_1' \cdot Q_0 \cdot Y' + Q_1 \cdot Q_0 \cdot Y + Q_1 \cdot Q_0' \cdot Y'$ ;  $D_0 = Q_1' \cdot Q_0 + Q_1 \cdot Q_0' + \{ Q_1' \cdot Y \text{ ou } Q_0' \cdot Y \}$ . Carta de tempos: Z=1 entre Ck 4-5, 6-7 e após 11.

E2) 3 estados. Transições ( $Q^k \rightarrow [Q^{k+1}/Z$  para Y=0,  $Q^{k+1}/Z$  para Y=1]): 00  $\rightarrow$  [00/0, 01/0]; 01  $\rightarrow$  [11/0, 01/0]; 11  $\rightarrow$  [00/0, 01/1]. Saída:  $Z = Q_1 \cdot Y$ . Excitação:  $D_1 = Q_1' \cdot Q_0 \cdot Y'$ ;  $D_0 = Y + Q_1' \cdot Q_0$ . Carta de tempos: Z=1 entre Ck 3-4, 5-6 (copia Y), e entre 10-11 (mas somente é validado em Ck 4, 6 e 11).

E3) 7 estados.  $Q^k \rightarrow [Q^{k+1}/Z$  para Y=0;  $Q^{k+1}/Z$  para Y=1]: A  $\rightarrow$  [B/0; E/0], B  $\rightarrow$  [C/0; E/0], C  $\rightarrow$  [C/0; D/0], D  $\rightarrow$  [B/0; F/1], E  $\rightarrow$  [B/0; F/0], F  $\rightarrow$  [G/0; F/0], G  $\rightarrow$  [C/1; E/0].

E4) 5 estados. Transições ( $Q^k \rightarrow [Q^{k+1}/Z$  para Y=0,  $Q^{k+1}/Z$  para Y=1]): A  $\rightarrow$  [A/0, B/0]; B  $\rightarrow$  [C/0, B/0]; C  $\rightarrow$  [D/0, B/0]; D  $\rightarrow$  [000/0, E/0]; E  $\rightarrow$  [C/1, B/0].

E5)  $Z = Y_1' \cdot Q_0' + Y_1' \cdot Y_0 \cdot Q_1$ ;  $D_1 = Y_1' \cdot Q_0' + Y_0' \cdot Q_1' + Y_1 \cdot Y_0 \cdot Q_0$ . E6)  $RC = E \cdot (U' \cdot Q_2' \cdot Q_1' \cdot Q_0' + U \cdot Q_2 \cdot Q_1 \cdot Q_0)$ .

E7) 8 estados em árvore binária. Transições ( $Q^k \rightarrow [Q^{k+1}/Z$  para SY=00, 01, 11, 10]):

000  $\rightarrow$  [000/0, 001/0, 001/0, 000/0]; 001  $\rightarrow$  [010/0, 011/0, 011/0, 010/0]; 010  $\rightarrow$  [100/1, 101/1, 100/0, 101/0]; 011  $\rightarrow$  [110/1, 111/1, 111/0, 110/0]; 100  $\rightarrow$  [000/0, 001/0, 001/1, 000/1]; 101  $\rightarrow$  [010/0, 011/0, 011/1, 010/1]; 110  $\rightarrow$  [100/1, 101/1, 101/1, 100/1]; 111  $\rightarrow$  [110/1, 111/1, 111/1, 110/1].