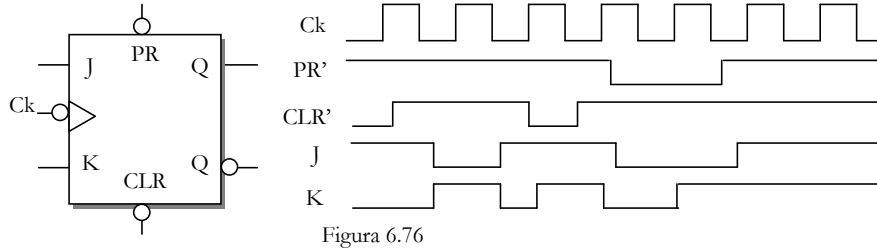
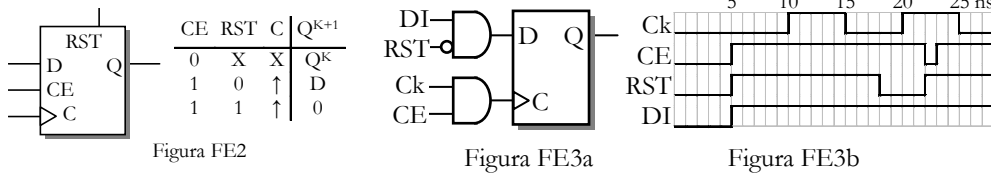


E1. (Idoeta & Capuano, 6.5.2) Em função dos sinais aplicados, determine a forma de onda da saída Q para o flip-flop da figura 6.76 (o flip-flop é sensível à borda de descida!). As entradas PR' e CLR' agem sobre as saídas Q e Q' assincronamente: PR' = 0 causa um *preset* (Q=1) e CLR' = 0 causa um *clear* (Q=0).

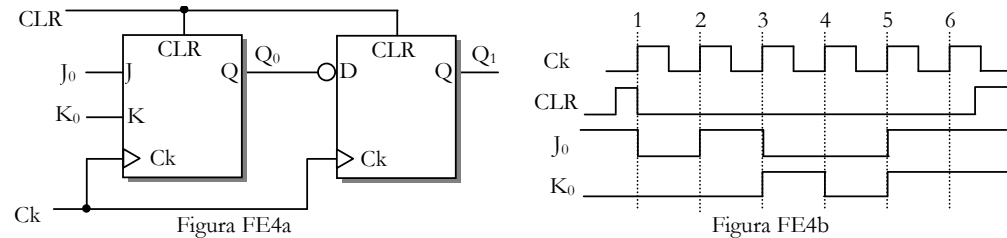


E2. A figura FE2 mostra um flip-flop D com entradas “Clock Enable” (CE=0 desabilita o clock) e “Reset Síncrono” (RST=1 faz Q=0 sincronamente com o clock). Construa esse flip-flop usando um flip-flop D e portas lógicas.

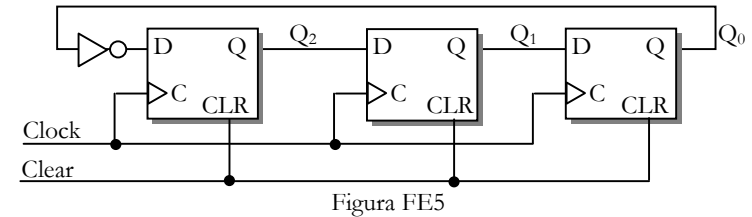
E3. O estudante principiante apresentou o circuito da figura FE3a como resposta para o exercício E2. Desenhe os sinais C, D e Q do flip-flop para as entradas mostradas na figura FE3b e mostre que o circuito tem um erro que indica o estudante deveria assistir mais às aulas. Você pode também simular esse circuito e o anterior em Verilog e comparar com os resultados. Veja os exemplos no [eDisciplinas](#).



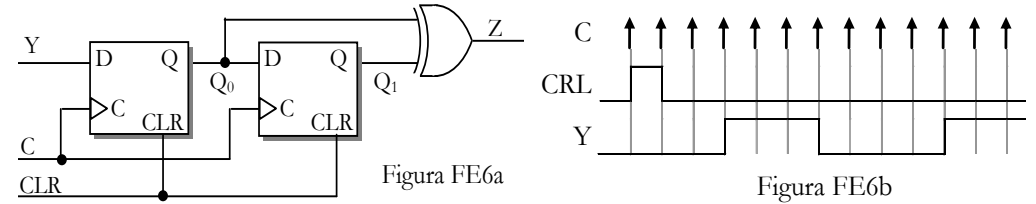
E4. Determine a forma de onda das saídas Q₀ e Q₁ dos flip-flops da figura FE4a, considerando os sinais de entrada mostrados na figura FE4b. As entradas CLR zeram os flip-flops Q de forma **assíncrona**.



E5. Faça a carta de tempos de Q₂, Q₁ e Q₀ do circuito da figura FE5 (conhecido como contador em anel torcido) para oito períodos iniciais de Clock, assumindo que os flip-flops comecem zerados.

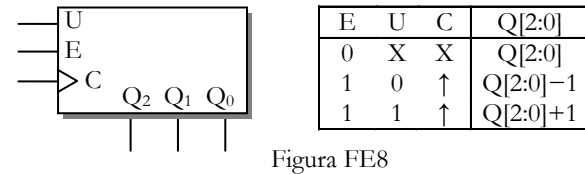


E6. Dado o circuito da figura FE6a, determine a forma de onda dos sinais Q₀ e Q₁ e da saída Z, considerando os sinais de entrada da figura FE6b. O que este circuito faz?



E7. Usando flip-flops JK e portas lógicas adicionais, construa um contador síncrono de quatro bits com entrada de *enable* (En) e saída *ripple carry* (RC), onde En = 1 habilita a contagem e RC = 1 quando o contador se encontra habilitado e a contagem atinge o máximo.

E8. A figura FE8 mostra um contador progressivo-regressivo (*up-down*) de 3 bits. A entrada E (*Enable*) habilita a contagem quando em 1. A contagem é regressiva quando U = 0 e progressiva quando U = 1. Projete esse contador na forma de uma máquina Moore usando flip-flops D. Nota: o contador pode ser entendido como máquina de estados em que a saída é o próprio estado atual codificado em binário – ou seja, estado 0 = 000, estado 1 = 001, estado 2 = 010, etc.



Algumas respostas

E1) Q=0 nas bordas de clock 2, 3 e 6; Q=1 nas demais e assincronamente entre os clocks 3 e 4.

E2) $D = CE' \cdot Q + CE \cdot RST' \cdot D$

E3) Em t=23 ns, aparece uma borda em C e Q vai a um.

E4) Ambos indefinidos até 1a. subida de CLR e vão a zero assincronamente no final. Q₀=1 após Ck 3 e 6; Q₀=0 após demais bordas. Q₁=1 após Ck 2, 3 e 5; Q₁=0 após demais bordas.

E5) Q[2:0]: 000 – 100 – 110 – 111 – 011 ...

E6) $Q_0^k = Y^{k-1}$, $Q_1^k = Y^{k-2} \rightarrow Z = 1$ quando $Y^{k-1} \neq Y^{k-2}$ (Y mudou entre dois clocks).

E7) $J_0 = K_0 = CE$; $J_1 = K_1 = CE \cdot Q_0$; $J_2 = K_2 = CE \cdot Q_0 \cdot Q_1$; ... $RC = CE \cdot Q_0 \cdot Q_1 \cdot Q_2 \cdot Q_3$

E8) $D_0 = E' \cdot Q_0 + E \cdot Q_0'$; $D_1 = E' \cdot Q_1 + E \cdot Q_1'$; $(U' \cdot Q_{i-1}' \cdot Q_{i-2}' \dots Q_0' + U \cdot Q_{i-1} \cdot Q_{i-2} \dots Q_0) p / 0 < i < n$;