

E1. Desenhe os circuitos dos latches SR positivo e negativo e suas respectivas tabelas características.

E2. Desenhe as saídas  $Q$  e  $Q_N$  de um latch SR positivo (de dois NORs) para os sinais de entrada mostrados na figura FE2, desprezando os atrasos de propagação. Nota: para simular em Verilog, veja o exemplo de geração procedural de sinais disponível no [eDisciplinas](#).

E3. (Adaptado de Walerky, 7.5) Repita o exercício anterior para os sinais de entrada da figura FE3, considerando agora que o atraso de propagação de cada porta NOR é de 10 ns. Nota: o resultado pode ocorrer em dispositivos reais se o tempo de transição for muito curto com relação ao tempo de propagação.

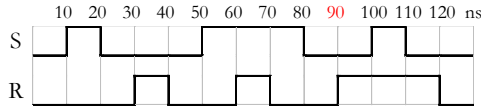


Figura FE2

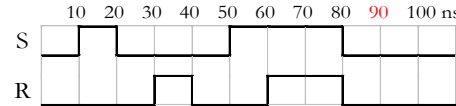


Figura FE3

E4. (Adaptado de Taub,) Mostre que o circuito da figura FE4 (não é um latch SR positivo!) possui 2 estados estáveis para  $A=0$  e  $B=0$ , e que se pode fazer o circuito mudar de um desses estados para o outro através das entradas  $A$  e  $B$ , mas o caminho contrário não.

E5. Redesenhe o circuito da figura FE4, substituindo a porta G2 por uma porta AND. Verifique que o circuito agora possui 2 estados estáveis para  $A=0$  e  $B=1$ , e que é possível levar o circuito para qualquer um desses estados por meio das entradas  $A$  e  $B$ . Indique quais são os estados estáveis e como fazer o circuito transitar de um estado para o outro.

E6. A figura FE6 esquematiza um latch D. A entrada  $PR'$  (preset) leva saída  $Q$  a 1 assincronamente com clock  $C$  quando  $PR' = 0$  (sinal ativo em zero). Projete esse latch usando um latch SR positivo (desenhe esse latch) e portas lógicas adicionais.

E7. A figura FE7 esquematiza um latch D. A entrada  $Clr$  (clear) leva saída  $Q$  a 0 assincronamente com clock  $C$  quando  $Clr = 1$ . Projete esse latch usando um latch SR negativo (com dois NANDs; desenhe esse latch) e portas lógicas adicionais.

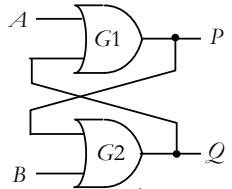


Figura FE4

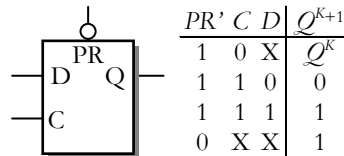


Figura FE6

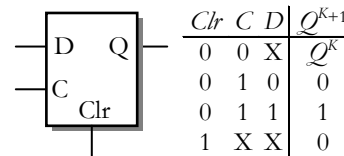


Figura FE7

E8. O estudante principiante achou que poderia resolver o exercício E7 sem esforço e chegou no circuito da figura FE8a. Desenhe o sinal de saída  $Q$  para as entradas mostradas na figura FE8b e mostre que o circuito tem um erro que comprova que o estudante deveria se esforçar mais. Você pode também simular esse circuito em Verilog e comparar com o resultado do exercício E13. Veja o exemplo no [eDisciplinas](#).

E9. A figura FE9a mostra o símbolo de um flip-flop D sensível à borda de subida e sua tabela característica. A figura FE9b mostra como implementá-lo com o circuito mestre-escravo, construído com 2 latches (sensíveis a nível) com clear assíncrono ( $Clr$ ). Determine a forma de onda dos sinais  $Q_M$  e  $Q_{Out}$  para as entradas mostradas na figura FE9c e mostre que o circuito equivale ao flip-flop D.

E10. No exercício E9, repare no que acontece nos instantes 20 e 30 ns, quando o clock  $C_k$  e a entrada  $D_{in}$  transitam simultaneamente. Mostre que o circuito mestre-escravo armazena o valor de  $D_{in}$  imediatamente anterior à borda de  $C_k$  (com tempo de hold tendendo a zero).

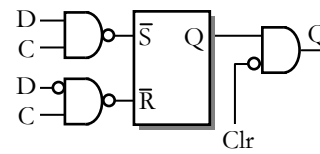


Figura FE8a

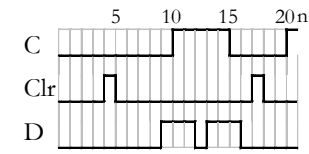


Figura FE8b

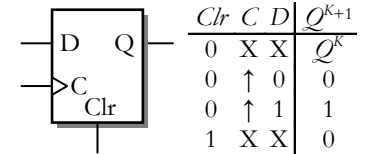


Figura FE9a

Clr	C	D	$Q^{K+1}$
0	X	X	$Q^K$
0	↑	0	0
0	↑	1	1
1	X	X	0

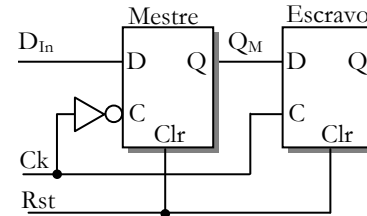


Figura FE9b

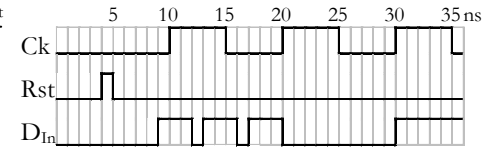


Figura FE9c

E11. Converta o flip-flop T da figura FE11 no flip-flop D da figura FE9a.

E12. Converta o ff. D Mestre-Escravo da figura FE9a no ff. JK da figura FE12.

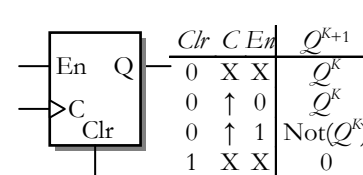


Figura FE11

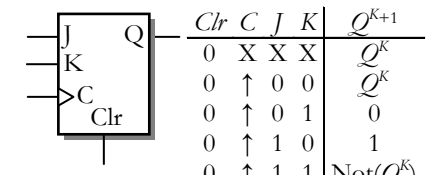


Figura FE12

Clr	C	J	K	$Q^{K+1}$
0	X	X	X	$Q^K$
0	↑	0	0	$Q^K$
0	↑	0	1	0
0	↑	1	0	1
0	↑	1	1	Not( $Q^K$ )
1	X	X	X	0

E13. Escreva em Verilog o módulo LatchNRS(RN, SN, Q, QN) que implementa o latch RS negativo (com dois NANDs). Em seguida, escreva o módulo LatchD(D, C, Clr, Q) que implementa o latch da figura FE8 instanciando o LatchNRS. Escreva um *testbench* que simule o LatchD com os sinais da figura FE8b.

E14. Escreva em Verilog o módulo FFD\_ME(DIn, Ck, Rst, QM, QOut) que implementa o circuito mestre-escravo da figura FE9b instanciando duas vezes o módulo LatchD do exercício anterior. Escreva um *testbench* que simule o FFD\_ME com os sinais da figura FE9c.

Algumas respostas

E2)  $Q=X$  em 0-10;  $Q=1$  em 10-30, 50-60 e 70-90;  $Q=0$  no resto.  $Q_N=X$  em 0-10;  $Q_N=0$  em 10-30, 50-90 e 100-110;  $Q_N=1$  no resto.

E3)  $Q=Q_N=0$  em 70-90 e depois oscila entre 0 e 1 a cada 10ns.

E4)  $AB=01$  ou  $10 \rightarrow PQ=11$  (mas  $PQ=00$  não)

E5)  $AB=01 \rightarrow P=Q$  se mantém;  $AB=11 \rightarrow PQ=11$ ;  $AB=00 \rightarrow PQ=00$ ;  $AB=10 \rightarrow PQ=10$  (não memorizável)

E7)  $R' = Clr'(C' + D)$ ;  $S' = (C.D.Clr)'$ .

E8)  $Q=X$  em 6-10 ns. No final do segundo pulso de  $Clr$  (em 18 ns), a saída  $Q$  volta a 1.

E9)  $Q_M=Q_{Out}=X$  em 0-4.  $Q_M=1$  em 9-16, 18-25 e 35-fim;  $Q_M=0$  no resto.  $Q_{Out}=1$  em 10-30;  $Q_{Out}=0$  no resto.

E11)  $En = D \oplus Q$  ( $En$  e  $Q$  são respectivamente a entrada e a saída do ff. T)

E12)  $D_{in} = J \cdot Q_{out}' + K' \cdot Q_{out}$  ( $D_{in}$  é a entrada do primeiro latch e  $Q_{out}$  é a saída do segundo)