

E1. A tabela abaixo representa um multiplexador, onde S é a entrada de seleção, D<sub>1</sub> e D<sub>0</sub> são entradas de dados, e Y é a saída. Observe que Y = D<sub>0</sub> quando S = 0 e Y = D<sub>1</sub> quando S = 1. Determine a expressão de Y na forma de soma de mintermo, simplifique algebricamente e apresente o diagrama lógico do circuito simplificado.

S	D <sub>1</sub>	D <sub>0</sub>	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1

S	D <sub>1</sub>	D <sub>0</sub>	Y
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

E2. (Gajski, 4.6) Find all the minimal covers for the following Boolean functions.

(Nota 1: simplifique por Mapas K - cada uma admite duas ou mais soluções equivalentes; indique todas. Nota 2: NÃO FAÇA a tabela da verdade!)

c)  $F = x'y'z' + w'y'z + x.y.z + w'y.z'$  d)  $F = w'y'.z' + w.x'y' + w'y + w'.x'.y'.z + w.x.y.z'$

E3. (Wakerly, 4.14) Using Karnaugh maps, find a minimal sum-of-products expression for each of the following logic functions. Indicate the distinguished 1-cells in each map.

a)  $F = \sum_{x,y,z}(1, 3, 5, 6, 7)$  b)  $F = \sum_{w,x,y,z}(1, 4, 5, 6, 7, 9, 14, 15)$

(extra)  $F = \sum_{w,x,y,z}(0, 1, 2, 3, 8, 10, 11, 12, 13)$

E4. (Idoeta & Capuano, 3.10.13) Determine as expressões simplificadas para S1 e S2 da tabela (A,B,C,D e E são as entradas)

C	D	E	AB = 00		AB = 01		AB = 10		AB = 11	
			S1	S2	S1	S2	S1	S2	S1	S2
0	0	0	1	1	0	1	1	1	0	1
0	0	1	1	0	0	0	1	0	0	0
0	1	0	1	1	1	1	0	1	1	1
0	1	1	1	0	0	0	0	1	0	0
1	0	0	0	1	1	1	0	1	0	1
1	0	1	1	1	1	1	1	1	1	1
1	1	0	0	1	0	1	0	1	0	1
1	1	1	1	1	1	1	1	1	1	1

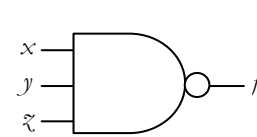
E5. Dada a função  $f(d_3, d_2, d_1, d_0) = \sum m(0, 1, 4, 6, 8, 10, 11, 12, 13)$ , onde d<sub>3</sub> é o bit mais significativo para a numeração dos mintermos, pede-se: a) Determine todos os Implicantes Primos Essenciais. Em cada IPE, indique os bits que o torna essencial. b) Determine a expressão minimizada na forma de soma de produtos.

E6. (Wakerly, 4.18) Using Karnaugh maps, find a minimal sum-of-products expression for each of the following logic functions. Indicate the distinguished 1-cells in each map.

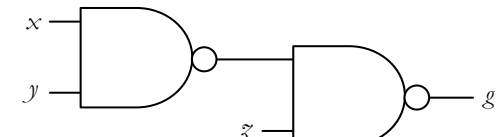
(Nota: d(i, j, ...) denota que os mintermos m<sub>i</sub>, m<sub>j</sub>, etc, são don't care (X))

a)  $F = \sum_{w,x,y,z}(0, 1, 3, 5, 14) + d(8, 15)$  b)  $F = \sum_{w,x,y,z}(0, 1, 2, 8, 11) + d(3, 9, 15)$

E7. Um estudante principiante em Eletrônica Digital tentou implementar o circuito da figura FE7a (um NAND de 3 entradas) do jeito mostrado na figura FE7b. a) Passe as duas funções para a forma soma de produtos e mostre que o estudante precisa estudar mais. b) Mostre como construir corretamente o circuito figura FE7a usando apenas NANDs de 2 entradas.



FE7a



FE7b

E8. Com relação ao circuito XOR(a, b), pede-se: a) Mostre que ele pode ser construído apenas com portas NAND na forma  $a \oplus b = \overline{\overline{(a.a)}b} \overline{\overline{a}(b.b)}$  e desenhe o diagrama

lógico deste circuito. b) Mostre que  $\overline{a.b} = \overline{(a.b)}b$  e que  $a.\overline{b} = \overline{(a.b)}a$ . c) Usando essas igualdades, mostre como construir XOR(a, b) usando uma porta a menos.

E9. (Taub, 2.15-2) Um circuito lógico tem cinco entradas e uma saída. As quatro entradas A, B, C e D representam um dígito decimal em BCD (Binary Coded Decimal). A quinta entrada é uma entrada de controle. Quando a entrada de controle estiver em 0, a saída deve ser 0 se o número decimal for par, e 1 lógico se o número decimal for ímpar. Quando a entrada de controle estiver em 1, a saída deve ser 0, exceto se o número for múltiplo não nulo de 3. Projete o circuito (Nota: combinações que representem números em binário de dez a quinze são do tipo don't care).

E10. Simplifique algebricamente a expressão  $S = a'.b' + a'.c'.d' + b'.c'.d + a'.c.d + b'.c.d'$

Algumas respostas

E1)  $S'.D_0 + S.D_1$

E2)  $w.x'.y' + w'.x'.z' + w'.x.y + w.x.z$  ou  $w.y'.z + x'.y'.z' + w'.y.z' + x.y.z$ ; d) 4 soluções equivalentes

E3a)  $Z + X.Y$ ; b)  $W'.X + X.Y + X'.Y'.Z$  (3 IPEs); (extra)  $W'.X' + X'.Z' + X'.Y + W.X.Y'$

E4)  $S2 = C + E' + A.B'.D$ . 2.15-1)  $A'.B' + A.D + A.C$ .

E5a)  $d3'.d2'.d1', d3'.d2.d0', d3.d2'.d1, d3.d2.d1'$ ; b) anteriores +  $d1'.d0'$

E6a)  $W'.Y'.Z + W'.X'.Z + W.X.Y + W'.X'.Y'$ ; b)  $W'.X' + X'.Y' + X'.Z$

E9)  $F = M'.D + A.D + B'.C.D + M.B.C.D'$  (M é o bit de controle)

E10)  $a'.c'.d' + b'.c'.d + a'.c.d + b'.c.d'$  (dica: esta expressão equivale a  $a'.(c \oplus d)' + b'.(c \oplus d)$ )