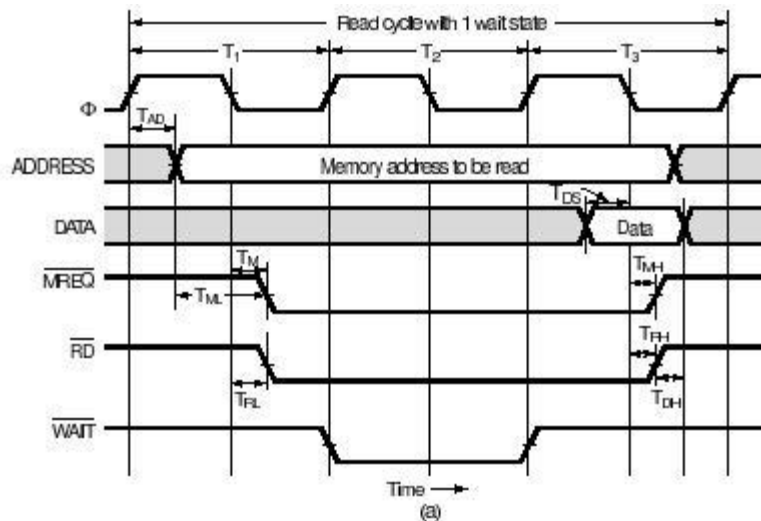


Exercícios Entrada/Saída e Barramento:

- 1) Para a realização das operações de E/S o SO deve enviar comandos contendo, por exemplo, o endereço do dispositivo desejado e a operação a ser feita. Há pelo menos dois métodos para que os comandos sejam enviados. Descreva esses métodos, comentando as vantagens e desvantagens de cada um.
- 2) Quando o módulo de DMA obtém o barramento e detém o controle sobre o mesmo, quais atividades o processador pode realizar?
- 3) Em tese, todos os sistemas que utilizam módulos de DMA permitem que o DMA tenha maior prioridade de acesso à memória que o processador. Por que isso ocorre?
- 4) Quais as vantagens de se usar canais ou processadores de E/S?
- 5) O diagrama abaixo representa uma operação de leitura sobre um barramento síncrono, cujo clock é de 25ns. A operação de leitura envolve a memória, cujo tempo de acesso é de 45ns (após a estabilização do endereço no barramento). Um projetista deseja que a resposta não seja mais dada na transição de queda de T3. Agora ele deseja que a resposta seja dada na transição de queda de T2. Qual deverá ser o tempo de acesso da memória (no máximo) para se atingir esse objetivo? Na sua resposta considere que todos os demais parâmetros não serão alterados.

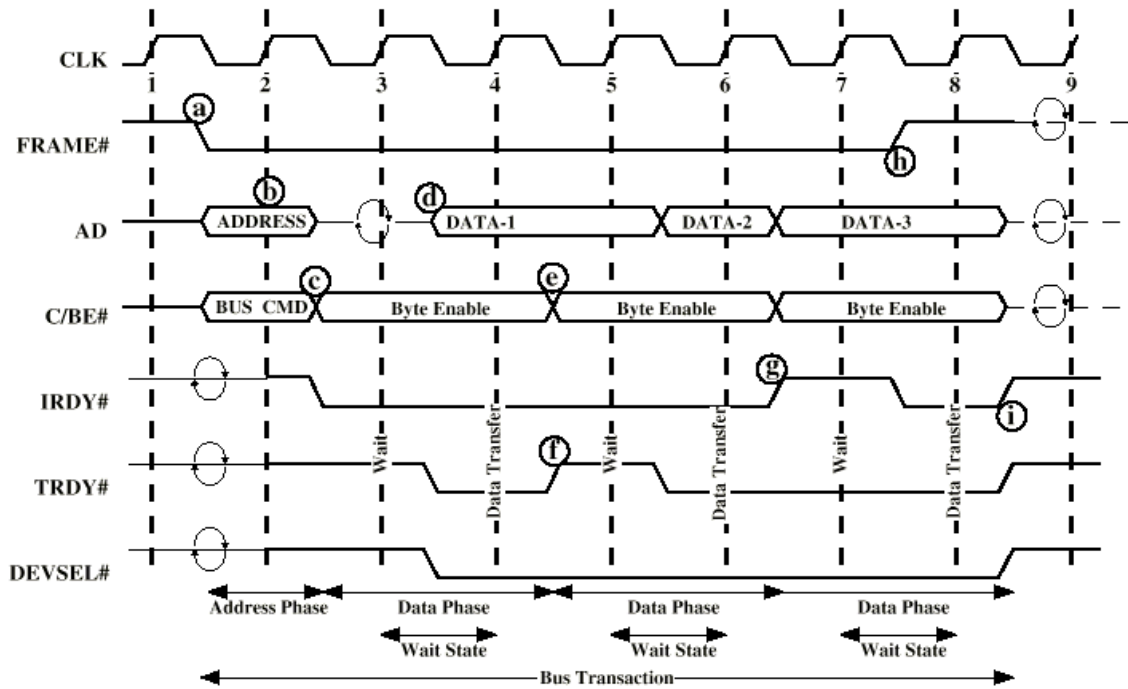


Symbol	Parameter	Min	Max	Unit
T_{AD}	Address output delay		11	nsec
T_{ML}	Address stable prior to MREQ	6		nsec
T_M	MREQ delay from falling edge of Φ in T_1		8	nsec
T_{FL}	RD delay from falling edge of Φ in T_1		8	nsec
T_{DS}	Data setup time prior to falling edge of Φ	5		nsec
T_{MLH}	MREQ delay from falling edge of Φ in T_3		8	nsec
T_{RH}	RD delay from falling edge of Φ in T_3		8	nsec
T_{DLH}	Data hold time from negation of RD	0		nsec

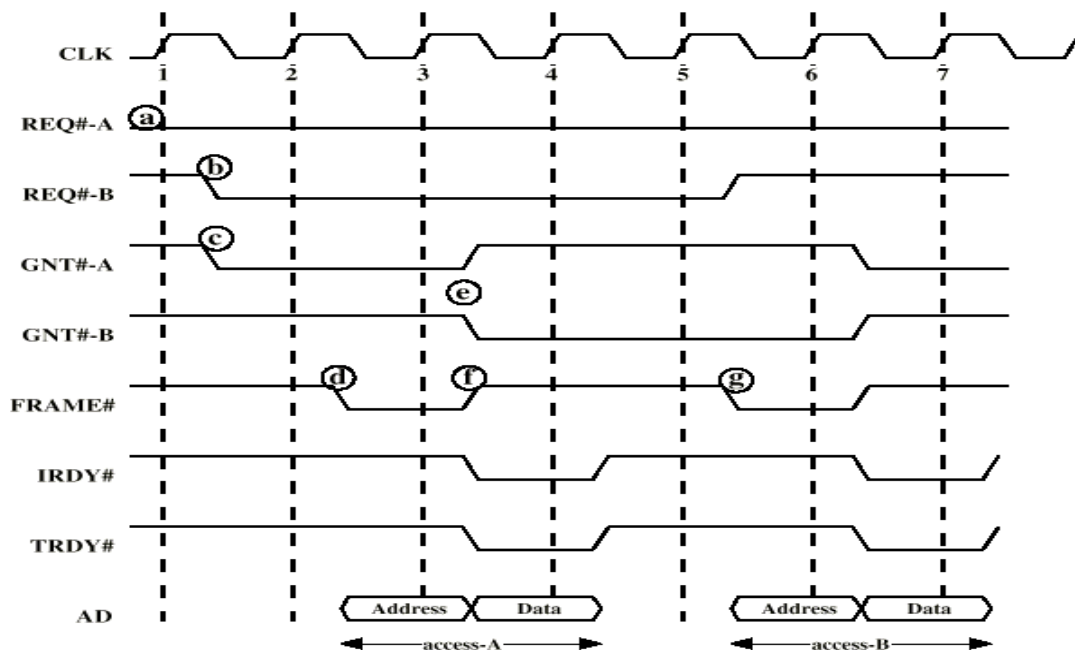
(b)

- 6) Uma das atividades feitas em operações de Entrada/Saída (E/S) é a transferência dos dados entre módulos de E/S e memória principal. Considerando exclusivamente essa atividade, há diferença entre E/S Programada e E/S dirigida por Interrupção? Por quê?
- 7) Ainda considerando apenas a transferência dos dados entre módulos de E/S e memória principal, há diferença entre E/S dirigida por Interrupção e a E/S por DMA? Por quê?
- 8) Qual a diferença entre o árbitro e o mestre do barramento?
- 9) Cite uma sobrecarga associada à atividade de interrupção que afeta o desempenho dos processos em execução no processador.

10) O diagrama abaixo ilustra uma transferência de três blocos de dados no barramento PCI, após o processo de arbitragem já ter sido realizado. Por que no ciclo de número cinco há um estado de espera? O que precisa ser alterado na figura para que este estado de espera não ocorra mais?



11) A Figura abaixo demonstra o processo de arbitragem realizado no barramento PCI, quando dois dispositivos tentam ser mestres do barramento. Neste exemplo, ambos os dispositivos A e B têm apenas um bloco de dados para o envio. REDESENHE a Figura abaixo, considerando agora que o dispositivo A terá DOIS blocos para o envio nesta primeira requisição e NÃO APENAS UM, conforme ilustrado. Redesenhe apenas aquilo que você alterar da Figura.



11.1) Quantos ciclos serão utilizados para o envio dos 2 blocos de A e do único bloco de B?

11.2) Qual será a ordem de envio desses três blocos pelo barramento?