

PCS3115: Sistemas Digitais I

Síntese de Circuitos Combinatórios

(projeto!)

Seção 4.3 do livro-texto

2018/1

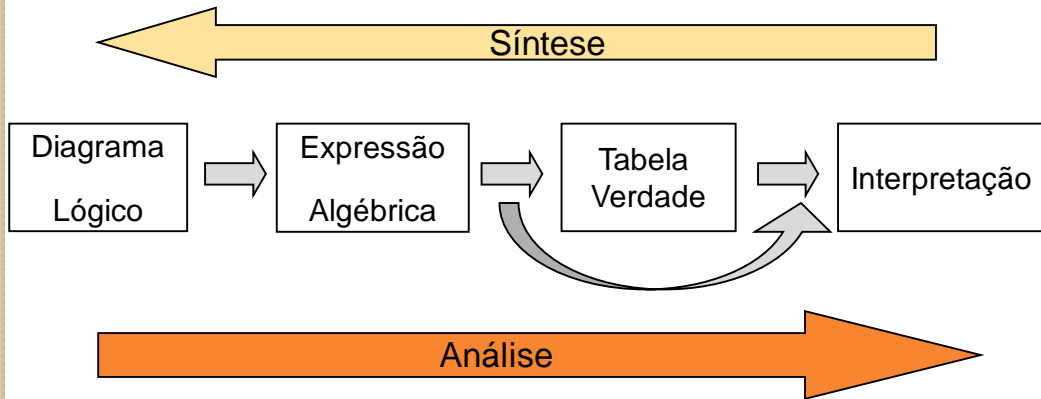
1

Objetivos da primeira parte

- Obter o circuito combinatório (diagrama) a partir de uma função lógica.
- **Mapas de Karnaugh:** Conceito, construção e utilização de mapas até 4 variáveis.
- Referência: seções 4.3.1 a 4.3.5 (início)

2

Representações



Spina

3

Síntese de Circuitos Combinatórios

- Dada a descrição do problema:
 - Interpretar,
 - Descrever:
 - Tabela Verdade,
 - Expressão algébrica;
 - Simplificações,
 - Diagrama lógico,
 - Implementação.
 - VHDL.

Spina

4

Ex: Detector de n^0 primo (4 bits)

- Entrada de 4 bits $N = N_3N_2N_1N_0$,
- Produza saída 1 para $N = 1, 2, 3, 5, 7, 11, 13$, e
- 0 caso contrário.

5

Detector de n^0 primo (4 bits)

- $F = \sum_{N_3N_2N_1N_0} (1, 2, 3, 5, 7, 11, 13)$

1 é numero primo?

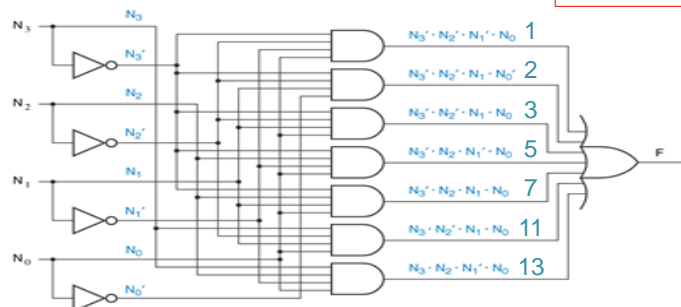


Figure 4-18

Canonical-sum design for 4-bit prime-number detector.

6

Implementação da Soma de Produtos

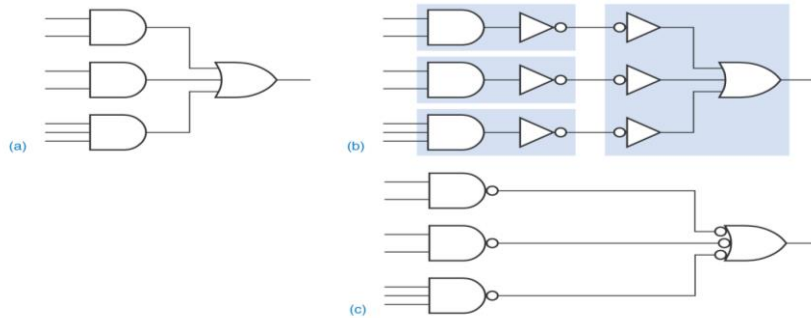


Figure 4-21

Alternative sum-of-products realizations: (a) AND-OR; (b) AND-OR with extra inverter pairs; (c) NAND-NAND.

Nands e Nors não são naturais no modo de descrever o fenômeno com palavras mas costumam ser mais rápidos no circuito

From *Digital Design: Principles and Practices*, Fourth Edition, John F. Wakerly, ISBN 0-13-186389-4. ©2006, Pearson Education, Inc., Upper Saddle River, NJ. All rights reserved.

Implementação da Soma de Produtos

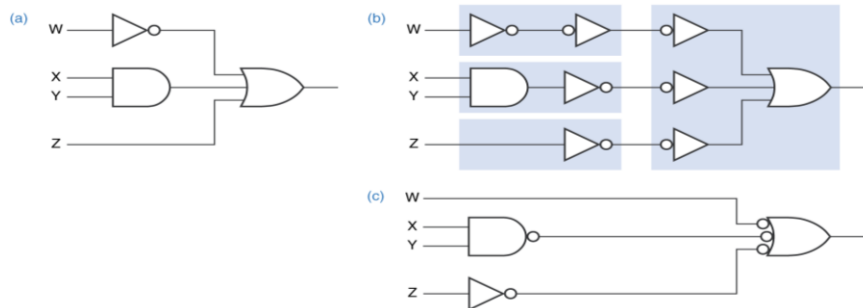


Figure 4-22

Another two-level sum-of-products circuit: (a) AND-OR; (b) AND-OR with extra inverter pairs; (c) NAND-NAND

From *Digital Design: Principles and Practices*, Fourth Edition, John F. Wakerly, ISBN 0-13-186389-4. ©2006, Pearson Education, Inc., Upper Saddle River, NJ. All rights reserved.

Implementação do Produto de Somas

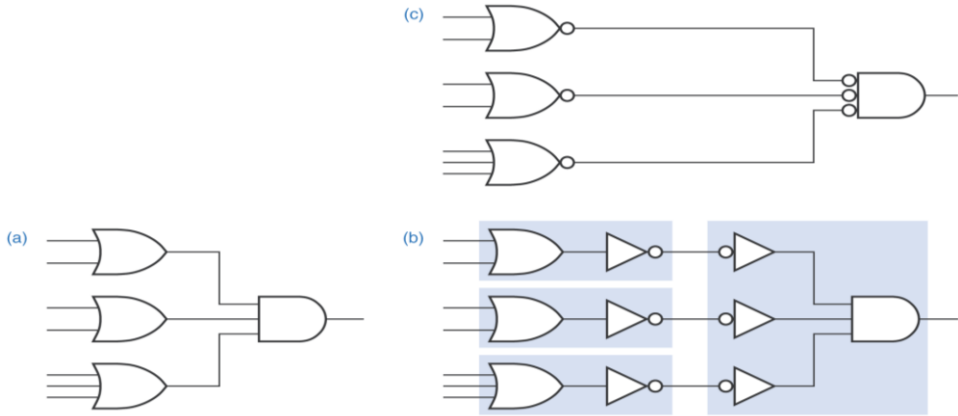


Figure 4-23

Realizations of a product-of-sums expression: (a) OR-AND; (b) OR-AND with extra inverter pairs; (c) NOR-NOR.

From *Digital Design: Principles and Practices*, Fourth Edition, John F. Wakerly, ISBN 0-13-186389-4. ©2006, Pearson Education, Inc., Upper Saddle River, NJ. All rights reserved.

Manipulações

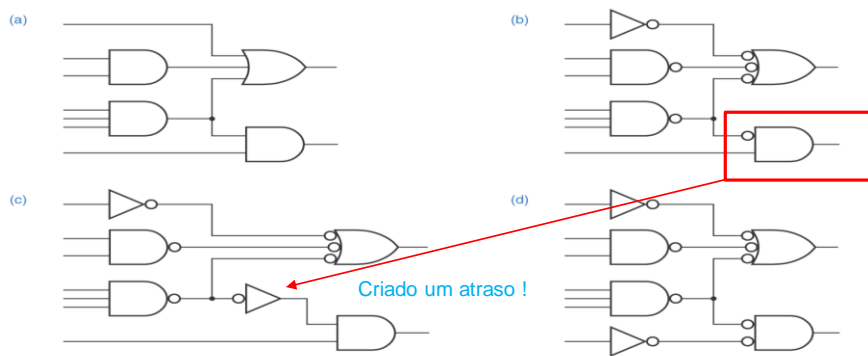


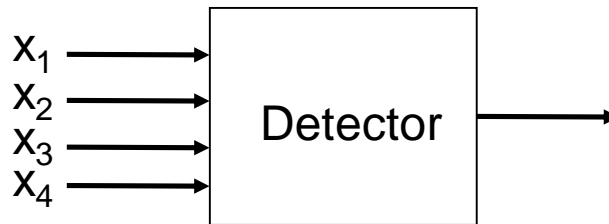
Figure 4-24

Logic-symbol manipulations: (a) original circuit; (b) transformation with a nonstandard gate; (c) inverter used to eliminate nonstandard gate; (d) preferred inverter placement.

From *Digital Design: Principles and Practices*, Fourth Edition, John F. Wakerly, ISBN 0-13-186389-4. ©2006, Pearson Education, Inc., Upper Saddle River, NJ. All rights reserved.

Exercício

- Sintetizar um circuito de chaveamento para detectar os números ímpares.



11

Ex. Detector ímpares - Tabela Verdade

$x_4 x_3 x_2 x_1$	y	Soma Produtos	Produto de Somas
0 0 0 0	0		$x_4 + x_3 + x_2 + x_1$
0 0 0 1	1	$\sim x_4 \cdot \sim x_3 \cdot \sim x_2 \cdot x_1$	
0 0 1 0	0		$x_4 + x_3 + \sim x_2 + x_1$
0 0 1 1	1	$\sim x_4 \cdot \sim x_3 \cdot x_2 \cdot x_1$	
0 1 0 0	0		$x_4 + \sim x_3 + x_2 + x_1$
0 1 0 1	1	$\sim x_4 \cdot x_3 \cdot \sim x_2 \cdot x_1$	
0 1 1 0	0		$x_4 + \sim x_3 + \sim x_2 + x_1$
0 1 1 1	1	$\sim x_4 \cdot x_3 \cdot x_2 \cdot x_1$	
1 0 0 0	0		$\sim x_4 + x_3 + x_2 + x_1$
1 0 0 1	1	$x_4 \cdot \sim x_3 \cdot \sim x_2 \cdot x_1$	

Só foram utilizados os números de 0 a 9
BCD – Binary Coded Decimal

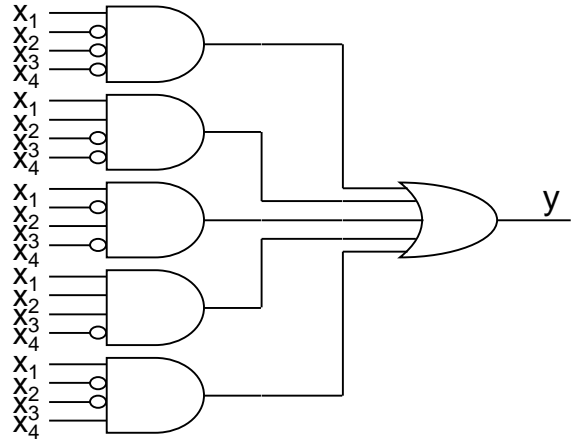
12

Ex. Detector ímpares - Soma de Produtos

$$\begin{aligned}
 y = & \sim X_4 \cdot \sim X_3 \cdot \sim X_2 \cdot X_1 + \\
 & \sim X_4 \cdot \sim X_3 \cdot X_2 \cdot X_1 + \\
 & \sim X_4 \cdot X_3 \cdot \sim X_2 \cdot X_1 + \\
 & \sim X_4 \cdot X_3 \cdot X_2 \cdot X_1 + \\
 & X_4 \cdot \sim X_3 \cdot \sim X_2 \cdot X_1
 \end{aligned}$$

Note que todos tem X_1 e nenhum tem \bar{X}_1
= são ímpares !!!

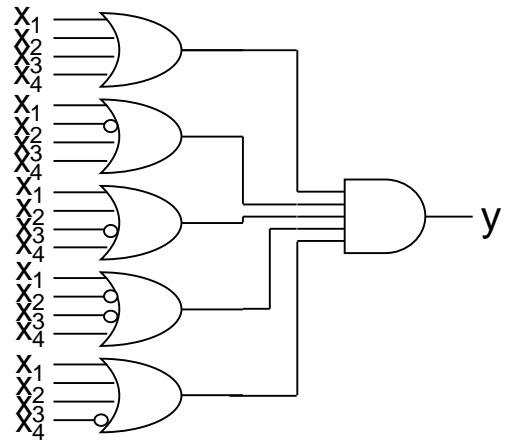
Portanto: $Y = X_1$



13

Ex. Detector ímpares - Produto de Somas

$$\begin{aligned}
 Y = & (X_4 + X_3 + X_2 + X_1) \cdot \\
 & (X_4 + X_3 + \sim X_2 + X_1) \cdot \\
 & (X_4 + \sim X_3 + X_2 + X_1) \cdot \\
 & (X_4 + \sim X_3 + \sim X_2 + X_1) \cdot \\
 & (\sim X_4 + X_3 + X_2 + X_1)
 \end{aligned}$$



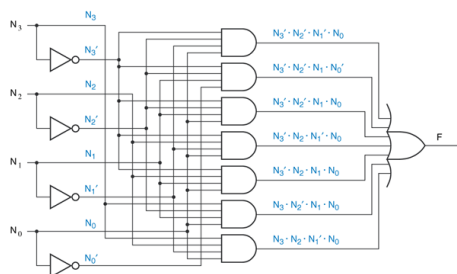
14

Minimização de Circuitos Combinatórios

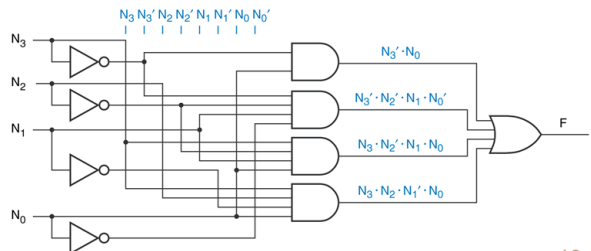
- **Objetivo:** Obter solução mais econômica!
 - importante: critério de economia?
 - Custo, tempo, temperatura, etc
- Critérios possíveis:
 - Minimização do número de literais da função de chaveamento.
 - Minimização do número de interconexões entre as portas.
 - Minimização do número de pinos do circuito integrado a ser eventualmente construído.
- Maioria das estratégias baseada em T10

(T10) $X \cdot Y + X \cdot Y' = X$ (T10') $(X+Y) \cdot (X+Y') = X$ → combinação
 Não dependem de Y

T10 no circuito Detector de Primos



$$\begin{aligned}
 &= N_3'N_2'N_1'N_0 + N_3'N_2'N_1N_0 + N_3'N_2N_1'N_0 + N_3'N_2N_1N_0 + \dots \\
 &= N_3'N_2'N_0 + N_3'N_2N_0 + \dots \\
 &= N_3'N_0 + \dots
 \end{aligned}$$



Precisamos de um método mais amigável para minimização (e mais eficiente!)