

PCS3515 – Sistemas Digitais

04-Famílias Lógicas e Lógica CMOS

Capítulo 3 – livro texto

Com apoio do material dos Prof.

Simplicio, M Tulio e Cintia

2018

From *Digital Design: Principles and Practices*, Fourth Edition, John F. Wakerly, ISBN 0-13-186389-4.
©2006, Pearson Education, Inc., Upper Saddle River, NJ. All rights reserved.

Objetivos – Parte 1

- Representação física dos níveis alto e baixo
- Portas lógicas (gate): NOT, AND, OR, NAND e NOR
- TTL x CMOS
- Lógica CMOS: Nível lógico e Transistor MOS
- Gates MOS:
 - Inversor, NAND e NOR, Buffer não-inversor
 - Fan-in



Famílias Lógicas

O **transistor** de silício/germânio foi inventado nos Laboratórios da Bell Telephone por John Bardeen e Walter Houser Brattain em 1947 e, inicialmente, demonstrado em 23 de Dezembro de 1948, por John Bardeen, Walter Houser Brattain e William Bradford Shockley, que foram laureados com o Nobel de Física em 1956

- 1930: relés (relay)
- 1940: tubo a vácuo (ENIAC)
- 1950: invenção do diodo semiconductor e transistor bipolar
- 1960: CI e conceito de famílias lógicas
 - TTL: transistor-transistor logic
 - MOSFET: princípios anteriores a TTL, porém implementação difícil na década de 60
 - Metal-oxide semiconductor field-effect transistor
 - CMOS: metade da década de 80, mais rápido, mais utilizado atualmente

Os FETs foram inventados por [Julius Edgar Lilienfeld em 1926](#) e por [Oskar Heil em 1934](#). Em 1960 [John Atalla](#) desenvolveu o MOSFET

Representação de bits

Technology	State Representing Bit	
	0	1
Pneumatic logic	Fluid at low pressure	Fluid at high pressure
Relay logic	Circuit open	Circuit closed
Complementary metal-oxide semiconductor (CMOS) logic	0–1.5 V	3.5–5.0 V
Transistor-transistor logic (TTL)	0–0.8 V	2.0–5.0 V
Dynamic memory	Capacitor discharged	Capacitor charged
Nonvolatile, erasable memory	Electrons trapped	Electrons released
Microprocessor on-chip serial number	Fuse blown	Fuse intact
Polymer memory	Molecule in state A	Molecule in state B
Fiber optics	Light off	Light on
Magnetic disk or tape	Flux direction "north"	Flux direction "south"
Compact disc (CD)	No pit	Pit
Writeable compact disc (CD-R)	Dye in crystalline state	Dye in noncrystalline state

Table 3-1

Physical states representing bits in different logic and memory technologies.

Tecnologias

- CMOS e TTL usa-se low/high ou invés de 0/1
- Lógica positiva:
 - 0 = low e 1 = high
- Lógica negativa:
 - 1 = low e 0 = high

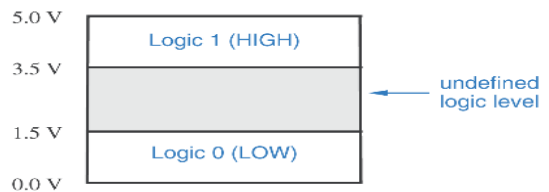
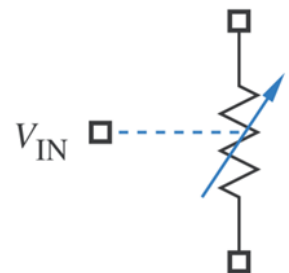


Figure 3-6
Logic levels for typical CMOS logic circuits.

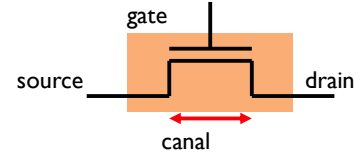
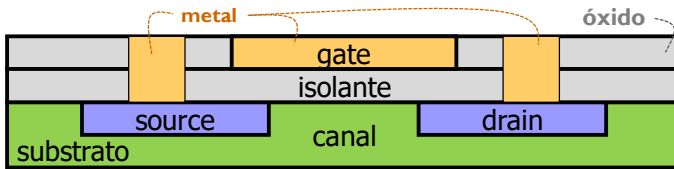
- Buffer: circuito para regenerar/amplificar sinal
- CMOS acionado por tensão TTL por corrente

Funcionamento: resistência controlada por tensão

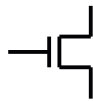
- Chave aberta: transistor “off”
 - Resistência muito alta: $>1 \text{ M}\Omega$ (mega Ohms)
- Chave fechada: transistor “on”
 - Resistência muito baixa: alguns poucos Ω



Características físicas



- Funcionamento:
 - Canal normalmente isola fonte (*source*) e dreno (*drain*): alta resistência (**transistor off**)
 - Tensão no *gate* atrai/repele elétrons entre fonte e dreno, criando canal de baixa resistência entre eles (**transistor on**)
 - Dois tipos: N ou P



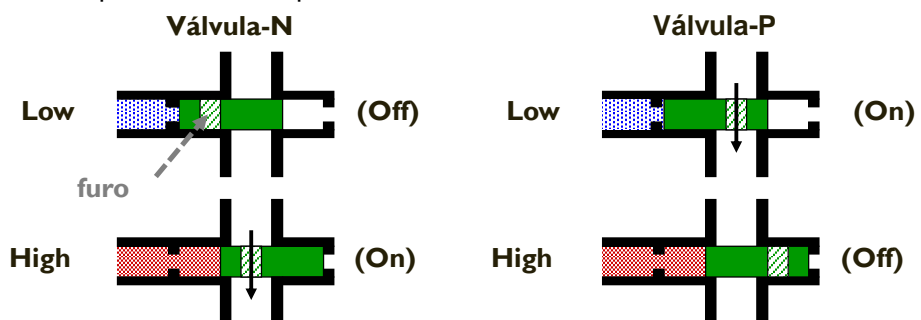
N-MOS: conduz com 1



P-MOS: conduz com 0

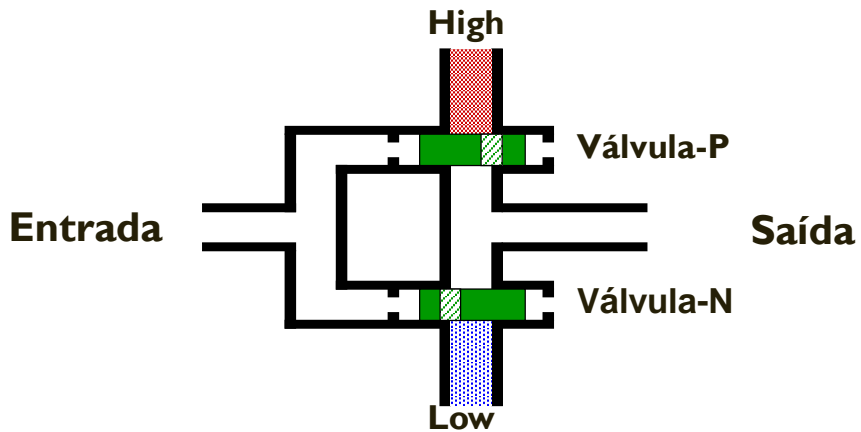
Analogia ao transistor: computação com ar

- Pressão do ar para codificar dados
 - Alta pressão representa um "1" (empurra válvula)
 - Baixa pressão representa um "0" (puxa válvula)
- Válvula pode permitir ou não fluxo de ar
 - Dois tipos de válvulas pneumáticas



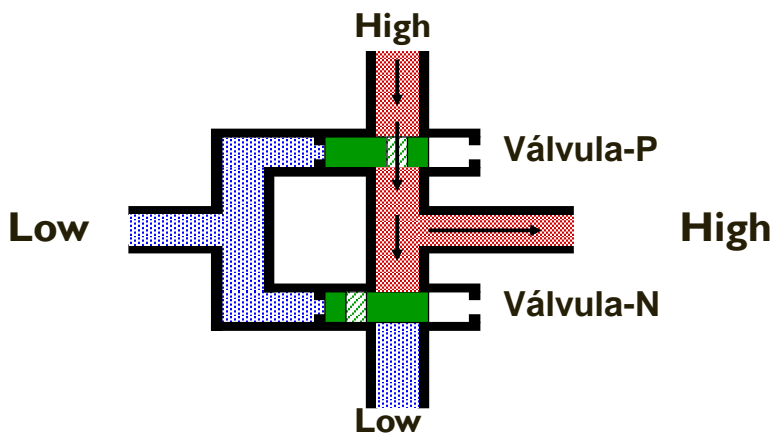
Spina

Inversor (NOT) com pressão



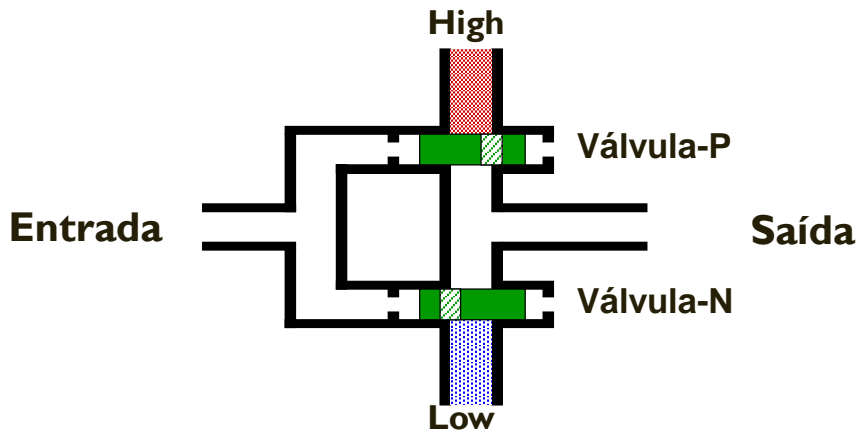
Spina

Inversor (NOT) com pressão: Low → High



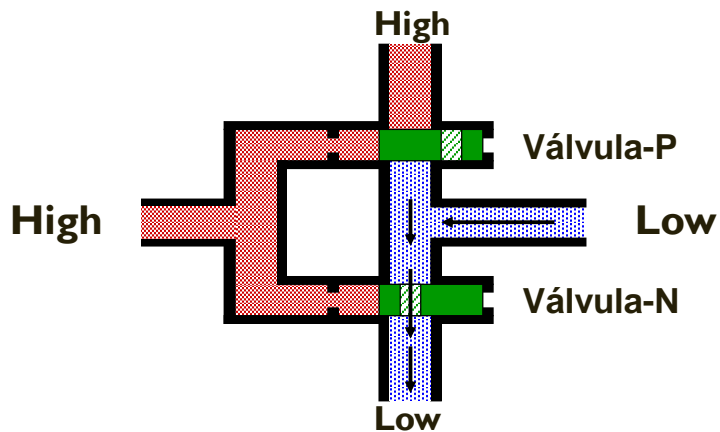
Spina

Inversor (NOT) com pressão



Spina

Inversor (NOT) com pressão: High → Low

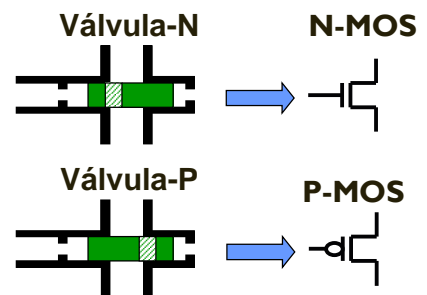


Analogia explicada

- Diferença de pressão → potencial elétrico (tensão)
 - Moléculas de ar → elétrons
 - Pressão (moléculas por volume) → tensão
 - Alta pressão → Alta tensão
 - Baixa pressão → baixa tensão
- Fluxo de ar → corrente elétrica
 - Canos → fios
 - Ar flui apenas da pressão alta para a pressão baixa → elétrons fluem apenas da alta para a baixa tensão
 - Fluxo ocorre apenas quando aplicada tensão de 1 para 0 ou vice-versa
- Válvula → transistor

Transistores como chaves

- Dois tipos
 - Tipo N
 - Tipo P
- Propriedades
 - Estado sólido (s/ partes móveis)
 - Confiável (baixa taxa de falhas)
 - Pequeno (canal de 14nm)
 - Rápido (latência de chaveamento <0.1ns)



Transistor MOS (2/2)

- Funciona como resistência controlada por tensão.
- Em aplicações de lógica digital:
 - resistência muito alta (transistor off)
 - ou muito baixa (transistor on).

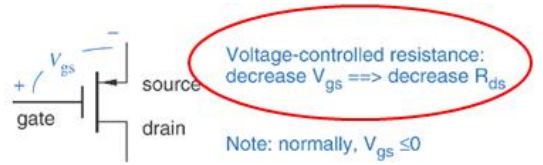


Figure 3-9
Circuit symbol for a p-channel MOS (PMOS) transistor.

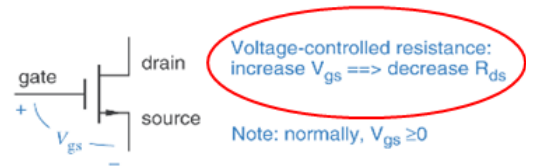
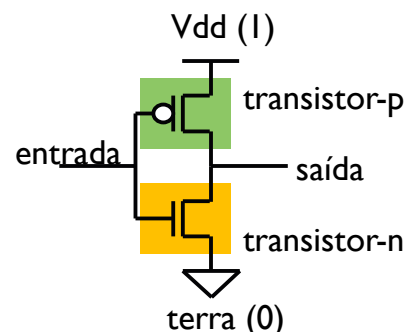


Figure 3-8
Circuit symbol for an n-channel MOS (NMOS) transistor.

Complementary MOS (CMOS)

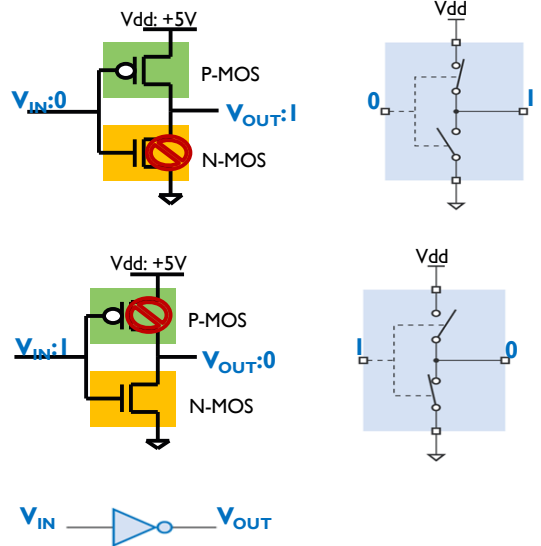
- Tensão codifica dados
 - Alimentação (Vdd) = "1", Terra = "0"
- CMOS: Combina transistores N e P
 - **Transistores-N**
 - Conduz quando tensão no gate é 1
 - Bom para passar 0s
 - **Transistores-P**
 - Conduz quando tensão no gate é 0
 - Bom para passar 1s
- Permite construir portas lógicas e outros elementos de computação (e.g., memórias RAM)



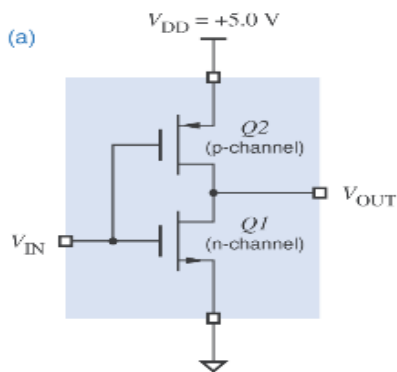
Inversor (NOT) CMOS

- Inversor: porta mais básica
 - 1 transistor-p + 1 transistor-n
- Operação básica
 - Entrada = 0
 - Transistor-p on, transistor-n off
 - Saída ligada ao Vdd (1)
 - Entrada = 1
 - Transistor-p off, transistor-n on
 - Saída ligada ao terra (0)

V_{IN}	P-MOS	N-MOS	V_{OUT}
0.0 (L)	off	on	5.0 (H)
5.0 (H)	on	off	0.0 (L)



Inversor CMOS (1/3)



(b)

V_{IN}	Q1	Q2	V_{OUT}
0.0 (L)	off	on	5.0 (H)
5.0 (H)	on	off	0.0 (L)



Figure 3-10

CMOS inverter: (a) circuit diagram; (b) functional behavior; (c) logic symbol.

Inversor CMOS (2/3)

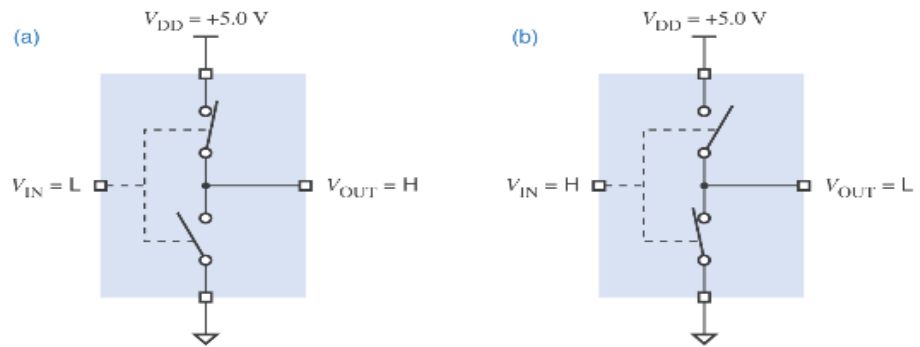


Figure 3-11

Switch model for CMOS inverter: (a) LOW input; (b) HIGH input.

Inversor CMOS (3/3)

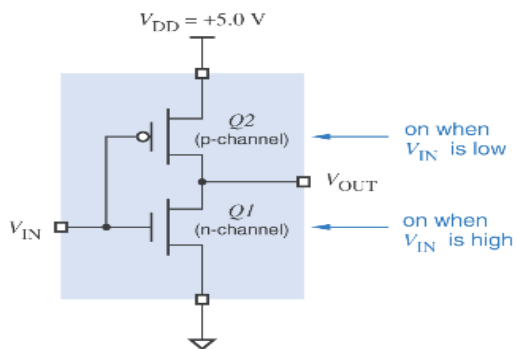
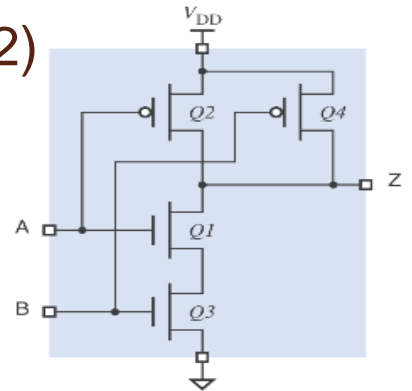
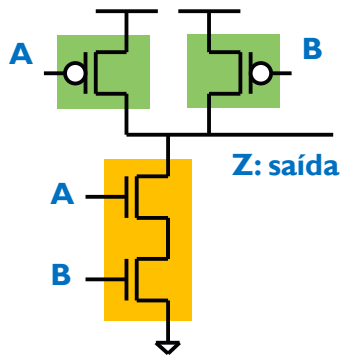


Figure 3-12

CMOS inverter logical operation.

Porta NAND – CMOS (1/2)



A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

- Resultado: **NAND** (NOT+AND)
- E NAND é universal: permite construir qualquer circuito

Porta NAND – CMOS (2/2)

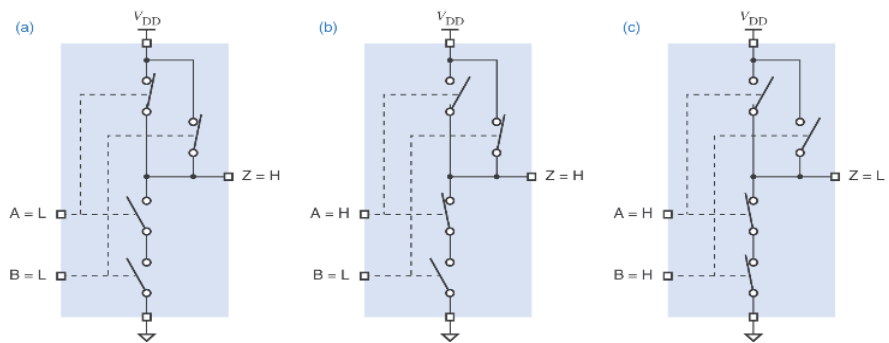
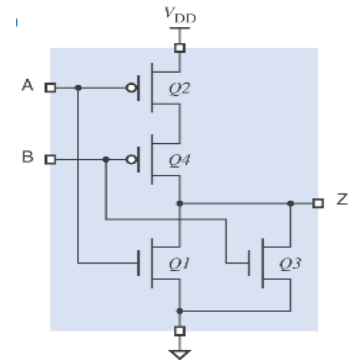
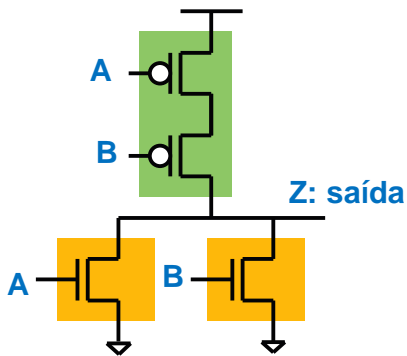


Figure 3-14

Switch model for CMOS 2-input NAND gate: (a) both inputs LOW; (b) one input HIGH; (c) both inputs HIGH.

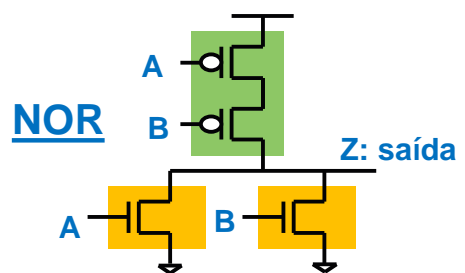
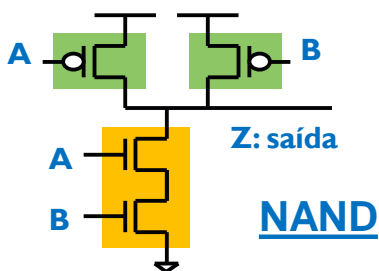
Porta NOR – CMOS



A	B	Z
0	0	1
0	1	0
1	0	0
1	1	0

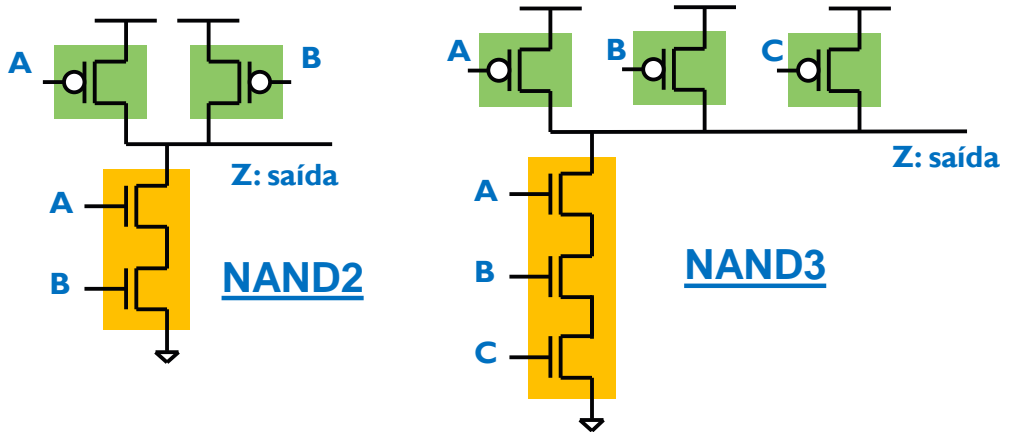
- Resultado: **NOR** (NOT+OR)
- E NOR é universal: permite construir qualquer circuito

Outras portas CMOS

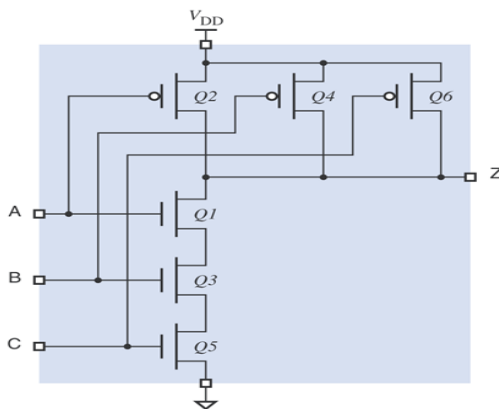


- Racionalizando: transistores ligados em...
 - **Paralelo**: liga a Vdd/terra como um “OR”
 - **Série**: liga a Vdd/terra com um “AND”

Porta NAND de 3 entradas



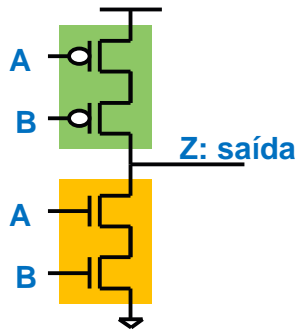
Porta NAND de 3 entradas



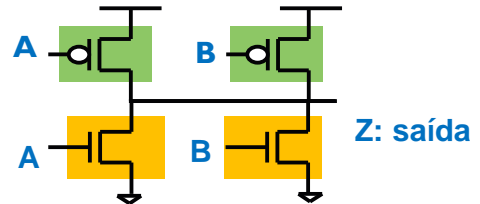
A	B	C	Q1	Q2	Q3	Q4	Q5	Q6	Z
L	L	L	off	on	off	on	off	on	H
L	L	H	off	on	off	on	on	off	H
L	H	L	off	on	on	off	off	on	H
L	H	H	off	on	on	off	on	off	H
H	L	L	on	off	off	on	off	on	H
H	L	H	on	off	off	on	on	off	H
H	H	L	on	off	on	off	off	on	H
H	H	H	on	off	on	off	on	off	L



Portas estranhas...



A	B	Z
0	0	1
0	1	alta impedância
1	0	alta impedância
1	1	0



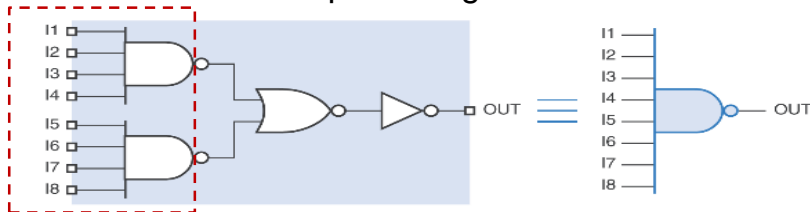
A	B	Z
0	0	1
0	1	curto!!!
1	0	curto!!!
1	1	0

Fan-in (1/2)

- **Número de entradas** que uma porta de uma família lógica pode ter.
- Em princípio: n entradas → n transistores em série e n transistores em paralelo.
- Exemplo:
 - NAND de 3 entradas
- Resistência dos transistores em série é somada
 - aumenta o atraso de chaveamento!
 - aumenta queda de tensão entre Vcc/Terra e saída

Fan-in (2/2)

- Limites práticos para implementação de portas lógicas CMOS:
 - NOR = 4 entradas
 - NAND = 6 entradas
- Alternativa: cascatear portas lógicas menores!



Atraso: equivalente a
NAND de 4 entradas

Portas Não-inversoras - CMOS

- CMOS: portas mais simples são NOT, NAND e NOR.
- Portas não-inversoras (buffer, AND e OR)
 - conectar um inversor (NOT)
 - NOT + NOT = buffer (atraso !)
 - NAND + NOT = AND
 - NOR+NOT = OR

Buffer - CMOS

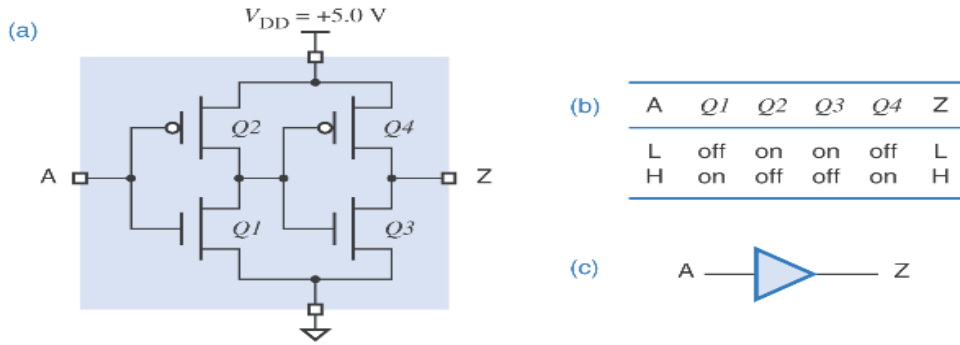


Figure 3-18

CMOS noninverting buffer: (a) circuit diagram; (b) function table; (c) logic symbol.

Porta AND - CMOS

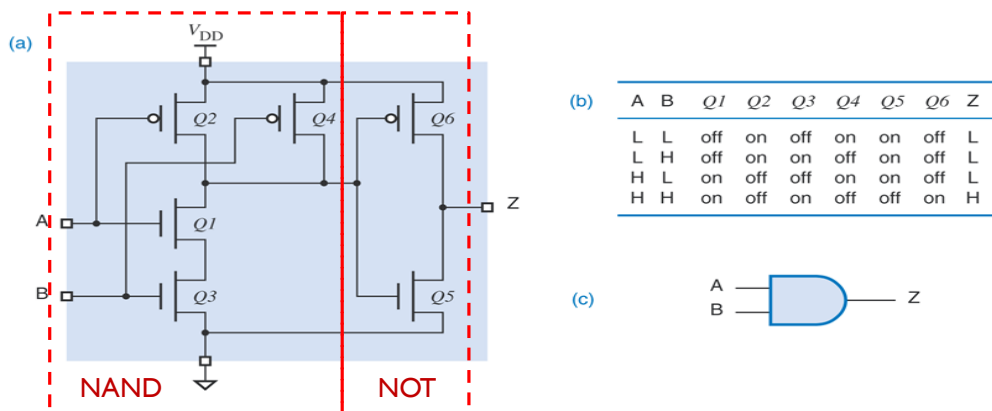


Figure 3-19

CMOS 2-input AND gate: (a) circuit diagram; (b) function table; (c) logic symbol.

Portas Lógicas de 2 níveis

- É possível implementar portas lógicas de 2 níveis com “um único nível de transistores”!

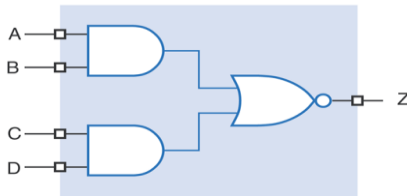


Figure 3-21
Logic diagram for CMOS AND-OR-INVERT gate.

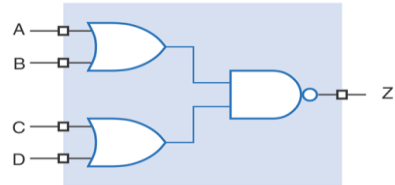
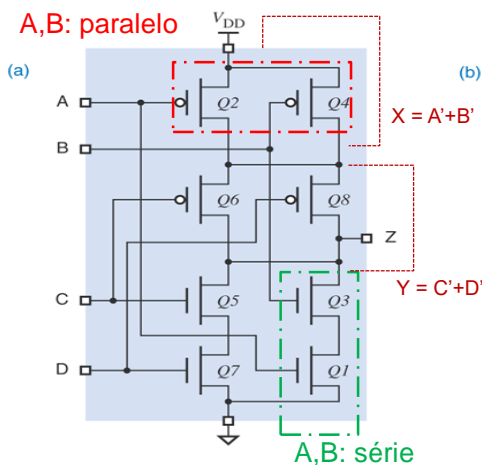
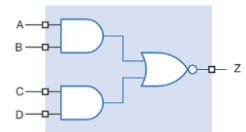


Figure 3-23
Logic diagram for CMOS OR-AND-INVERT gate.

- Atraso destas portas é equivalente a uma porta NAND ou NOR.

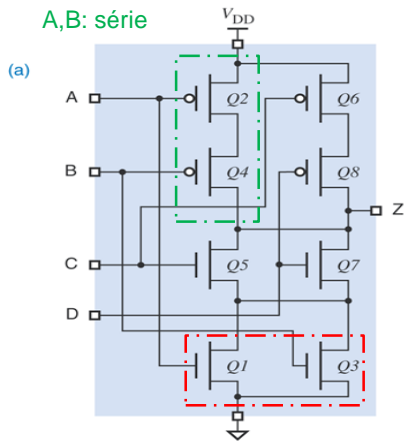
Porta AND-OR-INVERT

$$Z = X \cdot Y = (A' + B') \cdot (C' + D') = (A \cdot B)' \cdot (C \cdot D)' = [(A \cdot B) + (C \cdot D)]'$$



A	B	C	D	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Z
L	L	L	L	off	o	off	on	off	on	off	on	H
L	L	L	H	off	o	off	on	off	on	o	off	H
L	L	H	L	off	o	off	on	o	off	off	on	H
L	L	H	H	off	o	off	on	o	off	o	off	L
L	H	L	L	off	o	o	off	off	on	off	on	L
L	H	L	H	off	o	o	off	off	on	o	off	H
L	H	H	L	off	o	o	off	o	off	off	on	H
L	H	H	H	off	o	o	off	o	off	o	off	L
H	L	L	L	o	off	off	on	off	on	off	on	H
H	L	L	H	o	off	off	on	off	on	on	off	H
H	L	H	L	o	off	off	on	o	off	off	on	H
H	L	H	H	o	off	off	on	o	off	on	off	L
H	H	L	L	o	off	o	off	off	on	off	on	L
H	H	L	H	o	off	o	off	off	on	on	off	L
H	H	H	L	o	off	o	off	o	off	off	on	L
H	H	H	H	o	off	o	off	o	off	on	off	L

Porta OR-AND-INVERT



A,B: paralelo

(b)

A	B	C	D	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Z
L	L	L	L	off	on	off	on	off	on	off	on	H
L	L	L	H	off	on	off	on	off	on	on	off	H
L	L	H	L	off	on	off	on	on	off	off	on	H
L	L	H	H	off	on	off	on	on	off	on	off	H
L	H	L	L	off	on	on	off	off	on	off	on	H
L	H	L	H	off	on	on	off	off	on	on	off	L
L	H	H	L	off	on	on	off	on	off	off	on	L
L	H	H	H	off	on	on	off	on	off	on	off	L
H	L	L	L	on	off	off	on	off	on	off	on	H
H	L	L	H	on	off	off	on	off	on	on	off	L
H	L	H	L	on	off	off	on	on	off	off	on	L
H	L	H	H	on	off	off	on	on	off	on	off	L
H	H	L	L	on	off	on	off	off	on	off	on	H
H	H	L	H	on	off	on	off	off	on	on	off	L
H	H	H	L	on	off	on	off	on	off	off	on	L
H	H	H	H	on	off	on	off	on	off	on	off	L

Figure 3-22

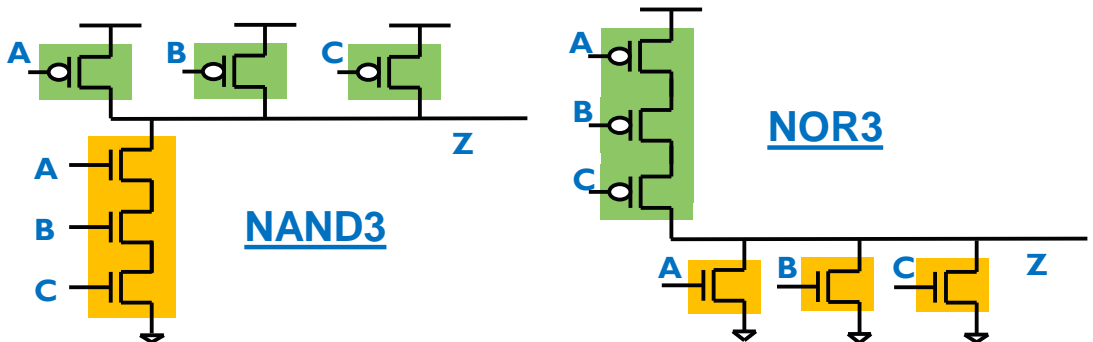
CMOS OR-AND-INVERT gate: (a) circuit diagram; (b) function table.

Exercício (prova 2014)

- Determine quatro (4) possíveis portas CMOS, diferentes, compostas de três (3) entradas (x3,x2,x1) e uma (1) saída z cada.
- Dá-se a restrição de que elas são implementadas apenas com seis (6) transistores CMOS, sendo três (3) transistores CMOS canal N e três (3) transistores CMOS canal P. Determine a expressão lógica para cada uma das portas e desenhe a estrutura de transistores apenas para a parte dos transistores canal N.

Exercício (prova 2014) - Resposta

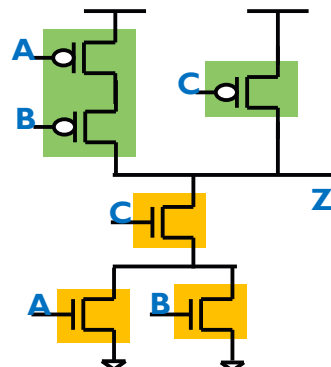
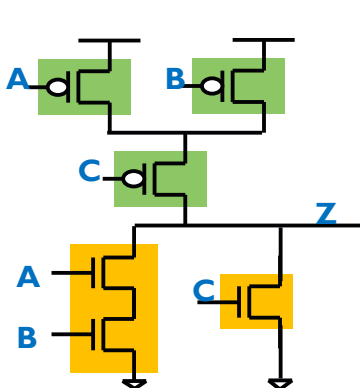
- NAND3 e NOR3



Exercício (prova 2014) - Resposta

$$(A'+B') \cdot C' = (A \cdot B + C)'$$

$$(A' \cdot B') + C' = ((A+B) \cdot C)'$$



Objetivos – Parte 2

- **Características estáticas**
 - Níveis lógicos e margem de ruído
 - Carga ideal e não ideal
 - Fan-out
 - Entrada aberta
- **Características dinâmicas**
 - Tempo de transição
 - Tempo de subida e descida
 - Atraso de propagação
 - Consumo de energia
- **Tri-State**

Comportamento Elétrico - CMOS

- **Estático:** Comportamento quando entradas e saídas não estão mudando.
- **Dinâmico:** quando ocorre mudança dos sinais de entrada e saída.

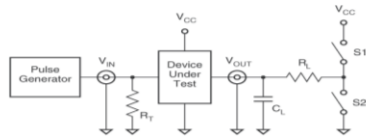
DC ELECTRICAL CHARACTERISTICS OVER OPERATING RANGE							
The following conditions apply unless otherwise specified: Commercial: $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$, $V_{CC} = 5.0\text{ V} \pm 5\%$; Military: $T_A = -55^\circ\text{C}$ to $+125^\circ\text{C}$, $V_{CC} = 5.0\text{ V} \pm 10\%$							
Sym.	Parameter	Test Conditions ⁽¹⁾	Min.	Typ. ⁽²⁾	Max.	Unit	
V_{IH}	Input HIGH level	Guaranteed logic HIGH level	3.15	—	—	V	
V_{IL}	Input LOW level	Guaranteed logic LOW level	—	—	1.35	V	
I_{IH}	Input HIGH current	$V_{CC} = \text{Max.}$, $V_I = V_{CC}$	—	—	1	μA	
I_{IL}	Input LOW current	$V_{CC} = \text{Max.}$, $V_I = 0\text{ V}$	—	—	-1	μA	
V_{IK}	Clamp diode voltage	$V_{CC} = \text{Min.}$, $I_N = -18\text{ mA}$	—	-0.7	-1.2	V	
I_{IOS}	Short-circuit current	$V_{CC} = \text{Max.}$, ⁽³⁾ $V_O = \text{GND}$	—	—	-35	mA	
V_{OH}	Output HIGH voltage	$V_{CC} = \text{Min.}$, $V_{IN} = V_{IL}$	$I_{OH} = -20\ \mu\text{A}$	4.4	4.499	—	V
			$I_{OH} = -4\text{ mA}$	3.84	4.3	—	V
V_{OL}	Output LOW voltage	$V_{CC} = \text{Min.}$, $V_{IN} = V_{IH}$	$I_{OL} = 20\ \mu\text{A}$	—	.001	0.1	V
			$I_{OL} = 4\text{ mA}$	—	0.17	0.33	V
I_{CC}	Quiescent power supply current	$V_{CC} = \text{Max.}$, $V_{IN} = \text{GND}$ or V_{CC} , $I_O = 0$	—	2	10	μA	

SWITCHING CHARACTERISTICS OVER OPERATING RANGE, $C_L = 50\text{ pF}$						
Sym.	Parameter ⁽⁴⁾	Test Conditions	Min.	Typ.	Max.	Unit
t_{PD}	Propagation delay	A or B to Y	—	9	19	ns
C_I	Input capacitance	$V_{IN} = 0\text{ V}$	—	3	10	pF
C_{pd}	Power dissipation capacitance per gate	No load	—	22	—	pF

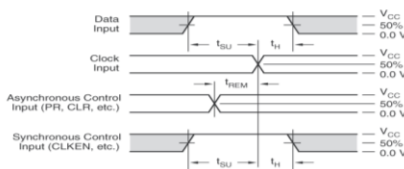
CMOS Características estáticas

Dinâmicas

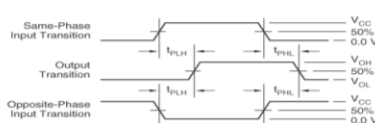
TEST CIRCUIT FOR ALL OUTPUTS



SETUP, HOLD, AND RELEASE TIMES



PROPAGATION DELAY

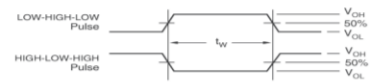


LOADING

Parameter	R_L	C_L	S1	S2
t_{on}	1 K Ω	50 pF or 150 pF	Open	Closed
		50 pF or 150 pF	Closed	Open
t_{dis}	1 K Ω	50 pF or 150 pF	Open	Closed
		50 pF or 150 pF	Closed	Open
t_{pd}	—	50 pF or 150 pF	Open	Open

DEFINITIONS:
 C_L = Load capacitance, includes jig and probe capacitance.
 R_T = Termination resistance, should equal Z_{OUT} of the Pulse Generator.

PULSE WIDTH



THREE-STATE ENABLE AND DISABLE TIMES

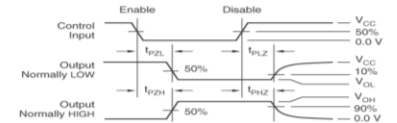
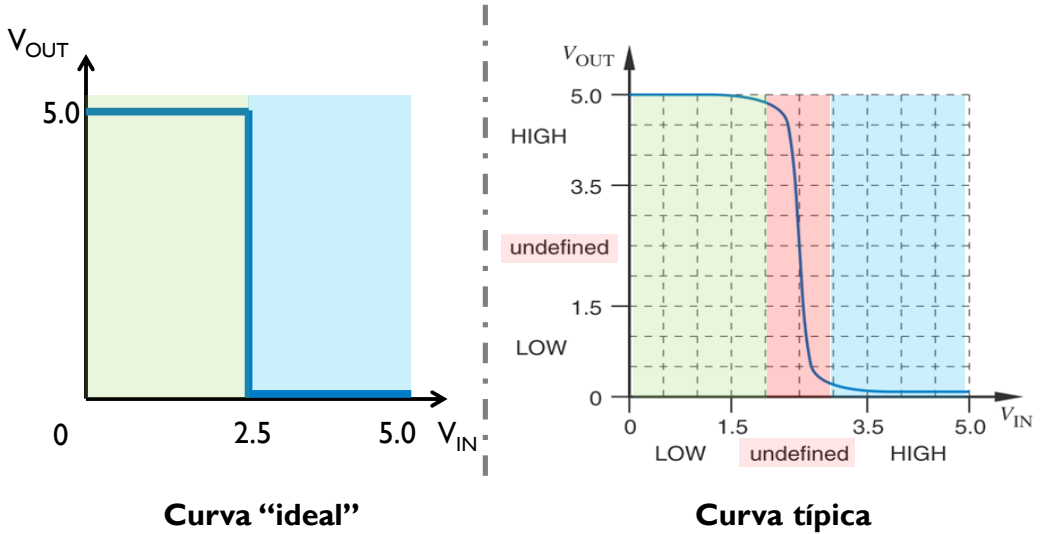


Figure 3-24

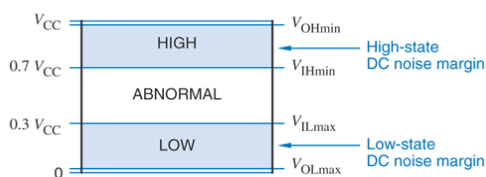
Test circuits and waveforms for HC-series logic.

Curva de transferência de Inversor CMOS



Margem de ruído em CC (DC noise-margin)

- quanto ruído é necessário para corromper V_{out} para um valor que possa não ser reconhecido por uma entrada.



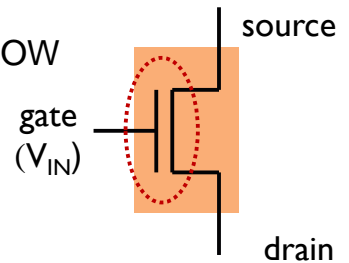
- V_{OHmin} = V_{out} mínimo para saída HIGH
- V_{IHmin} = V_{in} mínimo garantido como HIGH
- V_{ILmax} = V_{in} máximo garantido como HIGH
- V_{OLmax} = V_{out} máximo para saída em LOW

Figure 3-26

Logic levels and noise margins for the HC-series CMOS logic family.

Correntes

- Consumo baixo nos transistores de um inversor
 - corrente de fuga
 - I_{IH} : máxima corrente de entrada para HIGH
 - I_{IL} : máxima corrente de entrada para LOW
- Alta impedância!



Sym.	Parameter	Test Conditions ⁽¹⁾	Min.	Typ. ⁽²⁾	Max.	Unit
I_{IH}	Input HIGH current	$V_{CC} = \text{Max.}, V_I = V_{CC}$	—	—	1	μA
I_{IL}	Input LOW current	$V_{CC} = \text{Max.}, V_I = 0\text{ V}$	—	—	-1	μA

Comportamento com cargas resistivas

- Cargas resistivas: entradas de portas TTL, LEDs, resistências, ...
- Transistor de saída tem resistência não nula e a carga conectada provoca queda de tensão nessa resistência! → V_{out} pode variar!

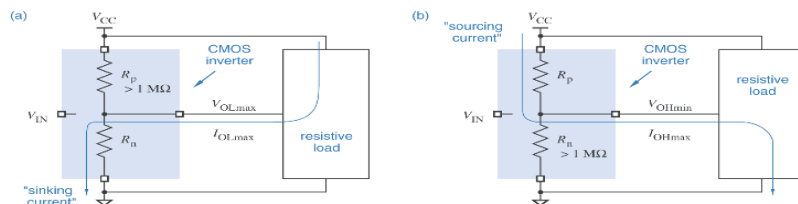


Figure 3-30
Circuit definitions of (a) I_{OLmax} ; (b) I_{OHmax} .

Comportamento com cargas resistivas 2

Sym.	Parameter	Test Conditions ⁽¹⁾	Min.	Typ. ⁽²⁾	Max.	Unit	
V_{OH}	Output HIGH voltage	$V_{CC} = \text{Min.},$ $V_{IN} = V_{IL}$	$I_{OH} = -20 \mu\text{A}$	4.4	4.499	—	V
			$I_{OH} = -4 \text{ mA}$	3.84	4.3	—	V
V_{OL}	Output LOW voltage	$V_{CC} = \text{Min.},$ $V_{IN} = V_{IH}$	$I_{OL} = 20 \mu\text{A}$	—	.001	0.1	V
			$I_{OL} = 4 \text{ mA}$		0.17	0.33	V

Conectado a porta CMOS (alta impedância)

Conectado a circuito com baixa impedância

Fan-out

- É o **número de entradas** que podem ser conectadas a uma porta (cargas)
 - Depende da porta de saída e das de entrada;
 - Deve ser analisado para HIGH e LOW.
- Exemplo:
 - Corrente max de saída (HIGH ou LOW) = 10 μA
 - Corrente de entrada (HIGH ou LOW) = 1 μA
 } até 10 portas conectadas à saída
- Desrespeito a fan-out pode causar, entre outros:
 - Operação fora das faixas especificadas de tensão
 - Atrasos acima dos especificados
 - Superaquecimento (e, portanto, falhas)

Entrada aberta

- Qualquer ruído pode gerar flutuação na entrada (devido à alta impedância), o que pode gerar intermitência na saída.

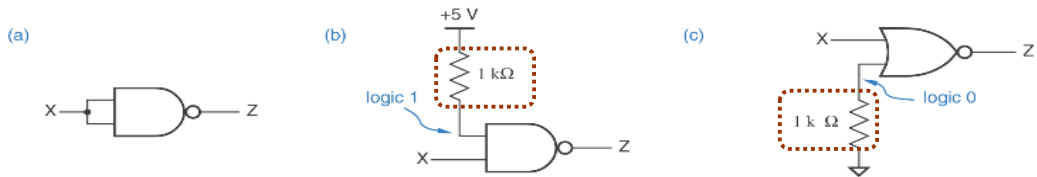


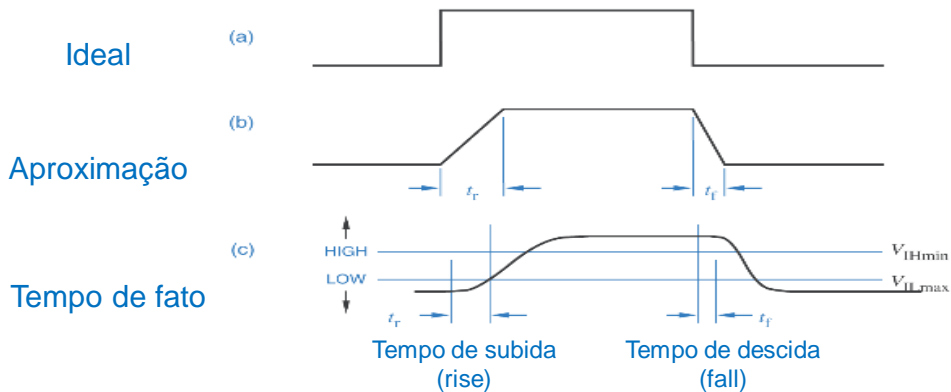
Figure 3-35

Unused inputs: (a) tied to another input; (b) NAND pulled up; (c) NOR pulled down.

CMOS - Características dinâmicas

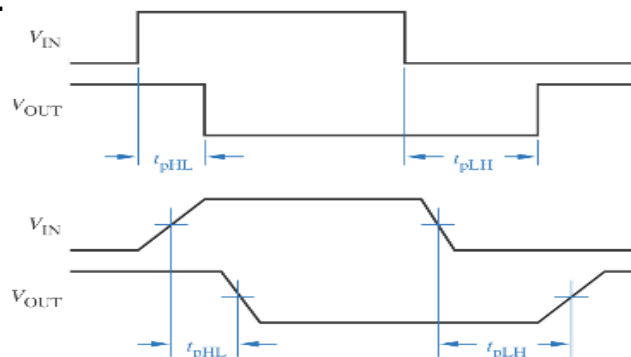
Tempo de Transição

- Quantidade de tempo que demora para saída do circuito lógico mudar de um estado para outro.



Atraso de propagação

- Quantidade de tempo que demora para uma mudança no sinal de entrada gerar mudança na saída.



Consumo de Energia

- CMOS:
 - Consumo estático muito baixo... (altas impedâncias)
 - Altas capacitâncias – energia a cada chaveamento
 - $P_t = CSD \cdot V_{cc}^2 \cdot F$
 - P_t : potência dinâmica
 - CSD: capacitância do Sistema Digital
 - F : frequência de transição do sinal de saída
- TTL:
 - ~ constante

Porta tristate

22/5/17

- Além de saída em high e low, possui terceiro estado de alta impedância (HI-Z).
- Usado para conexão em barramentos.

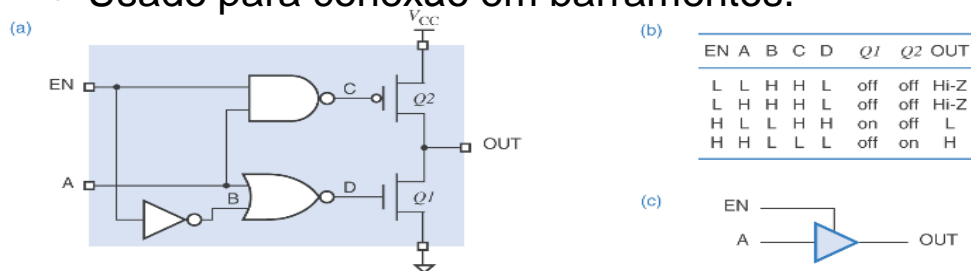
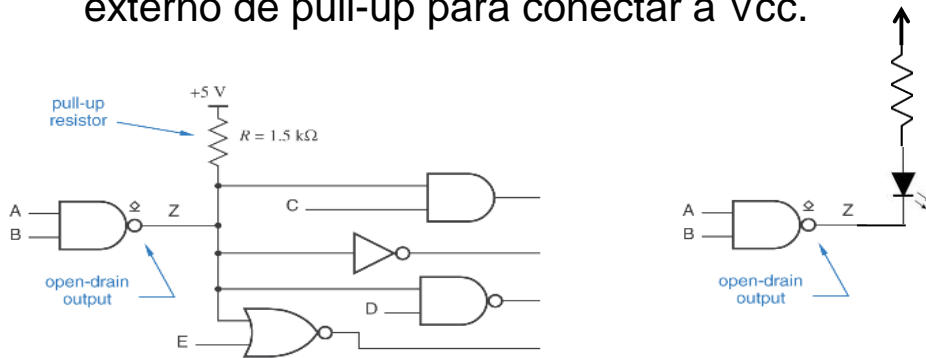


Figure 3-49

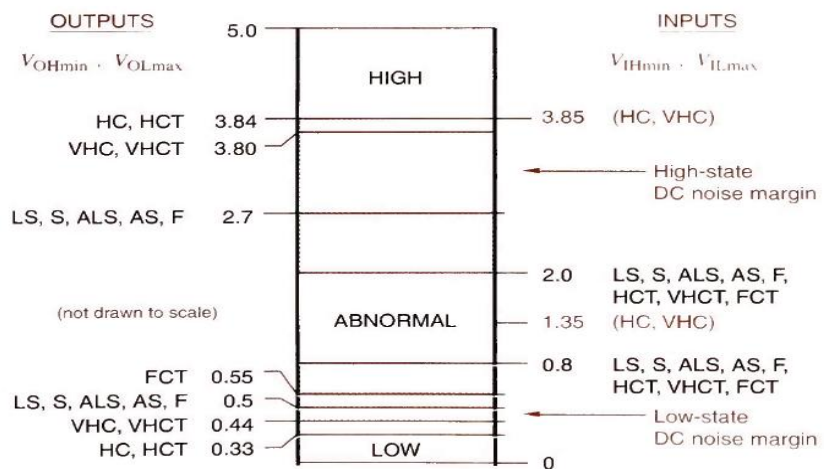
CMOS three-state buffer: (a) circuit diagram; (b) function table; (c) logic symbol.

Open-Drain

- Terminal de dreno do transistor de saída desconectado. Necessário usar um resistor externo de pull-up para conectar a Vcc.



Conexões CMOS/TTL



CMOS Porta de Transmissão

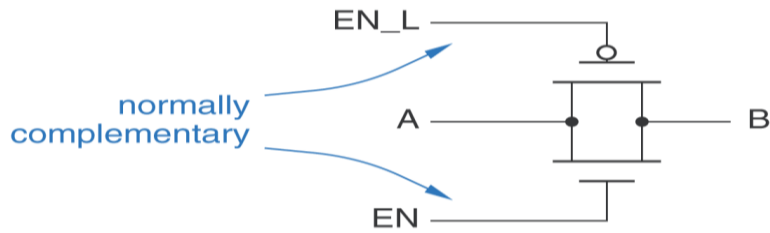


Figure 3-45
CMOS transmission gate.

Chave analógica (!)

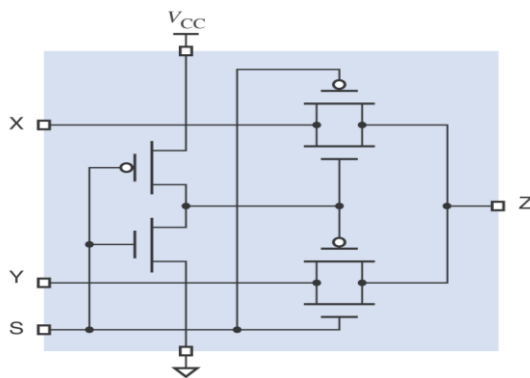
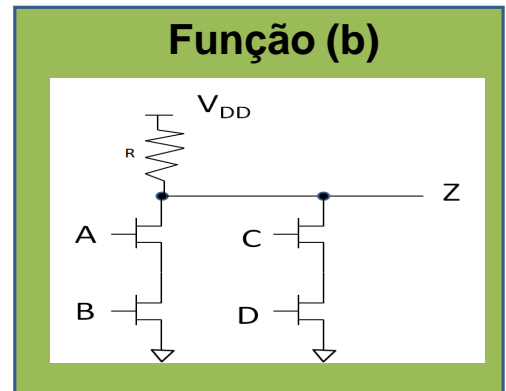
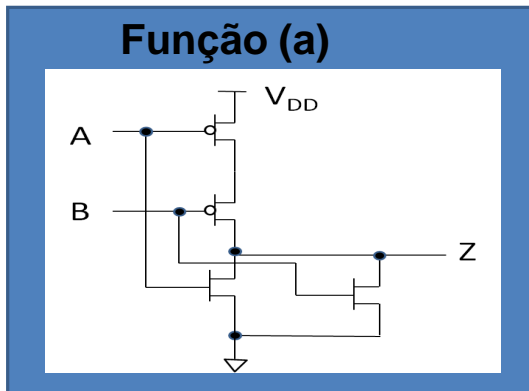


Figure 3-46
Two-input multiplexer using CMOS transmission gates.

Exercícios:
quais as funções de chaveamento?



Tarefas

- Leitura do Capítulo 3 do livro-texto:
 - Parte 1 → seções 3.1 a 3.3
 - Parte 2 → seções 3.4 a 3.6, e 3.7.3
 - [Opcional] Leitura das seções 3.7 a 3.10
- Fazer exercícios do Capítulo 3 do livro-texto
 - ao menos *drill problems*