

Escola Politécnica da Universidade de São Paulo
Departamento de Engenharia de Sistemas Eletrônicos - PSI

PSI-2553- Projeto de Sistemas Integrados

O Processador Plasma - Parte 3
(Prototipagem rápida)

Objetivos

Esta experiência visa demonstrar as vantagens da prototipagem rápida da implementação de um sistema computacional sobre silício utilizando uma placa de desenvolvimento que contém uma FPGA suficientemente complexa capaz de acomodar o sistema. O sistema a ser projetado será o Plasma com o processador MLITE executando o algoritmo de Fibonacci cercado pelos mesmos periféricos da experiência 3.

Parte Prática

Nesta experiência, o modelo do sistema Plasma, contendo a CPU, a memória, o periférico Perif_Exp3 (lembrando que o endereço de seu registrador é (0x20000070)) e as interfaces é ampliado para incluir os componentes presentes na placa DE2 da Altera que contém o componente EP2C35F672C6 da família CycloneII??.

O algoritmo de Fibonacci será executado no MLITE (como na Exp. Plasma_2) e sua execução poderá (ou não) ser interrompida pelo periférico Perif_Exp3 (como na Exp. Plasma_3). Além disto, uma série de escritas em uma interface UART é feita a cada iteração em que o algoritmo de Fibonacci é chamado.

O objetivo da prototipagem é observar o comportamento do Plasma, quando operando sobre uma placa de prototipagem, seja executando o algoritmo de Fibonacci em uma operação normal (sem interrupção), seja quando a execução do algoritmo é interrompida pelo bloco Perif_Exp3. Neste segundo caso poderão ser observados a execução da tarefa definida no ISR durante a interrupção assim como o retorno ao programa principal.

A parte prática consiste em:

- I. Criar a pasta e copiar os arquivos
- II. Compilar e sintetizar a descrição VHDL do Plasma (**plasmainDE2.vhd**)
- III. Configurar a FPGA da placa DE2
- IV. Testar o funcionamento do sistema sobre a placa

Preparando as pastas e os arquivos do Plasma

- 1) Criar a pasta **X:\psi2553\plasma_4**
- 2) Copiar para **X:\psi2553\plasma_4** o conteúdo da pasta **Plasma_Interrupt_DE2** que está em **Rede\NEWSERVERLAB\psi2553\exp4**.
- 3) Copiar para **X:\psi2553\plasma_4** todos os arquivos (VHDL e hex) utilizados na experiência anterior (plasma_3).

Observação:

O arquivo topo **PlasmainDE2.vhd** inclui o arquivo **plasma.vhd** além das interfaces necessárias para o seu uso na placa DE2. O arquivo **plasma.vhd** é o mesmo da experiência plasma_3. A estrutura do módulo **PlasmaInDE2** consiste dos seguintes elementos (veja figura no anexo):

- a) Divisor de frequência do *clock* da placa para tornar a velocidade das operações compatíveis com o olhar humano. Para isto a frequência de *clock* fornecida pelo divisor será aproximadamente 5 milhões de vezes menor que o da placa.
- b) Chave SW17 realiza o *reset* do Plasma.
- c) Chave SW16 seleciona duas possibilidades de visualização de dados nos *displays* de 7 segmentos:
 - i. os dados escritos na memória durante a execução de *main* (*sel=0*);
 - ii. dados enviados ao periférico durante a interrupção (*sel=1*).
- d) Chaves (SW15 - SW0) através das quais se especifica o dado de entrada externo que é tratado durante a interrupção. A rotina de interrupção primeiro o envia à memória RAM e depois o transfere para o periférico. Este valor é verificável no *display*.
- e) *Display* de 7-segmentos com valores em hexadecimal.
- f) Botão KEY0 pelo qual se aciona o sinal *ext* (que dispara a interrupção).

Compilação e síntese no Quartus

- 1) Clique em **Iniciar/Programas/Altera/Quartus II 9.1** para carregar o programa *Quartus II*.
- 2) Crie um projeto como o nome *plasmainDE2*, seguindo as instruções das apostilas anteriores. O sistema a ser compilado e sintetizado é **plasmainDE2.vhd**
- 3) Antes de compilar, faça a designação de pinos usando o *assignment editor*. Clique em **Menu > Assignmen t > Import Assignments**. Inclua o arquivo **DE2_pin_assignments.csv**.
- 4) Faça a compilação completa.

Configurando a FPGA

- 5) Antes de programar o dispositivo é necessário fazer a configuração do cabo. Para isto execute as seguintes operações:
 - a) Ligue o cabo na porta USB do PC.
 - b) Ligue a outra extremidade na placa de prototipagem.
 - c) Ligue a fonte na placa e na tomada, energizando o conjunto.
 - d) Deixe todas as chaves SW_n em '0'.
 - e) Pressione o Botão Vermelho.

ATENÇÃO: como a FPGA é baseada na tecnologia **SRAM**, se a fonte for desligada (por qualquer motivo) o dispositivo terá de ser configurado novamente.

- 6) Clique em Quartus II no menu **Tools > Programmer**. No parâmetro **Mode** selecione **JTAG**. Clique na opção **Hardware Setup > Hardware Settings > Add Hardware**; escolha a opção **USB-BLASTER(USB-0)**. Clique em **OK** e **Close**
- 7) Na coluna **File** deve estar o arquivo *plasmainDE2.sof*, resultado da compilação. Caso não esteja, para adicionar este arquivo clique na opção **Add File**. Confirme com **OK**. Observe que o dispositivo (*EP2C35F672C6*) foi carregado na coluna *device*. Selecione a caixa na coluna **Program/Configure**.
- 8) Acione a opção **Start** para configurar o circuito no FPGA.

Pronto! Sua FPGA está configurada para executar a sua aplicação (MLITE executando o algoritmo de Fibonacci com ou sem interrupção sobre o sistema Plasma mapeado na placa DE2).

Testando o sistema sobre a placa

- 9) Acione a chave SW17 para efetivar o **reset** do processador (primeiramente em '1' e depois em '0').
- 10) Aguarde alguns segundos e você verá os *displays* apontarem alguns valores que variam.

ATENÇÃO: Neste teste os resultados observados nas saídas mudaram muito rápido, já que seu funcionamento é regido por um *clock* de frequência 50MHz. Diminua a frequência de operação do relógio no plasma alterando o fator de divisão em **div_freq.vhd**. Tal controle é feito no **GENERIC** da entidade topo em **plasmainDE2.vhd**. Escolha uma opção, de tal forma que seja possível observar os valores nos *displays*. Em consequência o processo de inicialização do programa ficará mais lento.

Repetição da compilação, síntese e configuração

11) Com o novo valor de frequência, refaça a compilação, síntese e configuração no Quartus.

Repetição do teste

12) Programe os *switches* e o *key* (veja figura no anexo abaixo) de forma a observar no *display* todos os valores que ocorrem durante a execução do algoritmo de Fibonacci:

- Sem interrupção
- Com interrupção (neste caso programe as chaves (SW15..0) com o número por você utilizado na experiência plasma_3 (aula passada).

Lembrando que:

- **switch (0..15) dado do periférico**
- **switch 16 seletor de leitura da memória ou do periférico**
- **switch 17 sinal *reset***
- **key 0 sinal *ext***
- **display HEX (0..7)**

Tenha certeza que consegue identificar e explicar **todos** os números que aparecem no *display* em cada uma das duas situações, execução: sem e com interrupção

Anexo: Esquema da placa DE2

Todos os módulos do bloco PlasmaInDE2 estão mapeados na FPGA.

