

Projeto (Parcial 1): Construção e Caracterização de Células-Padrão (NAND2)

1 – Realização do leiaute de NAND2

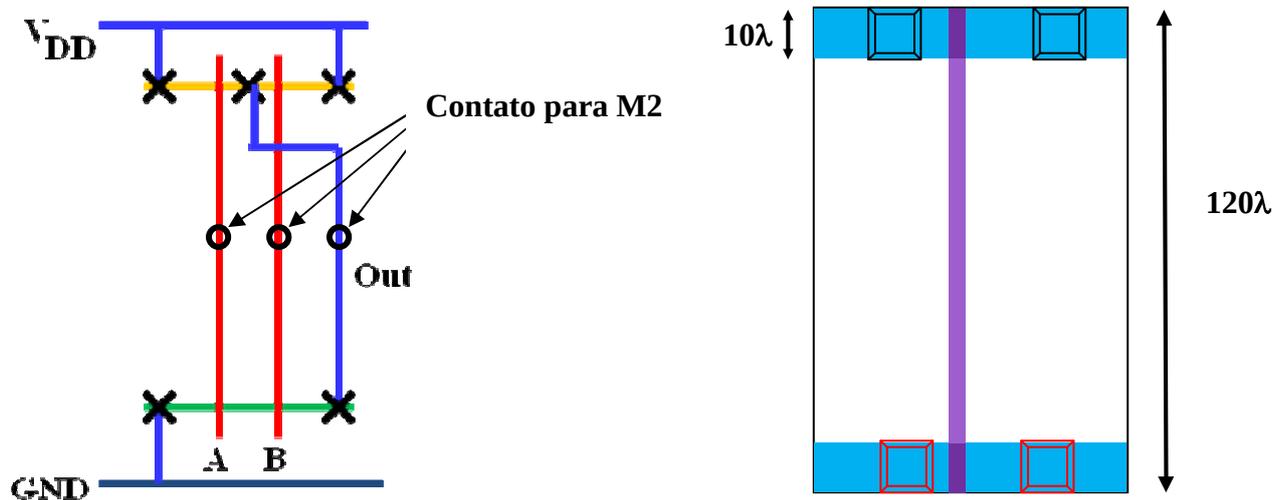
O(A) aluno(a) deverá realizar o leiaute da porta NAND2 (lógica CMOS estática complementar) calculada e simulada no lab 4. O leiaute deve seguir às orientações geométricas descritas no diagrama em palitos da Figura 1. O diagrama é gerado a partir da metodologia vista em aulas de teoria, a partir da obtenção de um caminho consistente de Euler. No caso da porta NAND de 2 entradas, a obtenção dos caminhos de Euler é bastante óbvia.

A célula padrão da porta NAND2 deve ser compatível com a tecnologia da biblioteca ADK da Mentor Graphics, seguindo as dimensões da figura. A altura da célula é **120 λ**; como o leiaute da NAND2 deverá ser bem menor que a altura definida para uma célula, disponha-o livremente no espaço. A largura da célula, entretanto, dependerá do projeto do aluno (deve-se tentar utilizar os valores limites de regras de projeto).

As larguras das linhas de metal para V_{DD} e GND devem ser de **10 λ**. Por ter orientação horizontal, deve-se usar METAL1. Observe que os contatos de substrato dos transistores p e n devem ficar rentes aos limites superior e inferior, respectivamente, como indicado na Figura 1.

Atente que para as entradas e saídas da célula devem ter orientação vertical, com altura de **120 λ**. Devem se finalizadas em METAL2 (por terem orientação vertical) evitando problemas ao cruzarem com as linhas de V_{DD} e GND. Mais detalhes sobre células-padrão no anexo.

ATENÇÃO: Lembre-se de que estamos apenas fazendo um experimento de construção em forma de célula padrão com as dimensões de transistores derivados de número USP (Lab 3 e 4). Não estaremos utilizando as dimensões mínimas da tecnologia para os transistores que compõem a lógica, como seria natural em uma célula padrão.



3 – Caracterização da NAND2.

Como já feito em diversas seções de lab, deve-se colocar rótulos no leiaute, extrair o circuito e simular para caracterizar a lógica e os tempos de atraso.

4 – Entregáveis (Parcial 1)

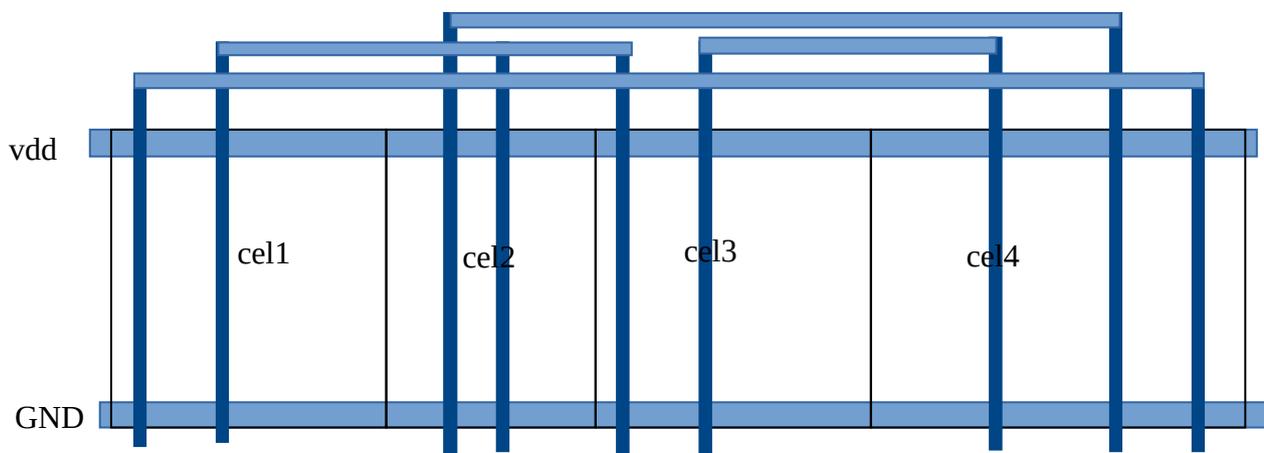
O(A) aluno(a) deverá entregar os seguintes artefatos do projeto:

- 1) leiaute da NAND2 identificando as características principais (como célula lógica e célula padrão)- arquivo *.tiff;
- 2) circuito extraído do leiaute e circuito topo de simulação, identificando os dados relevantes- arquivo *.odt;
- 3) carta(s) de tempo indicando a lógica correta da NAND2- arquivo *.jpg;
- 4) carta(s) de tempo indicando os piores t_{pHL} e t_{pLH} da NAND2 (explicitando os valores) - arquivo *.jpg.

ANEXO

A estratégia de projeto baseado em célula padrão é uma forma de se realizar o leiaute de circuitos com lógica aleatória correspondendo, normalmente, a parte de controle de um sistema. O projetista adota uma biblioteca de células, fornecida pelo fabricante, e o circuito é gerado por uma ferramenta (de software) de síntese lógica a partir de uma descrição lógica (tipo em linguagem VHDL).

No estratégia de célula padrão, o leiaute obedece ao formato mostrado na figura a seguir.



Nesta estratégia de leiaute:

- as células têm uma altura fixa e largura não fixa (dependente de sua complexidade);
- as células estão dispostas em linha em uma área de células;
- entre as áreas de células, nos espaços superior e inferior, estão áreas de interligação, conhecidas como canais¹;
- as ligações são feitas em METAL1 na horizontal e METAL2 na vertical;
- cada célula tem V_{DD} e GND em METAL1 correndo na horizontal em seus dois extremos superior e inferior; como as alturas de todas as células são fixas, linhas de Vdd e GND são interligados por justaposição das células;
- os sinais entram e saem das células em METAL2 (direção vertical);

¹ quando usa-se uma tecnologia com várias camadas de metal, as interconexões podem ser realizadas sobre as próprias células, eliminando-se a necessidade de canais.

- as células devem conter todos os transistores que executam sua lógica assim como os contatos de polarização do substrato e do poço (ilha).

A lógica dentro de células-padrão é implementada com transistores de dimensões mínimas, pelo menos para o comprimento de canal, como forma de minimizar o tamanho das células. É sempre objetivo em uma célula padrão ter as larguras de canal do tamanho menor possível, desde que atenda as especificações de comportamento estático e dinâmico.