

Somadores e Subtratores

1 Objetivos deste tópico

Ao final do estudo deste tópico você saberá:

- A estrutura do meio somador e do somador completo;
- O somador por propagação do vai-um (*ripple adder*);
- O somador por antecipação do vai-um (*carry-lookahead adder*);
- A estrutura do subtrator completo;
- O somador completo de 4 bits 74x283.

Leitura recomendada : seções do livro do Wakerly

- 2.5.4 - Two's-Complement Representation;
- 2.6 - Two's-Complement Addition and Subtraction;
- 2.7 - One's-Complement Addition and Subtraction;
- 6.10 - Adders, Subtractors, and ALUs;
- 6.10.1 - Half Adders and Full Adders;
- 6.10.2 - Ripple Adders;
- 6.10.3 - Subtractors;
- 6.10.4 - Carry-Lookahead Adders;
- 6.10.5 - MSI Adders;
- 6.10.9 - Adders in VHDL.

Keywords: adder, subtractor, half adder, full adder, ripple adder, full subtractor, carry-lookahead adder, carry generate, carry propagate, 74x283.

2 Exercícios

1. Descreva em VHDL os circuitos do meio somador e do somador completo.
2. Desenhe o diagrama lógico do somador completo 74x283, conforme descrito a seguir em VHDL:

```
library IEEE;
use IEEE.std_logic_1164.all;

entity sn74_283 is
  port (
    i_C0 : in std_logic;
    i_A0 : in std_logic;
    i_B0 : in std_logic;
    i_A1 : in std_logic;
    i_b1 : in std_logic;
    i_A2 : in std_logic;
    i_B2 : in std_logic;
    i_A3 : in std_logic;
    i_B3 : in std_logic;
    o_S0 : out std_logic;
    o_S1 : out std_logic;
    o_S2 : out std_logic;
    o_S3 : out std_logic;
    o_C4 : out std_logic
  );
end entity sn74_283;

architecture sn74_283_arch of sn74_283 is
  signal c0 : std_logic;
  signal c1 : std_logic;
  signal c2 : std_logic;
  signal c3 : std_logic;
  signal c4 : std_logic;
  signal g0 : std_logic;
  signal p0 : std_logic;
  signal g1 : std_logic;
  signal p1 : std_logic;
  signal g2 : std_logic;
  signal p2 : std_logic;
  signal g3 : std_logic;
  signal p3 : std_logic;
begin
  c0 <= i_C0;

  g0 <= i_A0 and i_B0;
```

```

p0 <= i_A0 or i_B0;

g1 <= i_A1 and i_B1;
p1 <= i_A1 or i_B1;

g2 <= i_A2 and i_B2;
p2 <= i_A2 or i_B2;

g3 <= i_A3 and i_B3;
p3 <= i_A3 or i_B3;

c1 <= p0 and (g0 or c0);
c2 <= p1 and (g1 or p0) and (g1 or g0 or c0);
c3 <= p2 and (g2 or p1) and (g2 or g1 or p0) and (g2 or g1 or g0 or c0);
c4 <= p3 and (g3 or p2) and (g3 or g2 or p1) and (g3 or g2 or g1 or p0)
      and (g3 or g2 or g1 or g0 or c0);

o_C4 <= c4;
o_S0 <= i_A0 xor i_B0 xor i_C0;
o_S1 <= i_A1 xor i_B1 xor c1;
o_S2 <= i_A2 xor i_B2 xor c2;
o_S3 <= i_A3 xor i_B3 xor c3;
end architecture sn74_283_arch;

```

3. Verifique e explique o comportamento do somador completo 74x283 usando a carta de tempos da Figura 1. Simule no GHDL o comportamento do 74x283 usando a descrição VHDL do item anterior e o testbench sn74_283_tb.vhd.

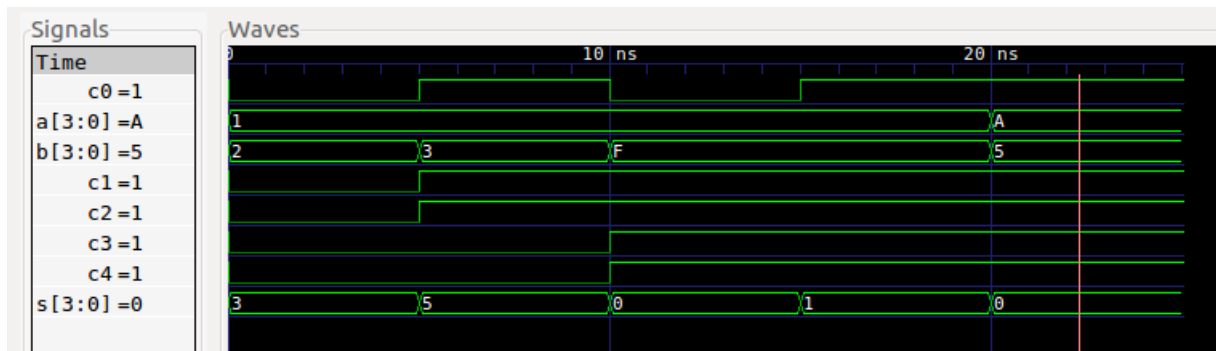


Figura 1: Comportamento do 74x283

4. Descreva em VHDL o subtrator completo de 4 bits 74x999 da Figura 6-85 no livro Digital Design - Principles and Practice (Wakerly, J. F., 4th Edition), usando a seguinte entidade:

```

entity sn74_999 is
  port (
    BIN : in std_logic;

```

```

X : in std_logic_vector (3 downto 0);
Y : in std_logic_vector (3 downto 0);
D : out std_logic_vector (3 downto 0);
BOUT : out std_logic
);
end entity sn74_999;

```

Utilize o testbench sn74_999_tb.vhd para executar a simulação do circuito. Verifique se o resultado da simulação é semelhante ao que é apresentado na Figura 2. Explique o resultado da simulação. O circuito tem o comportamento de um comparador iterativo?

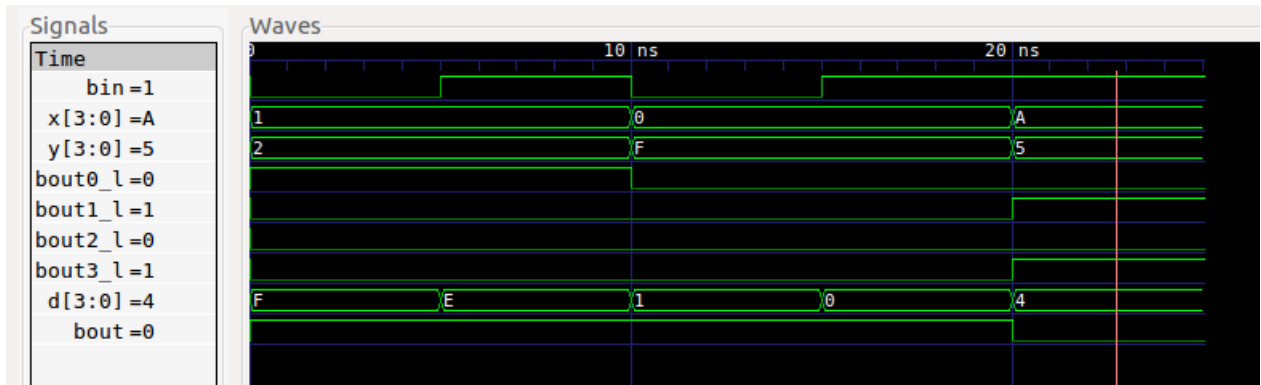


Figura 2: Comportamento do subtrator completo de 4 bits

5. Projete e descreva em VHDL um somador completo de 16 bits, usando o somador completo de 4 bits 74x283.
6. Projete e descreva em VHDL um detector de transbordo em soma de complemento de 2, para um somador completo de 4 bits.
7. Projete e descreva em VHDL um somador de 4 bits em complemento de 1. Inclua no circuito o detector de transbordo.