

SSC0510

Arquitetura de Computadores

10ª Aula – Evolução Arquitetura Intel

Profa. Sarita Mazzini Bruschi

sarita@icmc.usp.br

Arquitetura x86

- Conhecida como arquitetura x86 ou 8086 devido ao fato dos primeiros processadores serem identificados por número terminados em 86 (8086, 80286, etc.)
- Primeira arquitetura desenvolvida e manufaturada pela Intel
- Originalmente com palavras de 16 bits, sofreu duas alterações:
 - 1985 – de 16 para 32 bits – IA-32 (*Intel Architecture*)
 - 2003 – de 32 para 64 bits - AMD introduziu o Athlon 64

Arquitetura x86

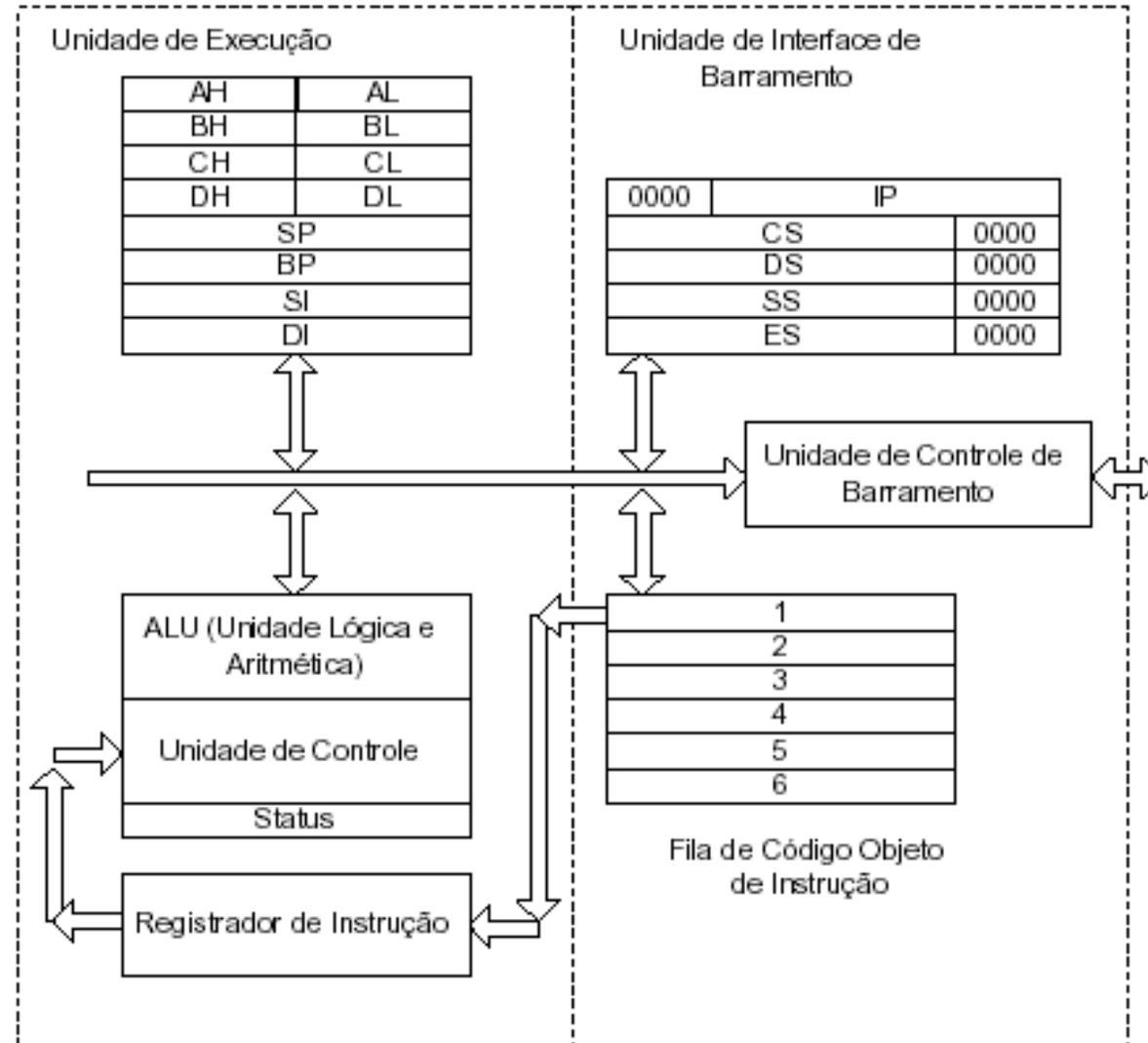
8086

- Microprocessador de 16 bits
- Projetado pela Intel em 1978
- 8088
 - Mesmo chip com barramento externo de dados de 8 bits
 - Processador utilizado no original IBM PC
- A unidade de interface do barramento fornecia à unidade de execução 6 prefetch bytes (instruções variavam de 1 a 4 bytes)
 - Forma primitiva de *pipeline*

Arquitetura x86 8086

- Barramentos compartilhado:
 - Endereço: 20 bits, podendo endereçar 2^{20} posições de memória (1 MByte)
 - Dados: 16 bits
 - Controle
- Memória é segmentada (segmento:deslocamento)
 - Os segmentos são apontados por um registrador de 16 bits
 - $06EFh:1234h = 06EF0h + 1234h = 08124h$ (endereço linear)
- 16 Registradores:
 - 4 de propósito geral (AX, BX, CX, DX)
 - 4 de segmento (CS, DS, ES, SS)
 - 4 de endereço (SP, BP, SI, DI)
 - Contador de Programa
 - Flags
- Clock:
 - Variando de 4,77 a 10 MHz

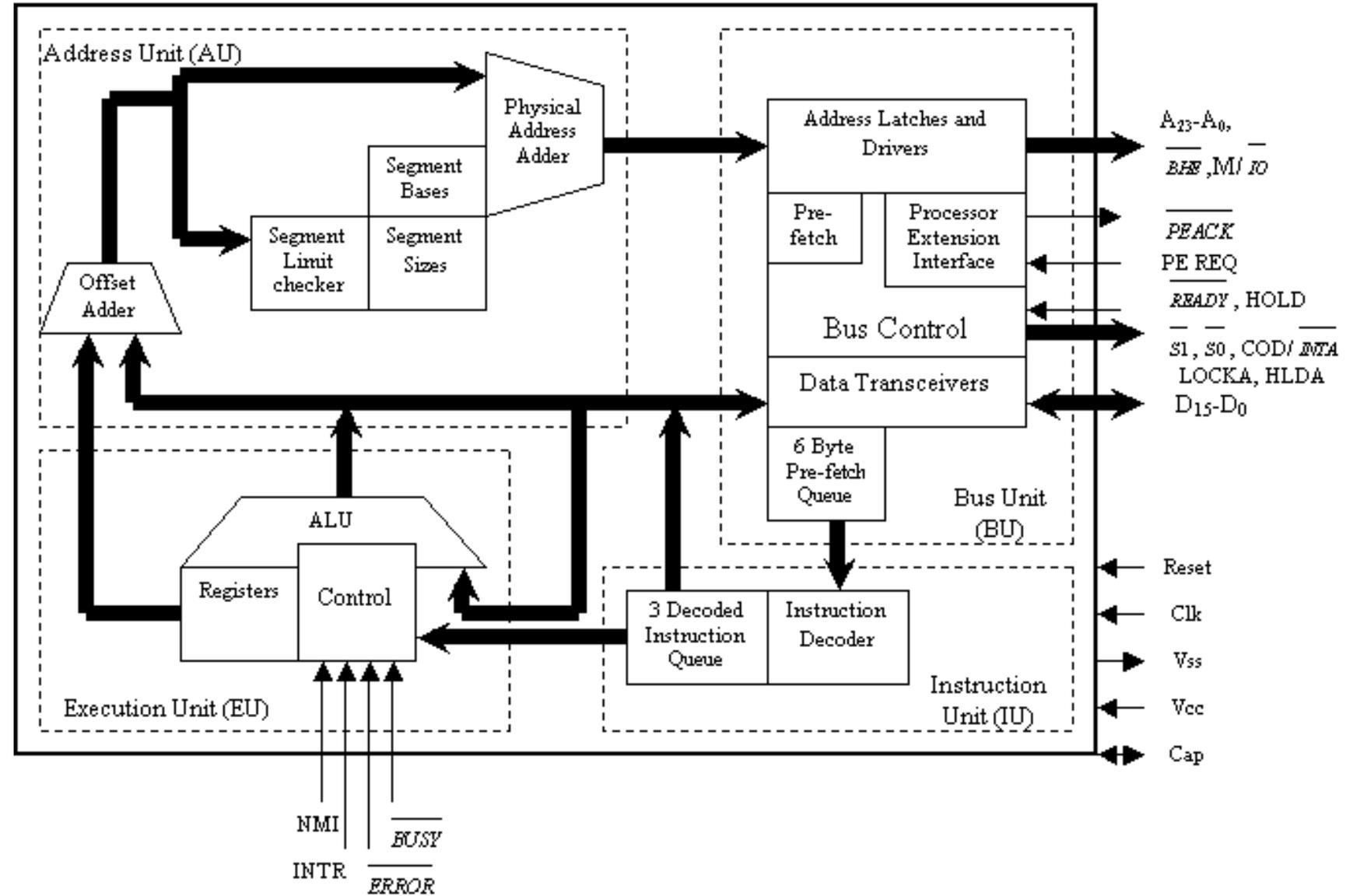
Arquitetura x86 8086



Arquitetura x86 80286

- Segunda geração dos processadores x86
- Microprocessador de 16 bits, 6 a 12 MHz
- 1982
- Barramento de Dados de 16 bits e de Endereço de 24 bits (16 MB de memória)
- Pipeline de 4 estágios:
 - BU: unidade de acesso e controle do barramento
 - IU: unidade de decodificação de instruções
 - EU: unidade de execução de instruções
 - AU: unidade de formação de endereços

80286



Arquitetura x86 80286

- Dois modos:
 - Real: emulava o modo de operação do 8086 (20 bits de endereçamento)
 - Protegido: endereçamento de 16 MB de memória real (2^{24}) e uso do mecanismo de gerência de memória virtual (endereça até 1GB)
 - Utilização dos registradores de segmento do 8086 como ponteiros para descritores de tabelas os quais permitiam acessar a memória através de um endereço de 24 bits
- Problemas:
 - Muitos programas desenvolvidos para o 8086 não utilizavam o modo protegido
 - Chaveamento de um modo para o outro só podia ser feito uma vez enquanto o computador estivesse ligado

Arquitetura x86 80386

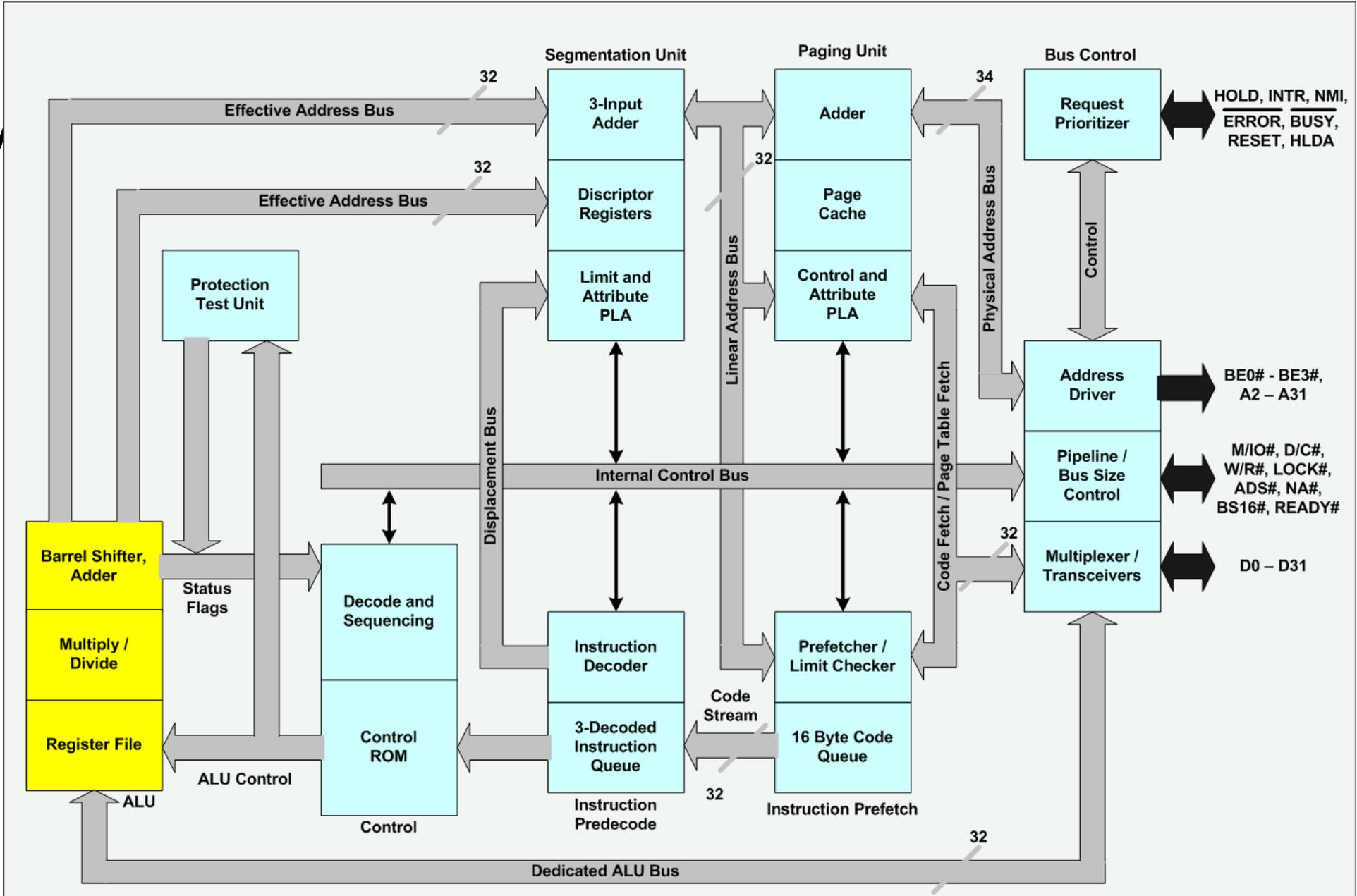
- Terceira geração dos processadores x86
- 1985
- Alguns consideram o primeiro Pentium
 - Microprocessador de 32 bits
 - Conjunto de instruções denominado IA-32, ou i386
 - Implementação do conceito de Memória Virtual

Arquitetura x86 80386

- Três modos:
 - Real: 8086
 - Protegido: modo protegido do 286, mas estendido para o modo de endereçamento do 386 (endereçamento de 4GB de memória)
 - Virtual: execução de uma ou mais máquinas virtuais do 8086 no modo protegido
- Variações:
 - SX (16 a 40 MHz): 32 bits internos mas barramento externo de 16 bits
 - DX (16 a 33 MHz): original
 - SL (20 a 25 MHz): para notebook (incluía opções para poupar energia)
 - EX: versão *embedded* (utilizada no telescópio Hubble)

Arquitetura x86 80386

- 6 unidades de pipeline:
 - EU: unidade de execução de instruções
 - BU: unidade de acesso e controle do barramento
 - IU: unidade de decodificação de instruções
 - PU: unidade de *pré-fetch*
 - PgU: unidade de formação de endereço (*paging unit*)
 - SU: unidade de formação de endereço (*segmentation unit*)



PLA: Programmable Logic Array

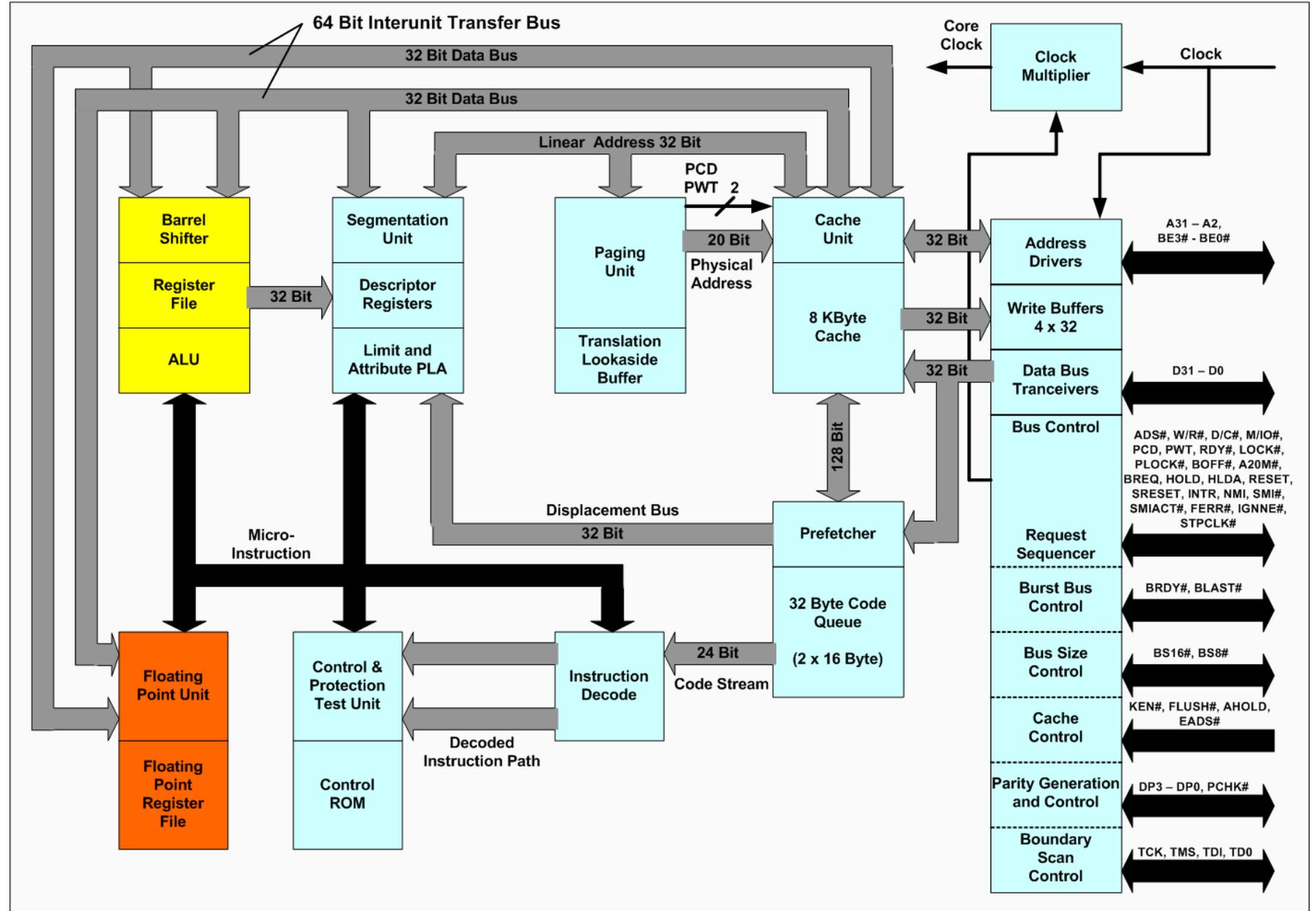
Arquitetura x86 80386

- Registradores:
 - Foram estendidos para 32 bits, colocando a letra **E** na denominação de todos (EAX, ESI, etc.)
- Acesso à memória segmentada e paginada foram importantes para o suporte à sistemas operacionais multitarefas (como Windows e Linux)
- Coprocessador matemático 80387

Arquitetura x86 80486

- Quarta geração dos processadores x86
- Mesmo conjunto de instruções que o 80386, com o acréscimo de poucas instruções
- Do ponto de vista de hardware, houveram alterações:
 - Cache unificada de instruções e dados no chip
 - Unidade de ponto flutuante (em algumas versões)
 - Melhor interface de barramento
 - Em condições ótimas, o processador consegue manter uma taxa de 1 instrução por ciclo de clock, melhoria esta que permitiu um melhor desempenho que o 80386 mesmo com o mesmo clock

80486



Arquitetura x86

80486

- Variações:
 - SX (20 a 40 MHz): 486DX com a FPU (Unidade de Ponto Flutuante) desabilitada e, em versões posteriores, retirada do *die*
 - DX (25 a 100 MHz): com FPU
 - DX2: clock do processador executa com o dobro do clock do barramento externo
 - DX4: clock do processador executa com o triplo do clock do barramento externo

Arquitetura x86

Pentium - Modelos

Intel IA-32 (x86) Microarchitectures & CPUs

P5

Pentium
Pentium MMX

Mobile

Pentium M
Core Duo

P6

Pentium Pro
Pentium II
Pentium III

Core

Core 2 Duo
Core 2 Extreme

NetBurst

Pentium 4
Pentium D
Xeon

Nehalem

Core i3
Core i5
Core i7

Arquitetura x86

Pentium

- Quinta geração dos processadores x86
- Originalmente 80586 ou i586
- 1993
- Microprocessador de 32 bits, variando de 60 a 200 MHz
- Melhoria em relação ao 80486:
 - Superescalar
 - 64 bits para o barramento de dados

Arquitetura x86

Pentium

- Pipeline de 5 estágios:
 - **Prefetch (PF)**: CPU busca o código da cache de instrução e alinha o código ao byte inicial da próxima instrução a ser decodificada
 - **First Decode (D1)**: a CPU decodifica a instrução e gera uma palavra de controle
 - **Second Decode (D2)**: a CPU decodifica a palavra de controle provinda do estágio D1 para ser usada no estágio E (execução). Tem-se também a formação de endereços para referências de dados em memória
 - **Execute (E)**: a CPU acessa a cache de dados ou calcula os resultados da ULA, ou outras unidades funcionais necessárias
 - **Write Back (WB)**: CPU atualiza os registradores e os flags com os resultados das operações

Arquitetura x86 Pentium

- Superescalar:
 - Possui 2 *datapaths* (caminho de dados): U e V
 - O pipe U pode manipular qualquer instrução enquanto o V pode manipular somente as instruções mais simples e comuns
 - Possui 1 pipeline para instruções de ponto flutuante

Pentium

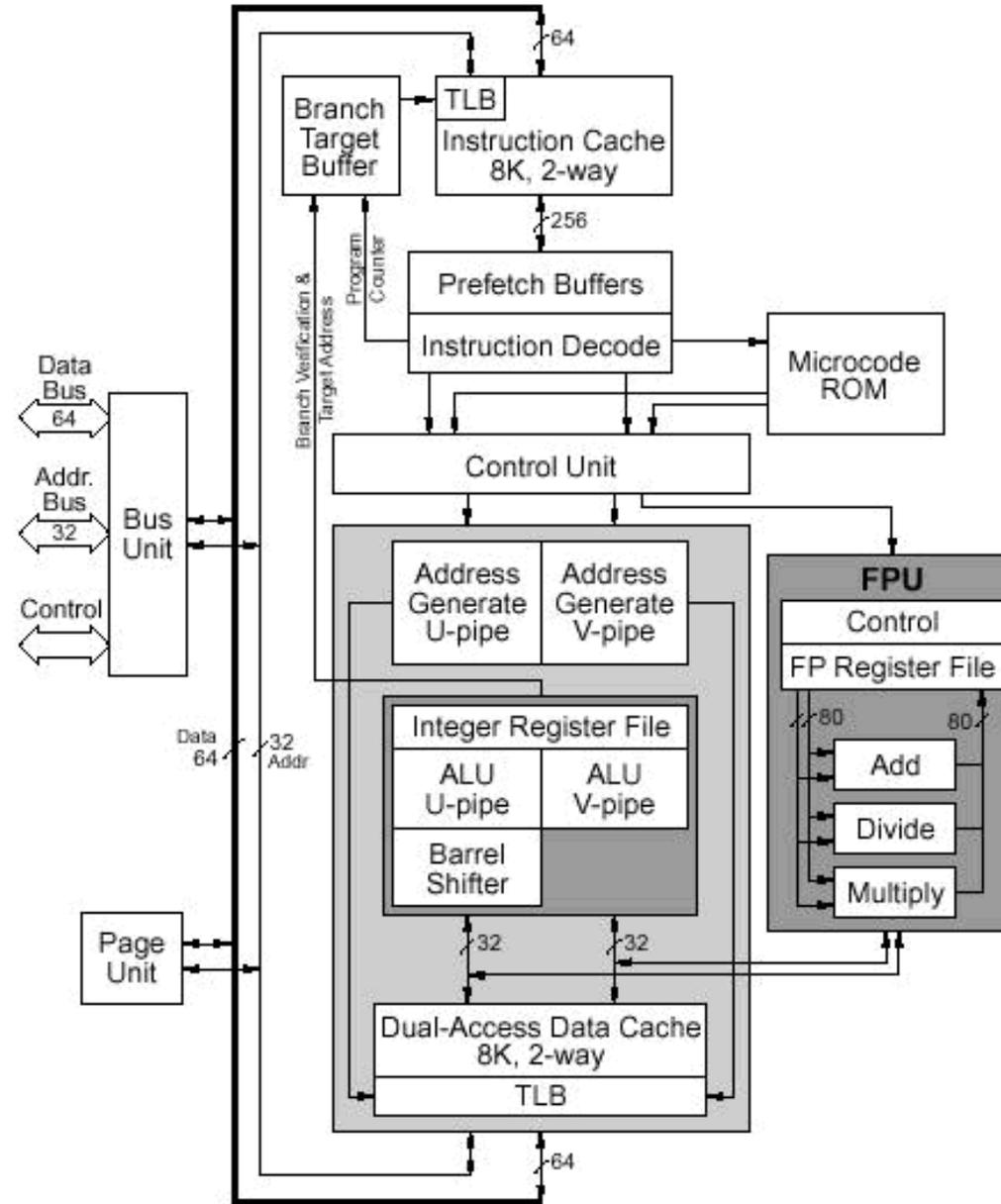


Figure 1. Pentium block diagram.

Arquitetura x86

Pentium – Alguns modelos

- Pentium (1993 – 1996) – 60 a 200 MHz
- Pentium Pró (1995 – 1997) – 150 a 200 MHz
- Pentium MMX (1997 – 1999) – 233 a 300 MHz
- Pentium II (1997 – 1999) – 233 a 450 MHz
- Xeon (introduzido em 1998) – 400 MHz a 3 GHz
- Celeron (introduzido em 1998) – 266 MHz a 2,88 GHz
- Pentium III (1999 – 2001) – 500 MHz a 1,3 GHz
- Pentium 4 (introduzido em 2000) – 1,4 a 3,4 GHz
- Pentium 4 Dual Core (2005)
- Core Line (2006)

Arquitetura x86

Pentium - Arquiteturas

- P5
 - Processadores P5, P54 e P54C
 - Pentium
 - Alterações no processo de produção do chip
 - Problema na unidade de ponto flutuante, que ficou conhecido como *Pentium FDIV (Floating point DIVision) bug*
 - P55C
 - Pentium MMX
 - Novo conjunto de instruções com 57 instruções MMX

Arquitetura x86

Pentium - Arquiteturas

- Instruções MMX (*Multi Media eXtension*): conjunto de instruções SIMD (*Single Instruction Multiple Data*) para aplicações multimídia
 - Inclusão de 8 registradores de 64 bits, denominados MM0 a MM7, mapeados fisicamente nos registradores de ponto flutuante
 - As novas instruções podem operar sobre grupos de 64 bits, que podem ser 8 bytes, 4 palavras ou 2 palavras duplas

Arquitetura x86

Pentium - Modelos

Intel IA-32 (x86) Microarchitectures & CPUs

P5

Pentium
Pentium MMX

Mobile

Pentium M
Core Duo

P6

Pentium Pro
Pentium II
Pentium III

Core

Core 2 Duo
Core 2 Extreme

NetBurst

Pentium 4
Pentium D
Xeon

Nehalem

Core i3
Core i5
Core i7

Arquitetura x86

Pentium - Arquiteturas

- P6
 - Sexta geração de processadores da arquitetura x86
 - Foi introduzida em 1995 e sucedida pela arquitetura NetBurst em 2000
 - Foram 3 gerações (Pentium Pro, II e III) e depois voltou com a fabricação dos processadores Pentium M, principalmente devido ao baixo consumo de energia
 - Conhecida pelo baixo consumo de energia e relativa alta taxa de instruções por ciclo (IPC – *Instruction per cycle*)

Arquitetura x86

Pentium - Arquiteturas

- P6
 - Melhorias do Pentium Pro sobre o P5:
 - Superpipelining: aumentou de 5 para 10 estágios de pipeline (Pentium Pro), 11 estágios (Pentium III) e 12-14 estágios (Pentium M)
 - Cache L2 integrado no processador em alguns modelos
 - Barramento de endereço de 36 bits, aumentando a capacidade de endereçamento de memória física
 - Execução especulativa: execução fora de ordem

Arquitetura x86

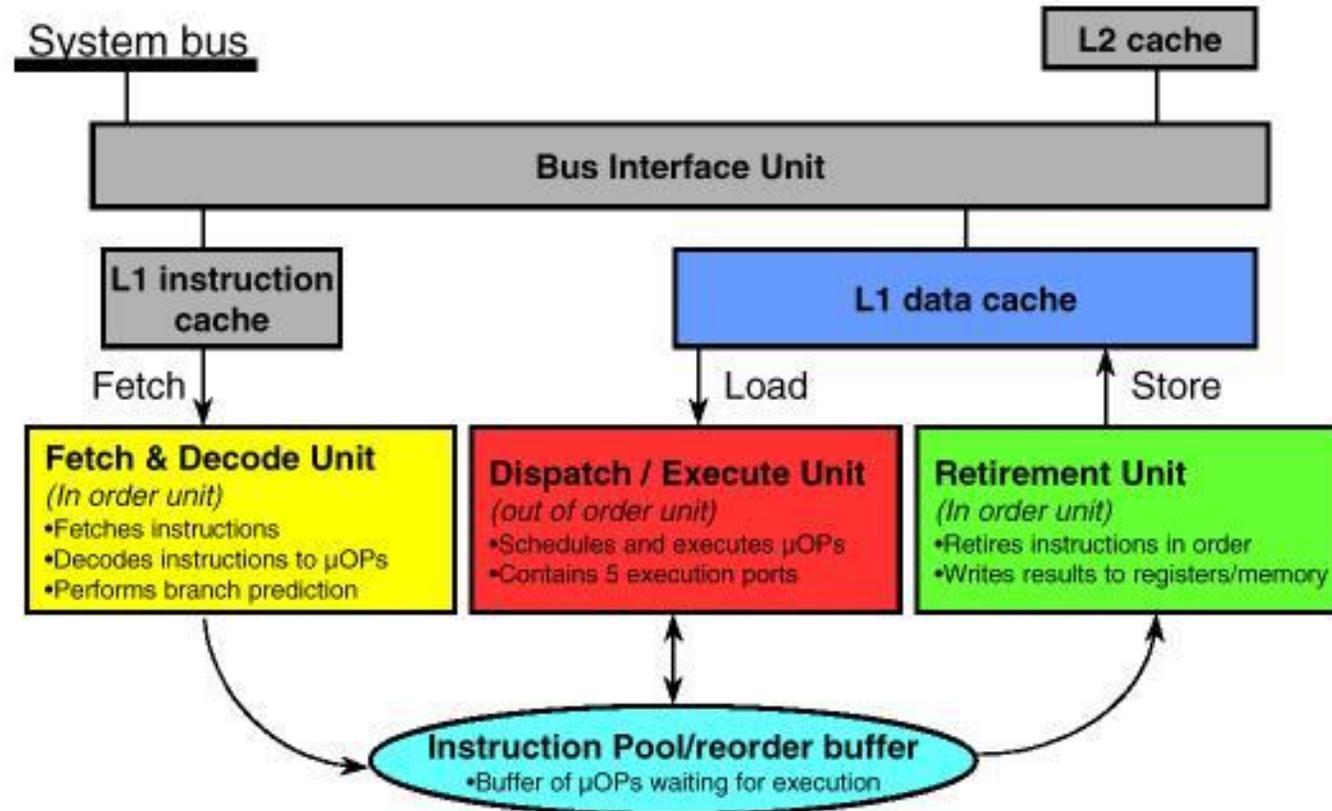
Pentium - Arquiteturas

- Modelos P6:
 - Pentium Pro (1995): sucessor imediato do Pentium (P5)
 - Pentium II (1997):
 - Pentium Pro com MMX
 - Dobro de cache interna (2 x 16 KB),
 - Cache externa (L2) de 512 KB, fora do processador, rodando com a metade da frequência do processador
 - Introduziu a nova geração de memória SDRAM e o barramento AGP
 - Pentium II Celeron: não possui L2
 - Pentium II Celeron A: cache L2 com 128 KB no processador
 - Pentium II Xeon: destinado a servidores e computadores com múltiplas CPUs, apresentando cache L2 de 512 KB, 1 ou 2 MB

Arquitetura x86

Pentium - Arquiteturas

- Pentium II



Arquitetura x86

Pentium - Arquiteturas

- Modelos P6 (continuação):
 - Pentium III (1999):
 - SSE:
 - Adição de 70 instruções SSE (*Streaming SIMD Extensions*), conhecidas a princípio como MMX2
 - 8 novos registradores de 128 bits, denominados XMM0 a XMM7 e, diferente do Pentium Pro e do Pentium II, esses registradores não são mapeados para os registradores de ponto flutuante, sendo diferentes dos registradores MMX
 - Três grupos de instruções: vetores inteiros, vetores em ponto flutuante e sobre memória cache
 - Pentium III Celeron:
 - Igual ao Pentium III, com 128 KB de cache L2 no processador
 - Pentium III Xeon:
 - Igual ao Pentium III, com 1 ou 2 MB de cache L2

Arquitetura x86

Pentium - Arquiteturas

Modelos P6 (continuação):

- Pentium M (Mobile)
- Celeron M
 - Possui metade da cache L2 do Pentium M e não suporta a tecnologia SpeedStep
- Core Solo
 - Processadores Yonah
 - Primeiro processador a utilizar a tecnologia de 65 nm, baseado na arquitetura do Pentium M
 - Inclusão de instruções SSE3 e melhorias nas instruções SSE e SSE2
 - Possui o mesmo chip com 2 processadores do Core Duo, mas um dos processadores é desativado por não passar no controle de qualidade
- Core Duo
 - Segundo processador com 2 núcleos (o primeiro foi o Opteron 260, da AMD)

Arquitetura x86

Pentium - Modelos

Intel IA-32 (x86) Microarchitectures & CPUs

P5

Pentium
Pentium MMX

Mobile

Pentium M
Core Duo

P6

Pentium Pro
Pentium II
Pentium III

Core

Core 2 Duo
Core 2 Extreme

NetBurst

Pentium 4
Pentium D
Xeon

Nehalem

Core i3
Core i5
Core i7

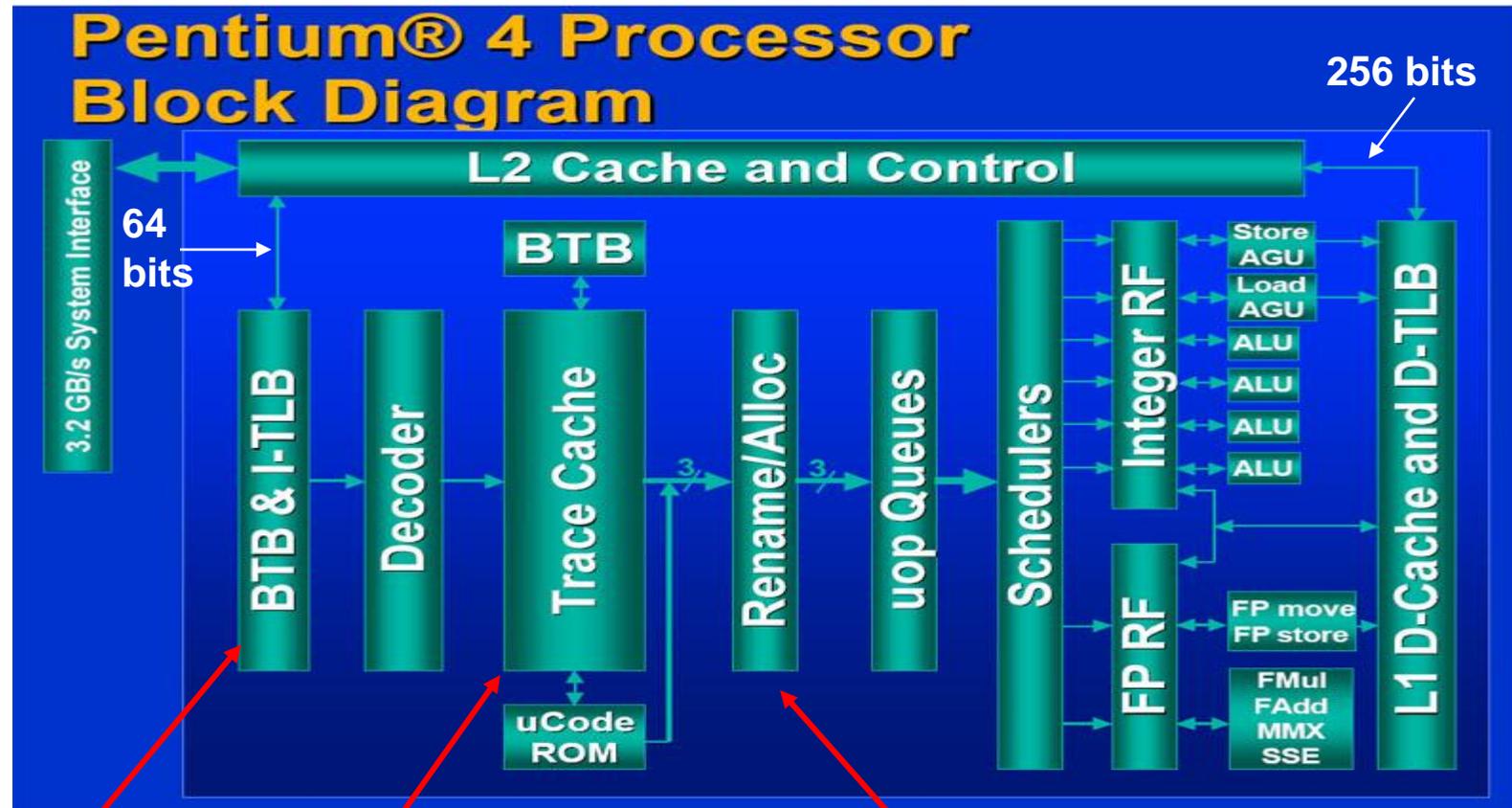
Arquitetura x86

Pentium - Arquiteturas

- **Netburst P7**

- Sétima geração dos processadores da arquitetura x86
- A principal alteração em relação às arquiteturas P5 e P6 é o profundo grau de pipeline (tecnologia *Hyper Pipelined*) de até 31 estágios (núcleo Prescott)
 - O aumento do pipeline foi definido para que os processadores rodassem com clocks mais elevados.
 - Com mais estágios, cada um pode ser construído com menos transistores, facilitando a obtenção de clocks maiores
- Modelos:
 - Pentium 4
 - Chips: Willamette (20 estágios no pipeline), Northwood, Prescott (31 estágios no pipeline)
 - Pentium 4 Celeron
 - Pentium D
 - Pentium Extreme Edition
 - Pentium 4 Xeon

Arquitetura x86 Pentium 4



Unidade de Pré-Busca

Cache de Instruções

128 registradores internos

Arquitetura x86 Pentium 4

- Estágios do Pipeline



- Ponteiro da próxima instrução da cache de microinstruções (TC Nxt IP, *Trace cache next instruction pointer*)
- Busca da próxima microinstrução no cache de microinstruções (TC Fetch, *Trace cache fetch*)
- Drive: Envia a microinstrução para o próximo estágio
- Alocação de recursos (Alloc)
- Renomeamento de Registradores (Rename)
- Fila (Queue)

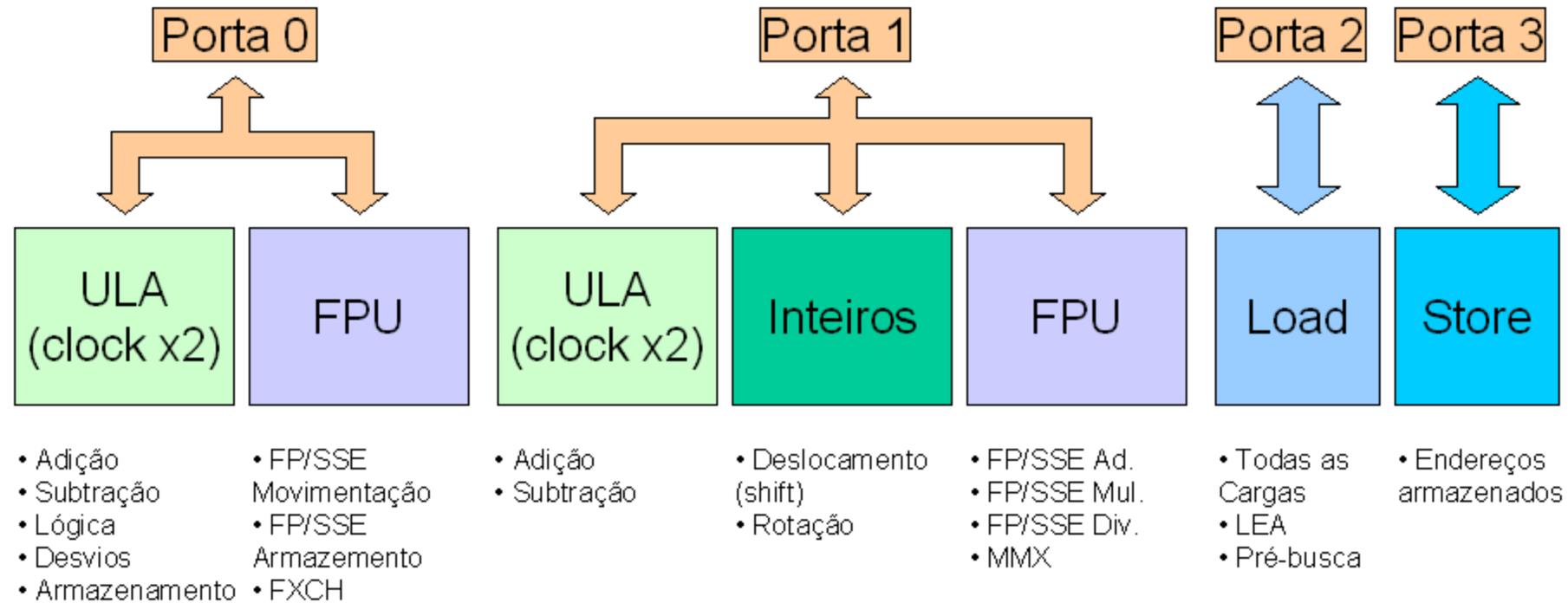
Arquitetura x86 Pentium 4

- Estágios do Pipeline



- Agendamento (Sch, Schedule)
- Envio (Disp, Dispatch)
- Leitura dos registradores internos (RF)
- Execução (Ex)

Arquitetura x86 Pentium 4



Arquitetura x86 Pentium 4

- Estágios do Pipeline



- Flags (Flgs): atualização dos flags do processador
- Verificação de desvios (Br Ck, Branch check): verifica se o desvio tomado foi o mesmo previsto pelo circuito de previsão de desvio
- Drive: Envia o resultado da verificação acima para o buffer de destino de desvio (BTB) localizado na entrada do processador.

Arquitetura x86

Pentium 4

- Pentium D
 - Introduzido em 2005
 - Contém 2 dices de núcleos Pentium 4 Prescott, e não os dois núcleos no mesmo dice

From Computer Desktop Encyclopedia
Reproduced with permission.
© 2006 Intel Corporation



Arquitetura x86

Pentium 4

- Pentium Extreme Edition
 - Baseado no processador dual Pentium D, mas com *HyperThreading* habilitada, permitindo ter 4 processos lógicos (2 físicos e 2 nos núcleos virtuais)
 - Suporta EM64T

Arquitetura x86 Pentium 4

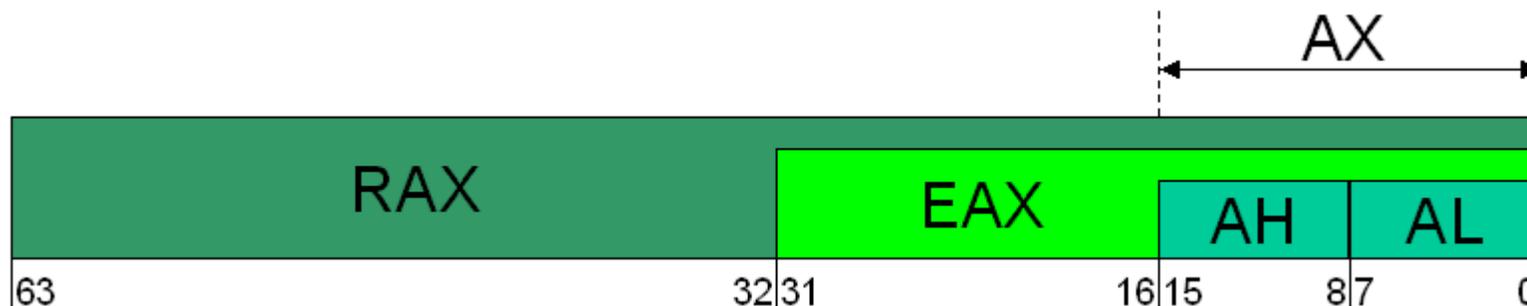
- Tecnologia EM64T
 - EM64T – *Extended Memory 64 Technology*
 - Processadores com essa tecnologia possuem um novo modo de operação chamado IA32E:
 - Modo Compatibilidade: permite que SOs de 64 bits executem programas de 32 e 16 bits sem a necessidade de serem recompilados
 - Modo de 64 bits: permite que SOs e programas de 64 bits utilizem o novo espaço de endereçamento de 64 bits oferecido por esta tecnologia

Arquitetura x86 Pentium 4

- Tecnologia EM64T

- Características:

- Espaço de endereçamento: alguns processadores utilizam 36 linhas para endereçamento, e outros utilizam 40 linhas
 - Oito registradores adicionais, totalizando 16 registradores de 64 bits. Nomenclatura: RAX
 - Oito registradores adicionais para instruções SIMD (MMX, SSE, SSE2 e SSE3), totalizando 16 registradores
 - Todos os registradores e ponteiros são de 64 bits
 - Um novo modo de endereçamento relativo para o ponteiro de instruções, denominado RIP - *relative addressing*



Arquitetura x86

Pentium - Modelos

Intel IA-32 (x86) Microarchitectures & CPUs

P5

Pentium
Pentium MMX

Mobile

Pentium M
Core Duo

P6

Pentium Pro
Pentium II
Pentium III

Core

Core 2 Duo
Core 2 Extreme

NetBurst

Pentium 4
Pentium D
Xeon

Nehalem

Core i3
Core i5
Core i7

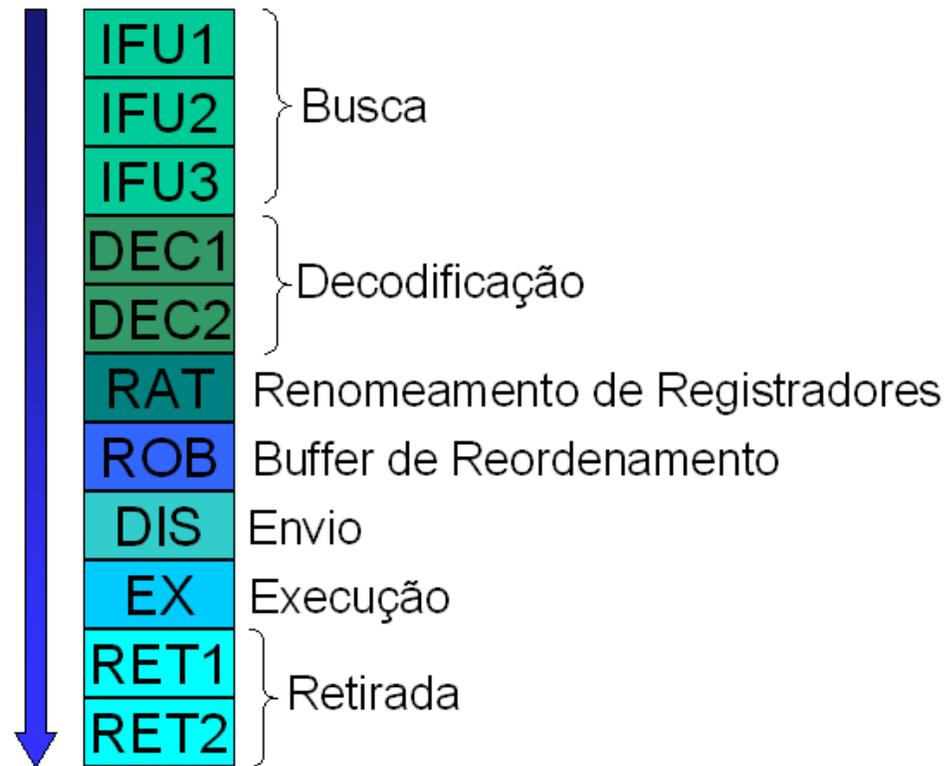
Arquitetura x86

Pentium M

- Parte da plataforma Centrino (compreende CPU + chipset + módulo de rede sem fio)
- Projetado especialmente para laptop
- Igual ao Pentium III com:
 - Melhoria na previsão de desvios (*branch prediction*)
 - Interface de barramento compatível com o Pentium 4 (transferência de 4 dados por pulso de clock (QDR))
 - Instruções SSE2
 - Cache L1 maior (dois de 32 KB, um p/ dados e outro p/ instruções)
 - Cache L2 de 1 ou 2 MB

Arquitetura x86 Pentium M

- Pipeline parecido com o do Pentium III



Arquitetura x86

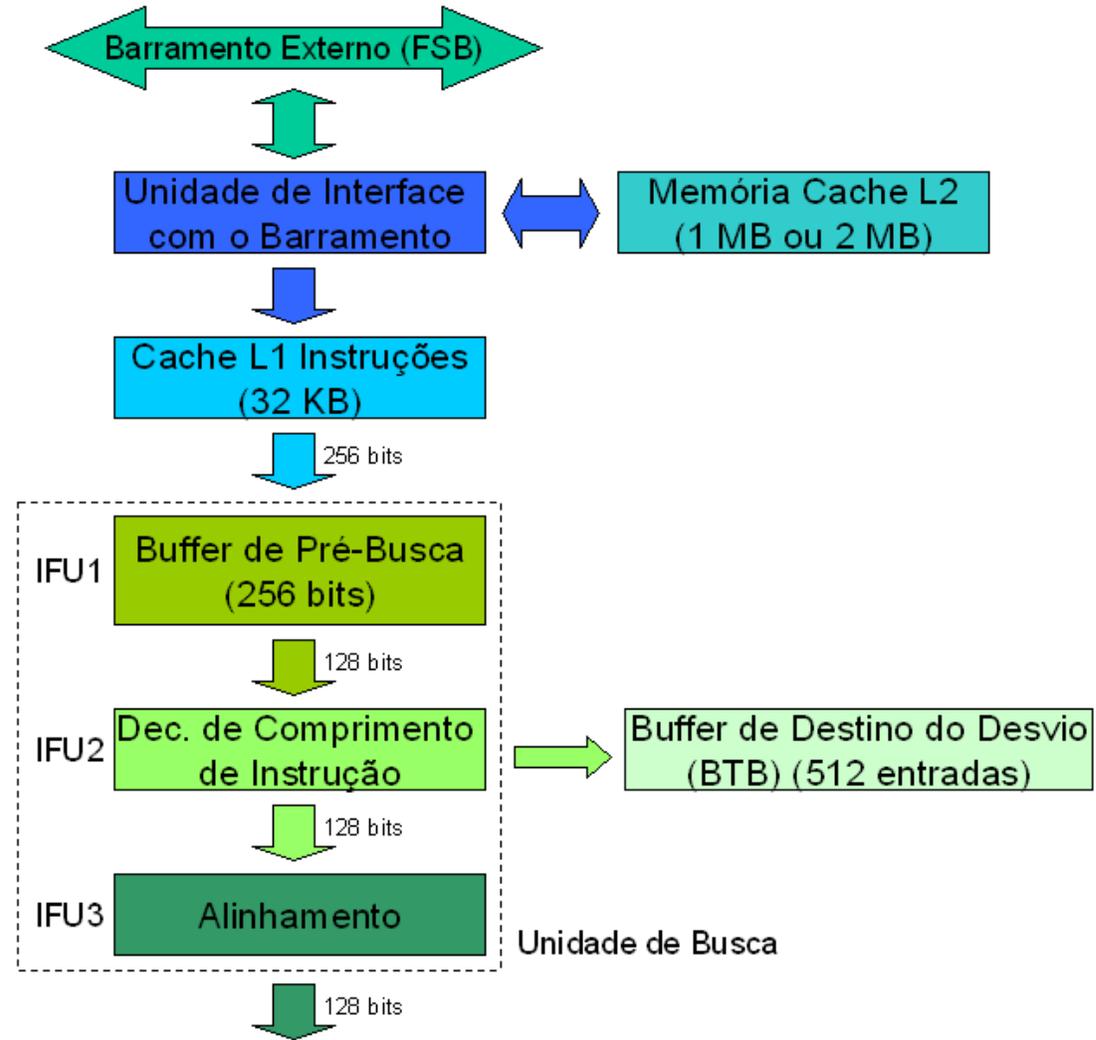
Pentium M

- Pipeline

- Busca – Estágio 1 (IFU1): carrega uma linha (32 Bytes = 256 bits) da cache L1 de instruções e armazena no buffer de pré-busca (ISB – *Instruction Streaming Buffer*)
- Busca – Estágio 2 (IFU2): identifica o limite das instruções nos 32 Bytes (nem todas as instruções são do mesmo tamanho). Se for uma instrução de desvio, já armazena o endereço para onde deve ser desviado no buffer de destino de desvio (BTB – *Branch Target Buffer*)
- Busca – Estágio 3 (IFU3): separa as instruções para serem entregues aos decodificadores apropriados (são 3 decodificadores)

Arquitetura x86 Pentium M

Unidade de Busca
em 3 estágios



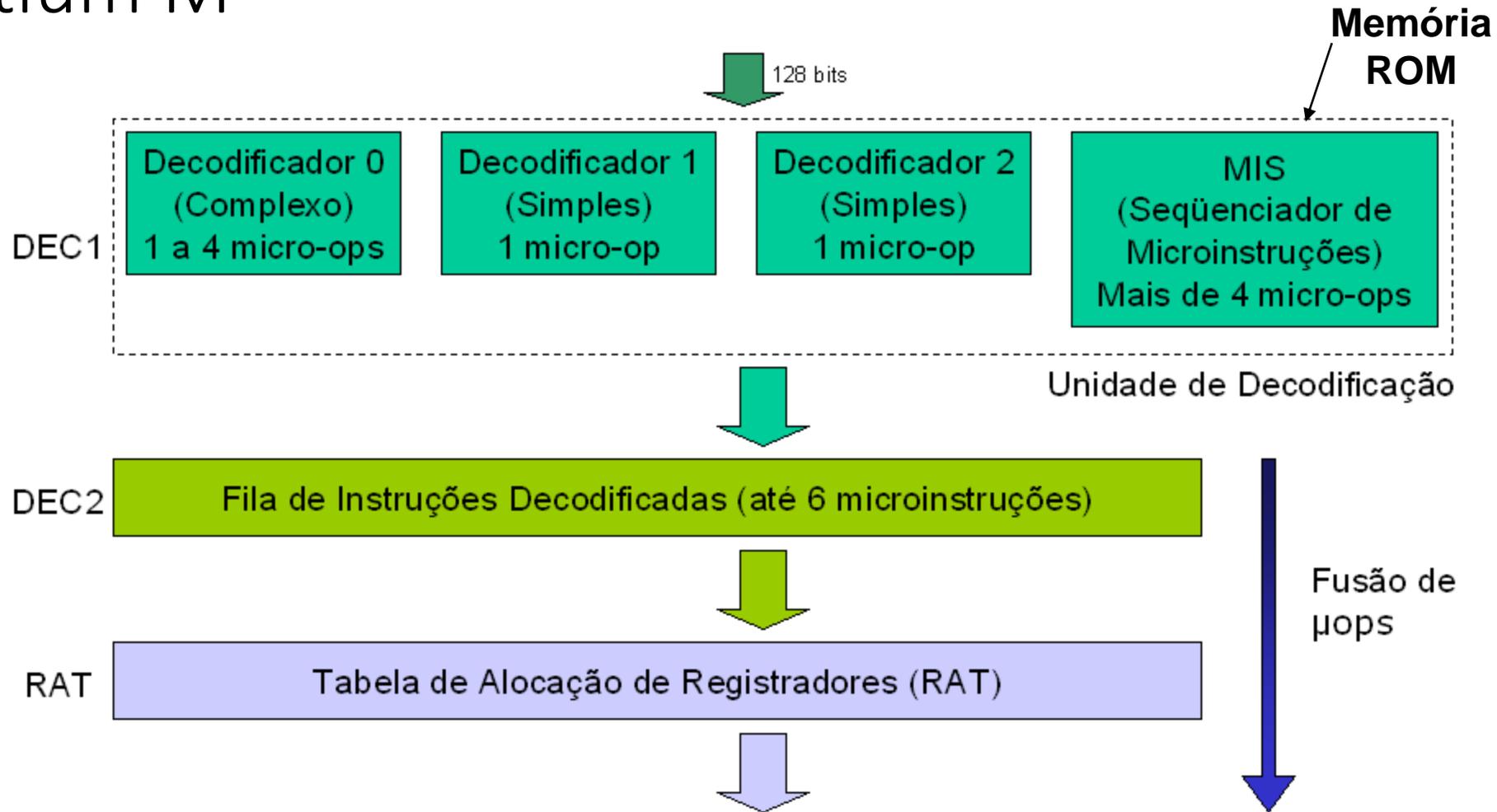
Arquitetura x86

Pentium M

- Pipeline

- Decodificação – Estágio 1 (DEC1): decodifica a instrução x86 em uma microinstrução RISC. Com 3 unidades de decodificação, é possível decodificar até 3 instruções ao mesmo tempo
- Decodificação – Estágio 2 (DEC2): passa as microinstruções para a fila de instrução decodificadas, capaz de armazenar até 6 microinstruções
- Renomeamento de registradores (RAT): troca do nome do registrador por um dos 40 registradores internos, com o objetivo de que, se a instrução é executada fora de ordem, o conteúdo do registrador original não seja alterado

Arquitetura x86 Pentium M



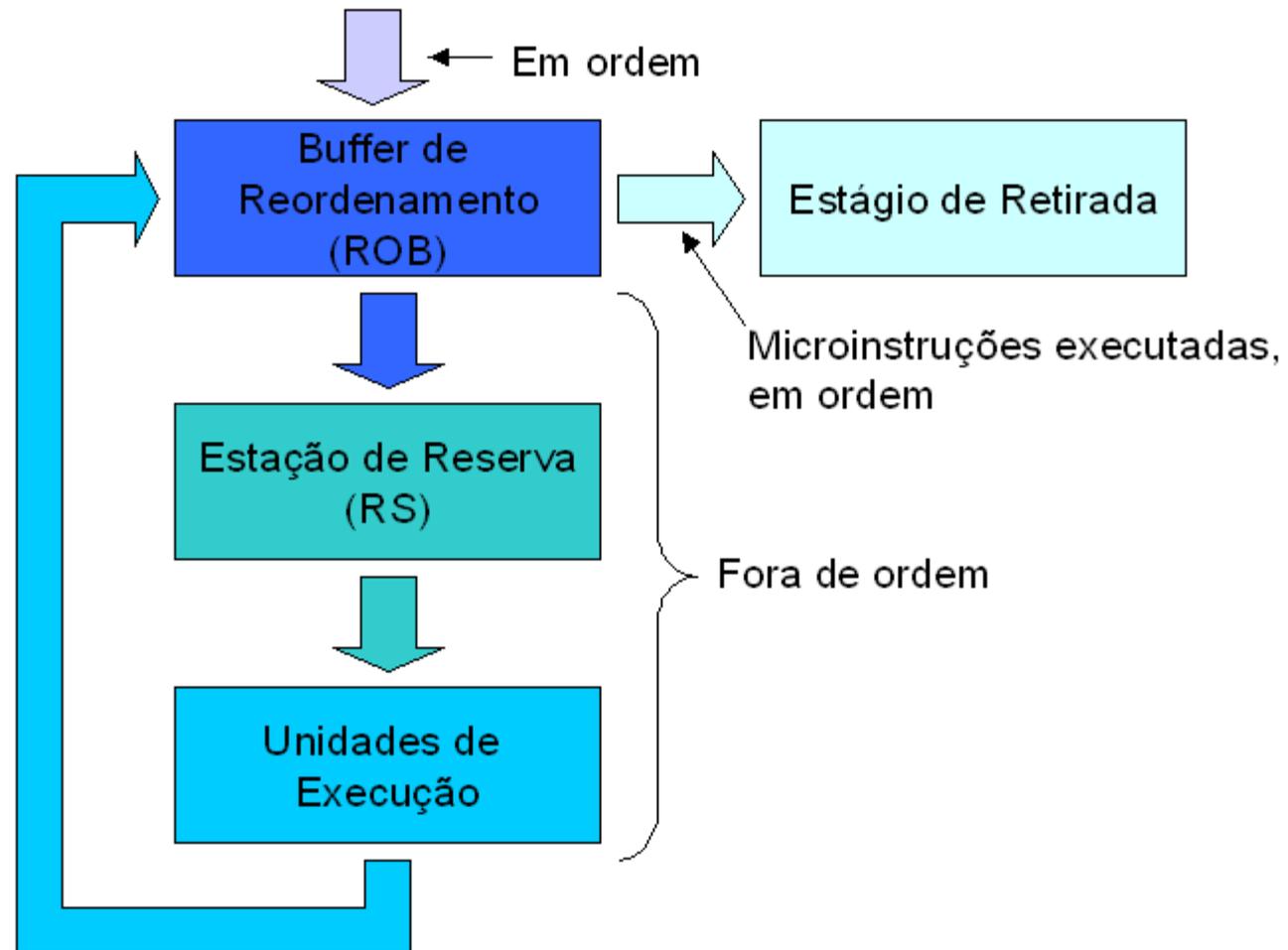
Arquitetura x86

Pentium M

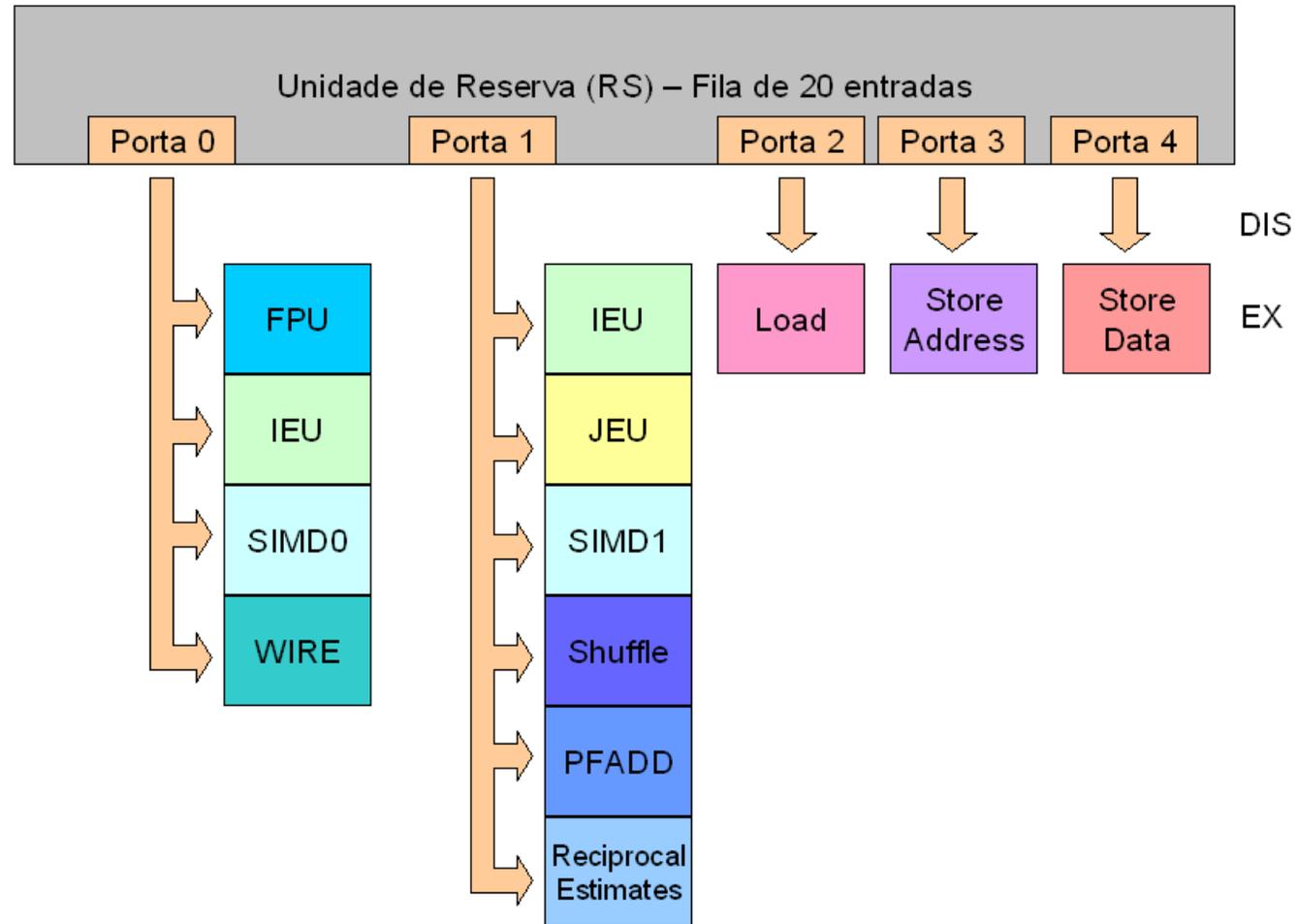
- Pipeline

- Buffer de reordenamento (ROB): três microinstruções são carregadas para esse buffer. Se todos os dados estiverem disponíveis e se houver espaço na fila de microinstrução da unidade de reserva, então a microinstrução é copiada para a fila da unidade de reserva
- Envio (DIS): microinstrução enviada para a unidade de execução apropriada
- Execução (EX): a microinstrução é executada na unidade de execução apropriada, em geral, em 1 ciclo de clock

Arquitetura x86 Pentium M



Arquitetura x86 Pentium M



Arquitetura x86

Pentium M

- Unidades de Execução:
 - IEU (*Instruction Execution Unit*): local onde as instruções “comuns” são executadas. Instruções comuns são operações aritméticas e lógicas sobre inteiros, portanto essa unidade nada mais é que a ULA
 - FPU (*Float Point Unit*): execução de instruções complexas, ou seja, sobre números em ponto flutuante
 - SIMD: execução das instruções SIMD (MMX, SSE e SSE2)
 - WIRE: outras funções (não divulgado pela Intel)
 - JEU (*Jump Execution Unit*): processa os desvios
 - Shuffle: executa um tipo de instrução SSE denominada shuffle
 - PFADD: executa instruções SSE denominadas PFADD (*Packet FP Add*). Possui latência de 3 pulsos de clock

Arquitetura x86 Pentium M

- Unidades de Execução:
 - Reciprocal Estimate: executa instruções SSE denominadas RCP (Reciprocal Estimate) e RSQRT (Reciprocal Square Root Estimate)
 - Load: processa instruções que requerem dados da memória RAM
 - Store Address: processa instruções que requerem que os dados sejam escritos na memória RAM. Também conhecida como AGU (*Address Generator Unit*). Utiliza as unidades Store Address e Store Data ao mesmo tempo
 - Store Data: processa instruções que requerem que os dados sejam escritos na memória RAM. Utiliza as unidades Store Address e Store Data ao mesmo tempo

Arquitetura x86 Pentium M

- Pipeline

- Retirada – Estágio 1 (RET1): verifica no buffer de reordenamento se existem microinstruções que podem ser marcadas como executadas
- Retirada – Estágio 2 (RET 2): quando todas as microinstruções da instrução x86 já forem retiradas do buffer de reordenamento e todas as microinstruções da instrução x86 atual já foram executadas, essas microinstruções são removidas do buffer de reordenamento e os registradores são atualizados, em um processo inverso ao de renomeamento dos registradores (até 3 microinstruções podem ser retiradas do buffer de reordenamento por pulso de clock)

Arquitetura x86

Pentium M

- Tecnologia SpeedStep
 - Criada com o Pentium III para aumentar a autonomia da bateria, permitindo chavear entre duas freqüências de operação:
 - Modo de baixa freqüência (LFM – *Low Frequency Mode*)
 - Modo de alta freqüência (HFM – *High Frequency Mode*)
 - Para isso, possuía 2 multiplicadores de clock
 - O Pentium M introduziu a tecnologia Enhanced SpeedStep, possuindo outras tensões entre o LFM e o HFM

Arquitetura x86

Pentium M

- Tecnologia SpeedStep
 - Exemplo Pentium M de 1,6 GHz:

Tensão	Clock
1,484 V	1,6 GHz
1,42 V	1,4 GHz
1,276 V	1,2 GHz
1,164 V	1 GHz
1,036 V	800 MHz
0,956 V	600 MHz

Arquitetura x86 Pentium M

- Tecnologia SpeedStep
 - Percebe-se que em momentos de ociosidade, não se reduz somente o clock, mas também a tensão, permitindo economizar energia do notebook
 - A tecnologia funciona através do monitoramento de registradores denominados Contadores de Desempenho, aumentando ou diminuindo o clock e a tensão dependendo da utilização do processador

Arquitetura x86

Pentium - Modelos

Intel IA-32 (x86) Microarchitectures & CPUs

P5

Pentium
Pentium MMX

Mobile

Pentium M
Core Duo

P6

Pentium Pro
Pentium II
Pentium III

Core

Core 2 Duo
Core 2 Extreme

NetBurst

Pentium 4
Pentium D
Xeon

Nehalem

Core i3
Core i5
Core i7

Arquitetura x86

Microarquitetura Intel Core

- Microarquitetura Intel Core
 - Arquitetura baseada no Pentium M
- Enhanced Pentium M: Core Solo e Core Duo
- Microarquitetura Core 64 bits: Core 2 Solo, Core 2 Duo, Core 2 Quad, Core 2 Extreme (processadores Merom, Conroe, Penryn e Wolfdale)
- Características:
 - Baixo consumo de energia
 - Múltiplos núcleos (*cores*)
 - Tecnologia de Virtualização
 - EM64T

Arquitetura x86

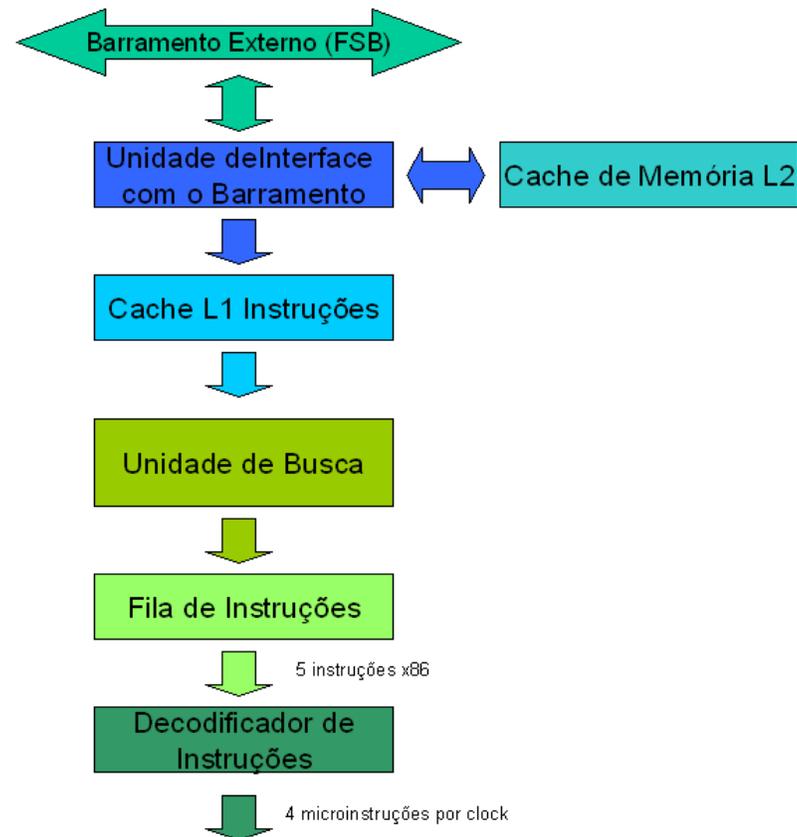
Microarquitetura Intel Core

- Diferença para o Pentium D
 - Cache L2 compartilhada dinamicamente entre os núcleos, enquanto no Pentium D, cada núcleo tem a sua própria cache L2
 - Pré-buscas compartilhadas também
 - Busca é feita por padrões utilizados pelo processador
 - Exemplo: carregou dados do endereço 1, depois do endereço 3 e depois do endereço 5, a unidade de pré-busca irá supor que o próximo dado será o do endereço 7, carregando esse dado na cache antes de ser solicitada
 - Idéia (previsão) não é nova... Vem desde o Pentium Pro, mas nessa arquitetura foi aprimorada para buscar padrões
 - Fusão de Instruções (macro-fusion)
 - Capacidade de combinar duas instruções x86 em uma única microinstrução
 - Limitado a instruções de desvio condicional e de comparação
 - Decodificador é capaz de decodificar 4 instruções por pulso de clock, enquanto os processadores Pentium M e Pentium 4 podiam decodificar somente 3

Arquitetura x86

Microarquitetura Intel Core

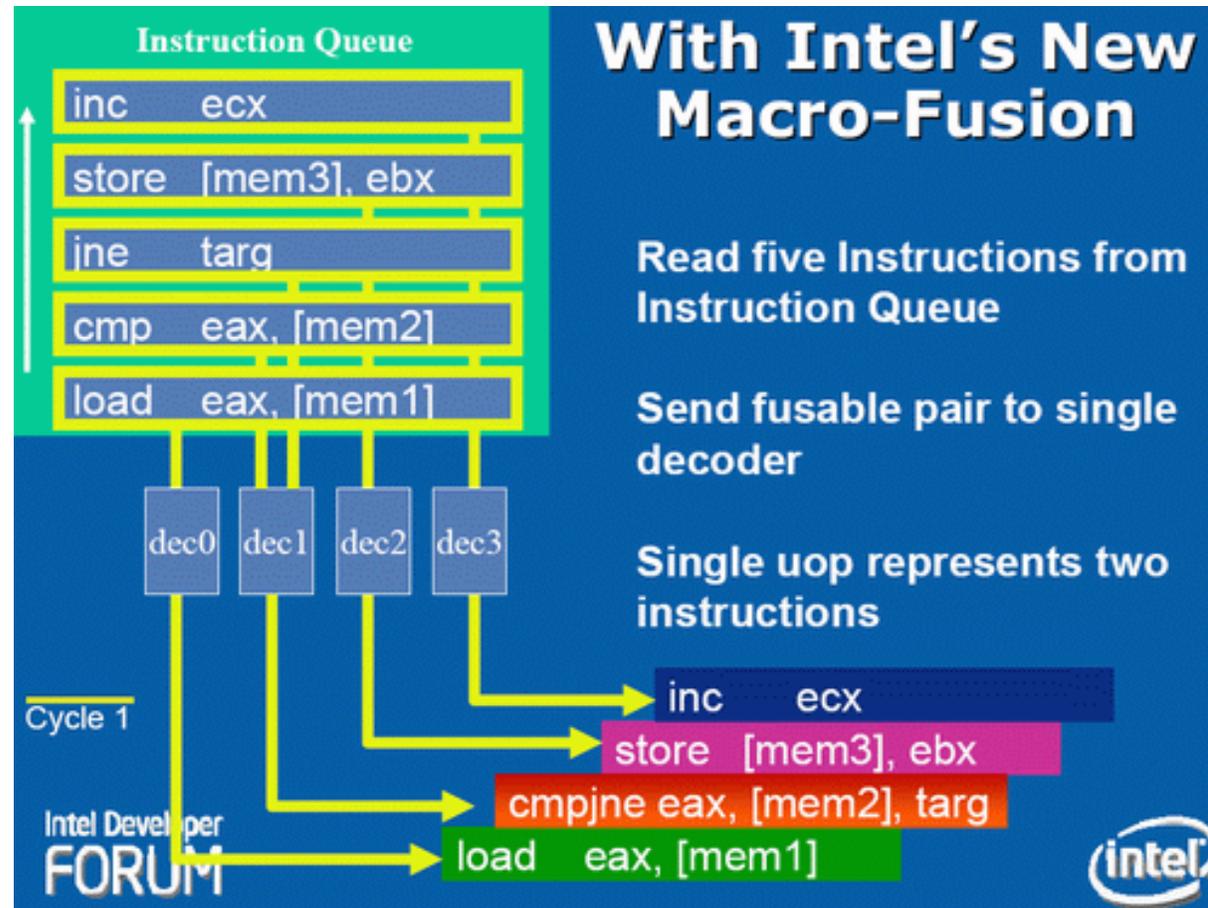
- Fusão de instruções



Arquitectura x86

Microarquitectura Intel Core

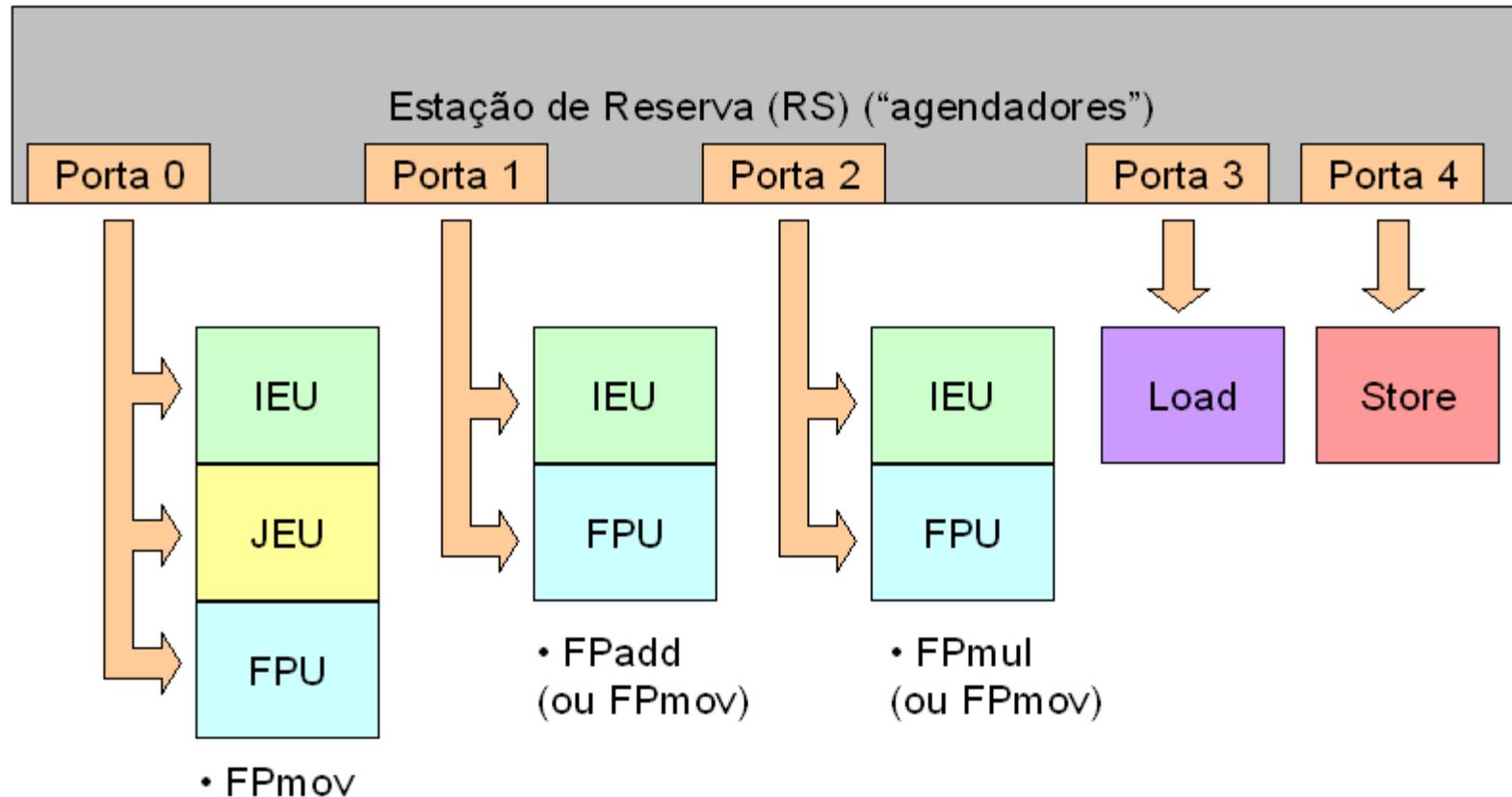
- Macro-op fusion



Arquitetura x86

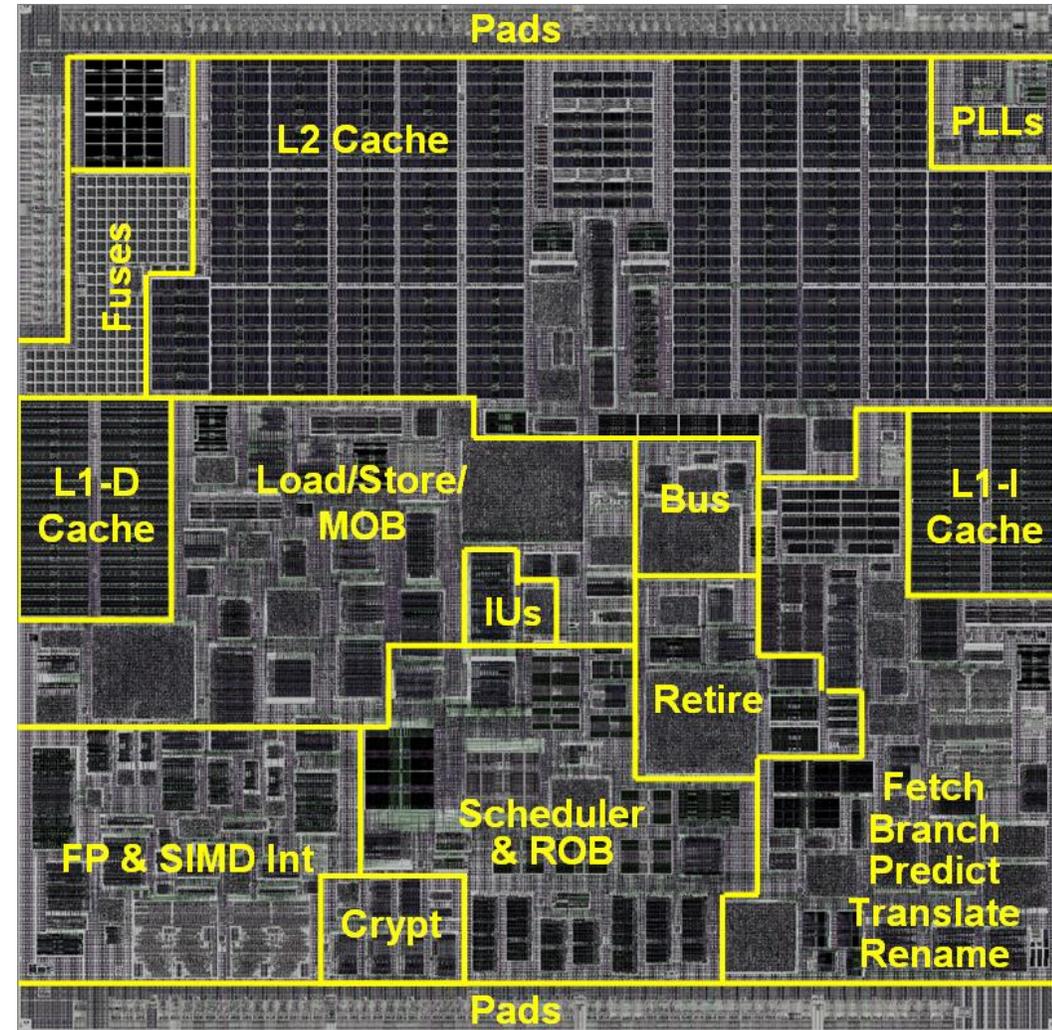
Microarquitetura Intel Core

- Unidades de Execução



Arquitetura x86

Microarquitetura Intel Core



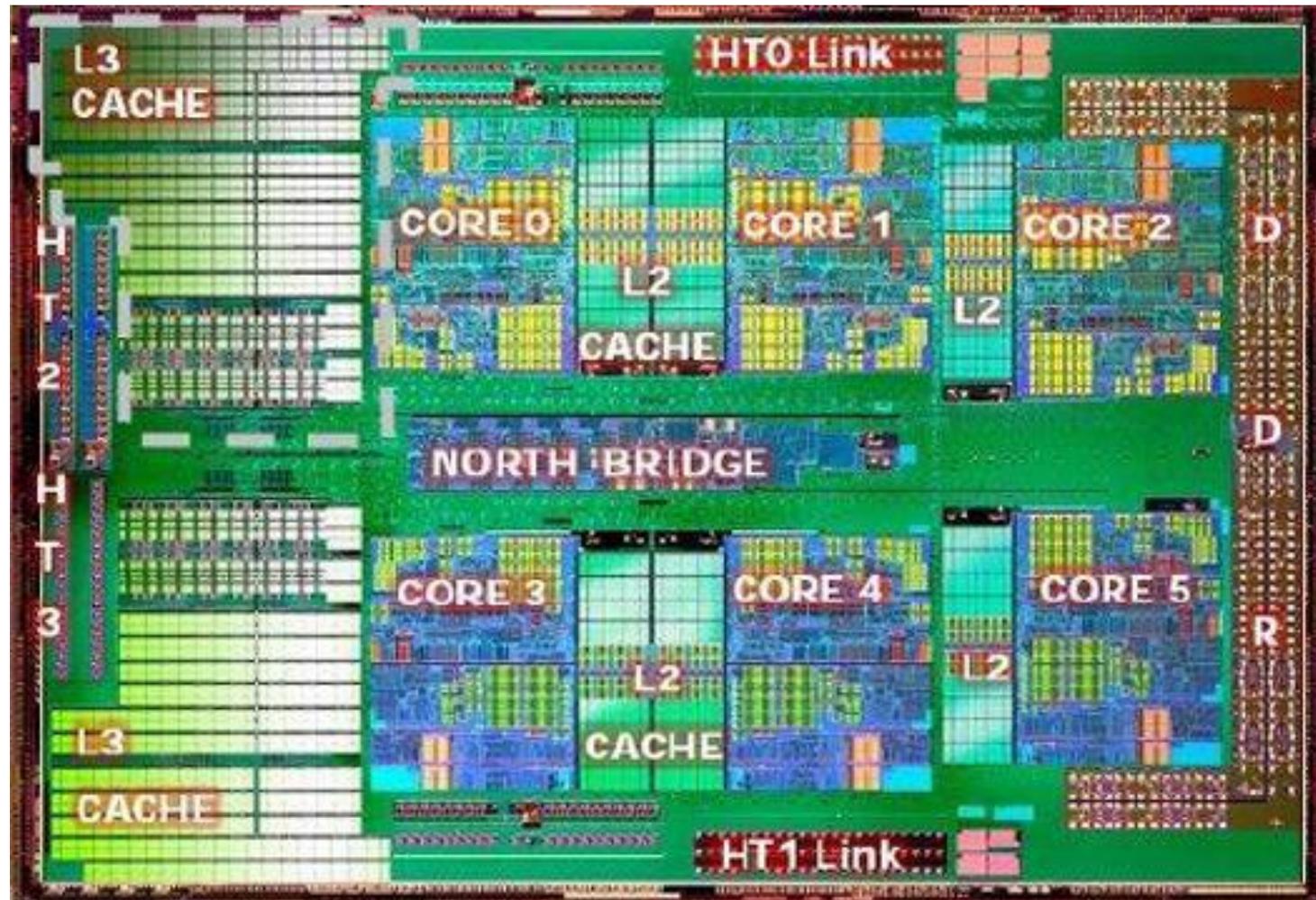
Arquitetura x86

Intel Core Série

- Microarquitetura Nehalem
 - Celeron, Core i5, Core i7, Core i7 Extreme, Xeon (primeira geração)
 - Sucessora da microarquitetura Core, mas planejada como uma evolução da arquitetura Netburst
 - Arquitetura multicore
 - Controlador de memória integrado ao invés de um chipset
 - Alteração nas caches: ao invés de uma L2 grande e compartilhada, tem várias e pequenas L2 para cada núcleo e uma grande L3 compartilhada entre todos

Arquitetura x86

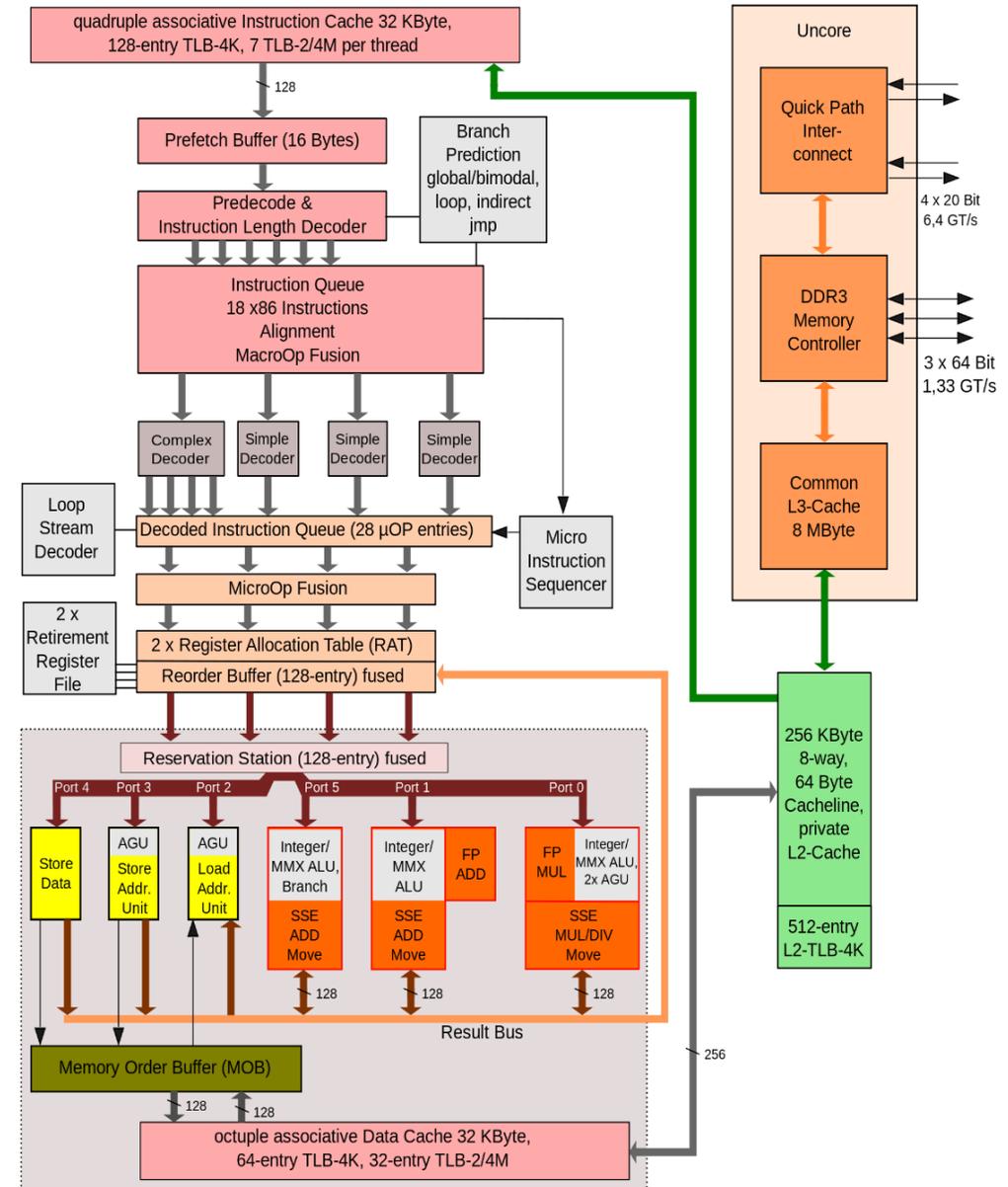
Microarquitetura Nehalem



Microarquitetura Nehalem

- Execução especulativa, fora de ordem e superescalar
- Multithreading
- Múltiplos previsores de desvios
- Controlador de memória no chip
- Caches grandes
- Interconexão entre processadores

Intel Nehalem microarchitecture



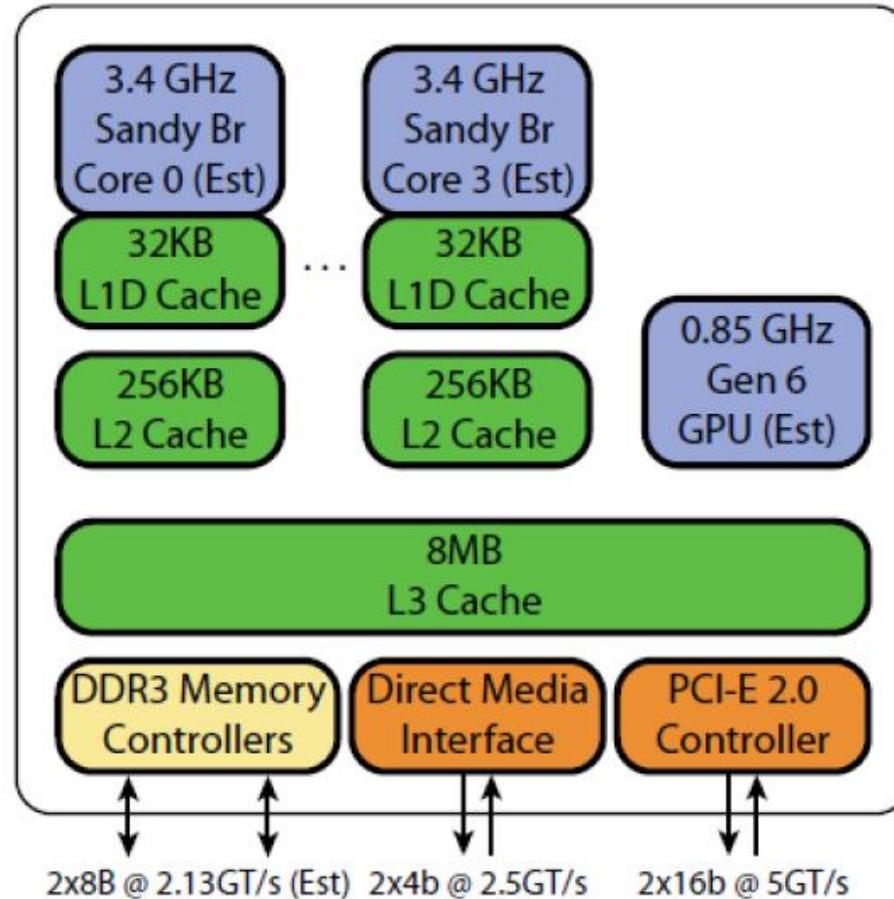
GT/s: gigatransfers per second

Arquitetura x86

Intel Core Série

- Microarquitetura Sandy Bridge: Celeron, Pentium, Core i3, Core i5, Core i7 e Core i7 Extreme (segunda geração)
- Microarquitetura Ivy Bridge: Celeron, Pentium, Core i3, Core i5, Core i7 e Core i7 Extreme (terceira geração)
- Microarquitetura Haswell: Celeron, Pentium, Core i3, Core i5, Core i7 e Core i7 Extreme (quarta geração)
- Microarquitetura Broadwell: Celeron, Pentium, Core i3, Core i5, Core i7 e Core M (quinta geração)
- Microarquitetura Skylake: Celeron, Pentium, Core i3, Core i5, Core i7 (sexta geração)
- Microarquitetura Kaby Lake: Celeron, Pentium, Core i3, Core i5 e Core i7 (sétima geração)
 - Fabricada no mesmo processo da microarquitetura Skylake, quebrando o padrão de projeto “tick-tock”

Microarquitetura Sandy Bridge

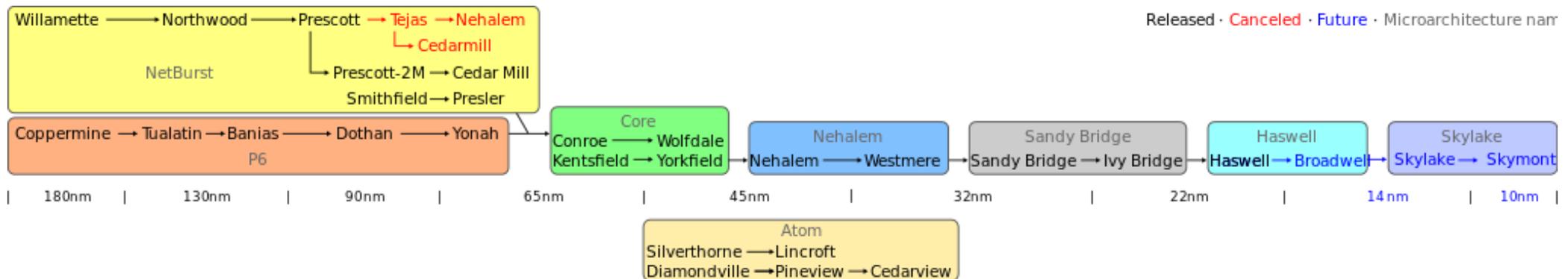
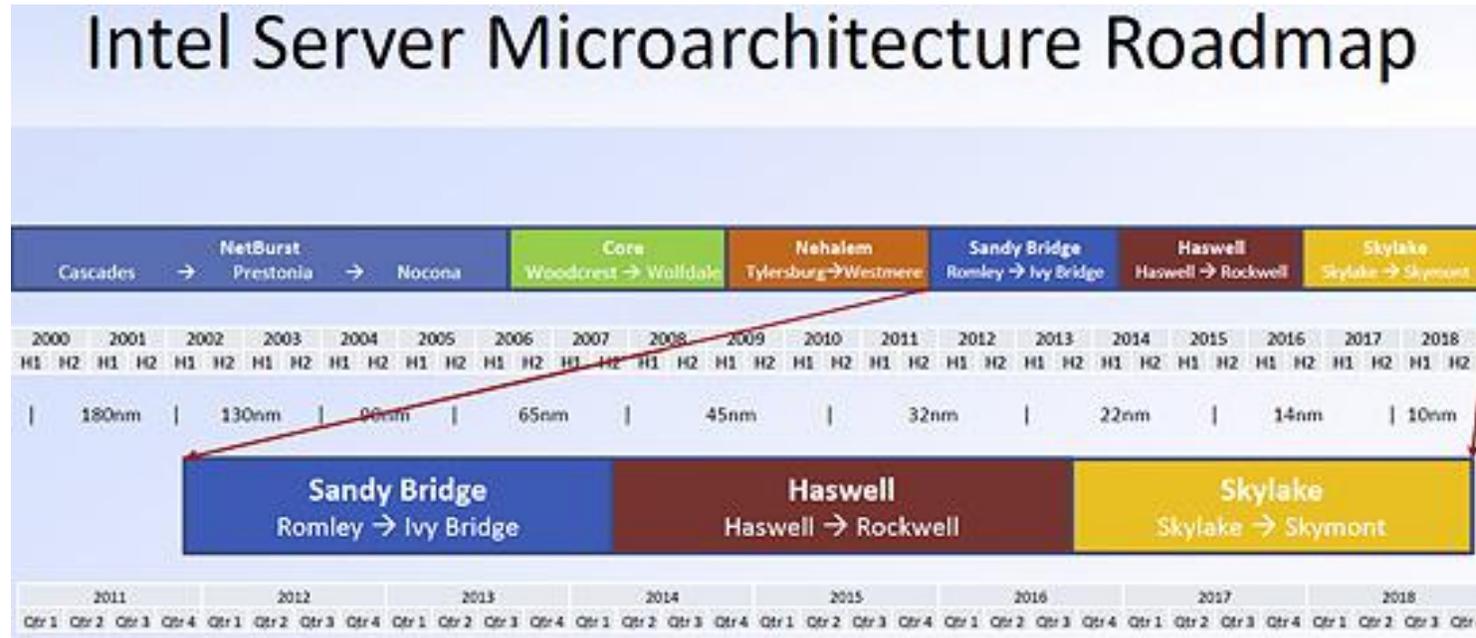


Modelo Tick-Tock da Intel

- Modelo introduzido desde 2007 para descrever a cadência de progresso dos processadores
 - Tick: diminuição do processo (tecnologia de fabricação do chip), mas mesma microarquitetura
 - Tock: nova microarquitetura, mas mesmo processo
 - O processo alterna-se a cada ano

Architectural change	Fabrication process	Microarchitecture	Codenames	Release date	Processors				
					8P/4P Server	4P/2P Server/WS	Enthusiast/WS	Desktop	Mobile
Tick (New fabrication process)	65 nm	P6, NetBurst	Presler, Cedar Mill, Yonah	2006-01-05			Presler	Cedar Mill	Yonah
Tock (New microarchitecture)		Core	Merom ^[5]	2006-07-27 ^[8]	Tigerton	Woodcrest Clovertown	Kentsfield	Conroe	Merom
Tick	45 nm	Nehalem	Penryn	2007-11-11 ^[7]	Dunnington	Harpertown	Yorkfield	Wolfdale	Penryn
Tock			Nehalem	2008-11-17 ^[8]	Beckton	Gainestown	Bloomfield	Lynnfield	Clarksfield
Tick	32 nm	Sandy Bridge	Westmere	2010-01-04 ^{[9][10]}	Westmere-EX	Westmere-EP	Gulftown	Clarkdale	Arrandale
Tock			Sandy Bridge (2nd Gen)	2011-01-09 ^[11]	(None) ^[12]	Sandy Bridge-EP	Sandy Bridge-E	Sandy Bridge	Sandy Bridge-M
Tick	22 nm ^[13]	Haswell	Ivy Bridge (3rd Gen)	2012-04-29	Ivy Bridge-EX ^[14]	Ivy Bridge-EP ^[14]	Ivy Bridge-E ^[15]	Ivy Bridge	Ivy Bridge-M
Tock			Haswell (4th Gen)	2013-06-02	Haswell-EX	Haswell-EP	Haswell-E	Haswell-DT ^[16]	<ul style="list-style-type: none"> Haswell-MB (37 - 57W TDP, PGA package) Haswell-H (47W TDP, BGA package) Haswell-U/LP/ULX (11.5W - 15W TDP)^[16]
Optimizations (Fabrication process/microarchitecture improvements)			Devil's Canyon ^[17]	2014-06	(None)	(None)	(None)	Haswell-DT	(None)
Tick	14 nm ^[13]	Skylake ^[18]	Broadwell (5th Gen) ^[18]	2014-09-05	Broadwell-EX ^[19]	Broadwell-EP ^[19]	Broadwell-E	Broadwell-DT	Broadwell-H (37W - 47W TDP) Broadwell-U (15W - 28W TDP) Broadwell-Y (4.5W TDP)
Tock			Skylake (6th Gen) ^[18]	2015-08-05 ^[20]	Skylake-EX	Skylake-SP (formerly Skylake-EP) ^[21]	Skylake-X ^[22]	Skylake-S	Skylake-H (35W - 45W TDP) Skylake-U (15W - 28W TDP) Skylake-Y (4.5W TDP)
Optimizations ^{[23][24][25][26]}			Kaby Lake (7th Gen) ^[27]	2017-01-03 ^[28]			Kaby Lake-X ^[29]	Kaby Lake-S	Kaby Lake-H (35W - 45W TDP) Kaby Lake-U (15W - 28W TDP) Kaby Lake-Y (4.5W TDP)
Process	10 nm ^[31]	Ice Lake ^[28]	Coffee Lake	1H 2018 ^[30]					
Architecture			Cannonlake	2H 2017 ^[27]					
Optimization ^[26]			Ice Lake ^[32]	2018					
Process	7 nm ^[31]		Tigerlake ^[26]	2019					
Architecture									
Optimization									
Process	5 nm ^[31]								
Architecture									
Optimization									

Modelo Tick-Tock da Intel



Comparação do número de estágios dos Pipelines

Year ↕	Microarchitecture ↕	Pipeline stages ↕	max. Clock ↕
1989	486 (80486)	3	100 MHz
1993	P5 (Pentium)	5	300 MHz
1995	P6 (Pentium II)	14 (17 with load & store/retire) ^[further explanation needed]	450 MHz
1999	P6 (Pentium III)	12 (15 with load & store/retire)	450~1400 MHz
2000	NetBurst (Pentium 4)	20 unified with branch prediction	800~3466 MHz
2003	Pentium M	10 (12 with fetch/retire) ^[further explanation needed]	400~2133 MHz
2004	Prescott	31 unified with branch prediction	4000 MHz
2006	Intel Core	12 (14 with fetch/retire)	3333 MHz
2008	Nehalem	20 unified (14 without miss prediction)	3600 MHz
2008	Bonnell	16 (20 with prediction miss)	2100 MHz
2011	Sandy Bridge	14 (16 with fetch/retire)	4000 MHz
2013	Silvermont	14-17 (16-19 with fetch/retire)	2670 MHz
2013	Haswell	14 (16 with fetch/retire)	4400 MHz
2015	Skylake	14 (16 with fetch/retire)	4200 MHz
2016	Goldmont (Atom microarchitecture)	20 unified with branch prediction	3500 MHz
2016	Kabylake	14 (16 with fetch/retire)	4500 MHz
2017	Cannonlake	14	?