

Lógica CMOS

1 Objetivos deste tópico

Ao final do estudo deste tópico você saberá:

- Os conceitos da família lógica CMOS;
- A estrutura das portas lógicas com transistores CMOS;
- O comportamento elétrico estático e dinâmico das portas lógicas CMOS;
- Estruturas *three-state* e *open drain*.

Leitura recomendada : seções do livro do Wakerly

- 3.2 - Logic Families
- 3.3 - CMOS Logic
- 3.4 - Electrical Behavior of CMOS Circuits
- 3.5 - CMOS Static Electrical Behavior
- 3.6 - CMOS Dynamic Electrical Behavior
- 3.7 - Other CMOS Input and Output Structures
- 3.8 - CMOS Logic Families

Keywords: n-channel transistor (NMOS), p-channel transistor (PMOS), CMOS gates, fan-in, fan-out, data sheet, logic levels, noise margin, resistive load, transition time propagation delay, power consumption, current spikes, decoupling capacitors, schmitt-trigger, three-state output, open-drain output, wired logic, pull-up resistor, CMOS logic families.

2 Exercícios

Os exercícios foram adaptados do livro do Wakerly, Capítulo 3.

1. Uma família lógica CMOS estabelece que os sinais LOW e HIGH estejam nas faixas 0 a 0.7 V e 1.7 a 2.5 V. Usando a convenção de lógica positiva, indique o valor lógico associado a cada um dos seguinte valores de tensão:
 - (a) 0 V
 - (b) 0.7 V
 - (c) 1.7 V
 - (d) -0.6 V
 - (e) 1.6 V
 - (f) -2 V
 - (g) 2.5 V
 - (h) 3.3 V
2. Quantos transistores são usados numa porta NAND CMOS? Quantos transistores de cada tipo são usados?
3. Para uma mesma área de silício, qual das portas lógicas CMOS espera-se que seja mais rápida: uma porta NAND ou uma porta NOR?
4. Defina *fan-in* e *fan-out*. Qual desses 2 valores é mais importante calcular? Por que?
5. Quem tem menos transistores: uma porta CMOS inversora ou não inversora?
6. Considere uma porta CMOS de 8 entradas. Qual será mais rápida: uma porta NAND ou AND? Por que?
7. Escreva a Tabela Verdade correspondente ao circuito da Figura 1 e apresente um diagrama lógico usando portas AND, OR e inversora.
8. Escreva a Tabela Verdade correspondente ao circuito da Figura 2 e apresente um diagrama lógico usando portas AND, OR e inversora.
9. Quais são as margens de ruído DC em nível HIGH e LOW do inversor cuja função de transferência é mostrada na Figura 3? Assuma *threshold* de 1.5 e 3.5 V para LOW e HIGH, respectivamente.
10. O que acontece se saídas 3-state saem mais rápido do que entram no estado alta do estado de alta impedância?
11. Projete um circuito CMOS que tenha o comportamento funcional do circuito lógico apresentado na Figura 4. Dica: são necessários apenas 8 transistores.
12. Desenhe um circuito, utilizando transistores CMOS ao invés de portas lógicas, equivalente ao circuito da Figura 5. É possível projetar um circuito usando menos transistores? Se for possível, desenhe o circuito.

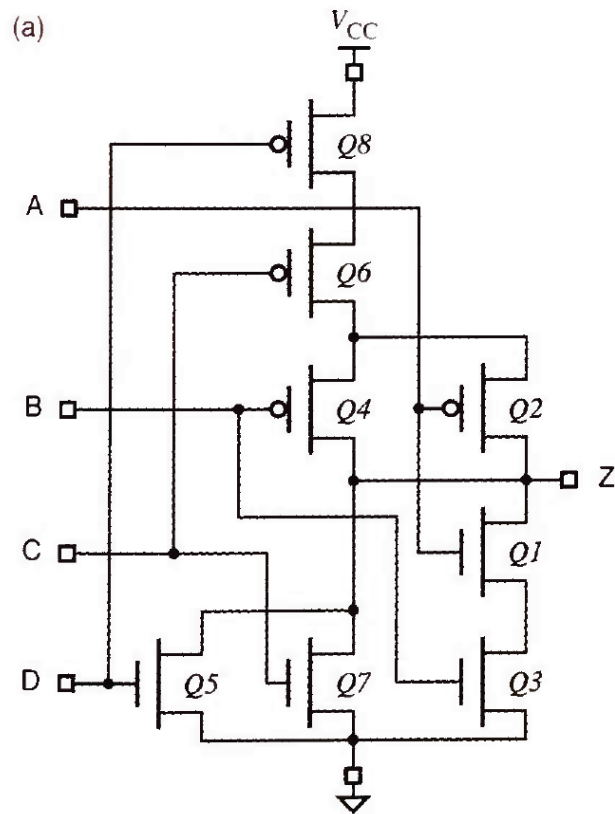


Figura 1: Circuito do tipo AND-OR-INVERT

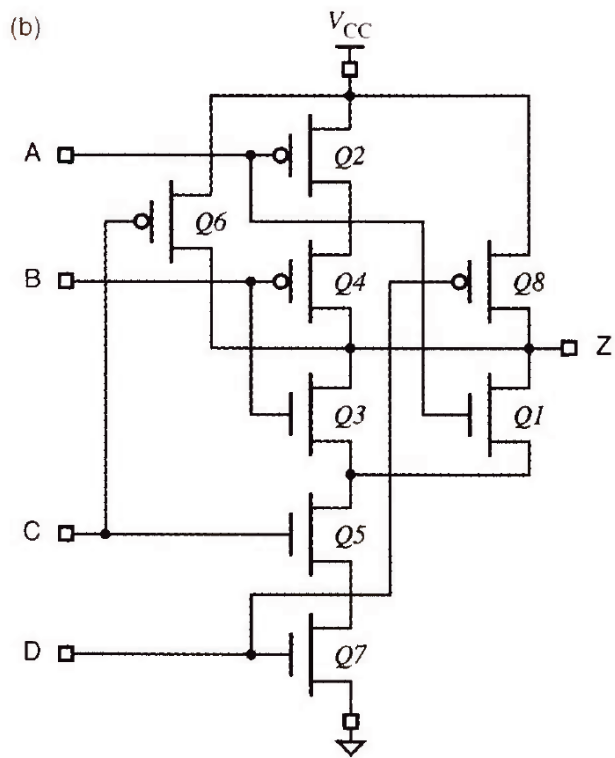


Figura 2: Circuito do tipo OR-AND-INVERT

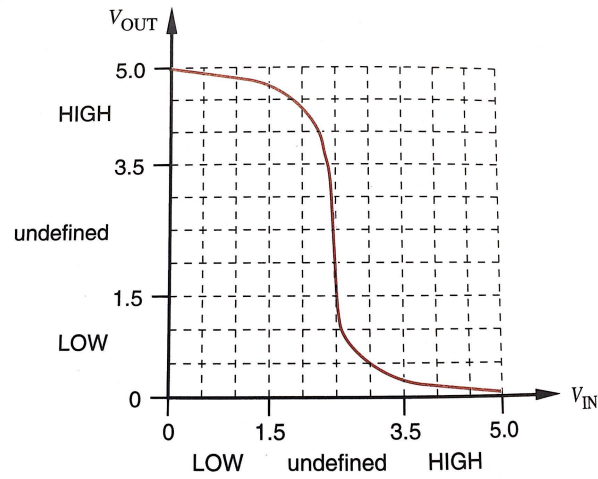


Figura 3: Função de Transferência de um inversor

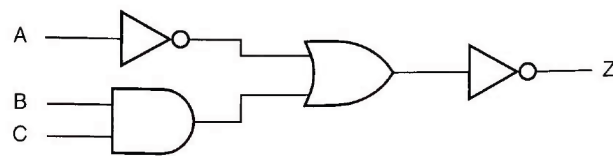


Figura 4: Circuito Lógico

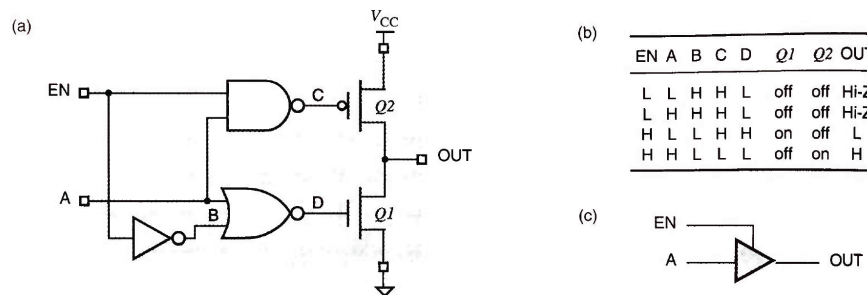


Figura 5: CMOS 3-State Buffer