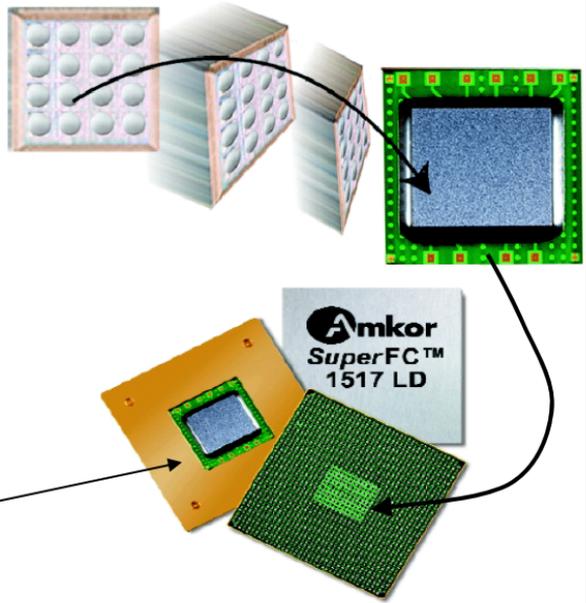


TECNOLOGIA FLIP CHIP

- O comprimento das interconexões entre o Chip e substrato podem ser minimizadas colocando batentes “Bumps” de solda nas ilhas “Pads” do "Die", virando-o, alinhando-o com os “Pads” de contato no substrato e realizando uma refusão de solda para estabelecer a ligação entre "Die" e Substrato.



- Esta técnica hoje permite realizar muitos tipos de encapsulamento como BGA, PGA e CSP

1

TECNOLOGIA FLIP CHIP

• Vantagens

- Tamanho menor, redução de peso e altura,
- Ganha-se área no silício,
- Aumento de desempenho: fornece baixas indutâncias e capacitâncias parasitas,
- Maior funcionalidade: Aumenta o número de terminais I/O,
- Aumento de Confiabilidade: Devido ao uso de “Underfill”,
- Facilidade de remoção de calor na parte superior do arranjo,
- Baixo custo.

• Desvantagens

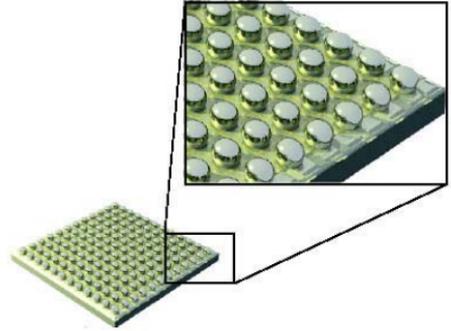
- Disponibilidade no mercado de “Bumped Chips”,
- Inspeção dificultada,
- Compatibilidade fraca com SMT,
- Dificuldade de movimentação de “Dies”
- Necessidade de montagem com alta precisão,
- Tempo de cura longo dos materiais para “Underfilling”,
- Re-trabalho ou reparo difícil ou as vezes impossível.

2

1

MOTIVAÇÕES PARA USAR FLIP CHIP

1. O desempenho mais alto desde o ponto de vista de velocidade, redução de indutâncias, distribuição de energia, propagação de sinais e isolamento de ruídos;
2. A maior integração de silício com o maior número de I/O por "Die", pelo uso otimizado da superfície do "Die";
3. Utilização crescente da lâmina. Circuitos integrados projetados em arranjos de área resultam em "Dies" menores e portanto mais "Dies" por Lâmina;
4. Pode-se manter as geometrias das pegadas dos "Dies" que reduziram sua área, evitando realizar um novo Lay-out do PCB;
5. Maior ergonomia em relação a peso, tamanho e espessura;
6. Melhor gerenciamento térmico para sistemas com IC's de alta velocidade e com alto número de I/O;
7. Utilização otimizada de maquinário.



3

USOS DE FC

Who's Using Flip Chips?

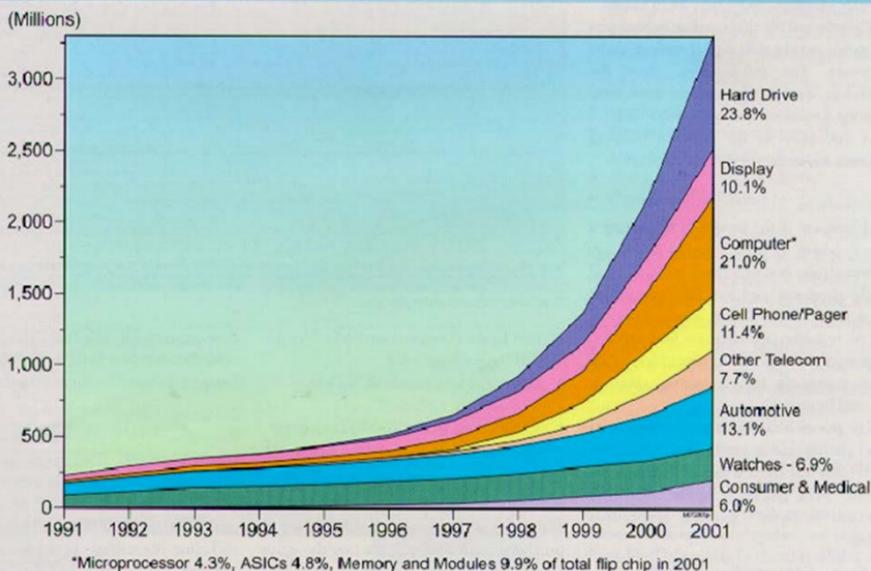
Flip Chip devices and applications include:

- ASICs and microprocessors
- Memory
 - DRAM
 - Flash
 - EEPROM
 - SRAM
- Small form-factor hard disk drives
- Printer heads
- Linear devices
- MPRs
- Analog
- Power
- RFICs
- MCU
- Gate arrays
- PLD
- FPGA
- Cellular phones
- Laser printers
- Palm-tops, PDAs, net appliances
- Workstations
- Sensors
- Drivers
- Transceivers (optical, RF)
- Watches
- GPS receivers
- Airbag controllers

4

SEGMENTAÇÃO DO MERCADO DE FLIP CHIP

GLOBAL CONSUMPTION OF FLIP CHIP DEVICES



5

CRESCIMENTO DO MERCADO NOS PRÓXIMOS ANOS

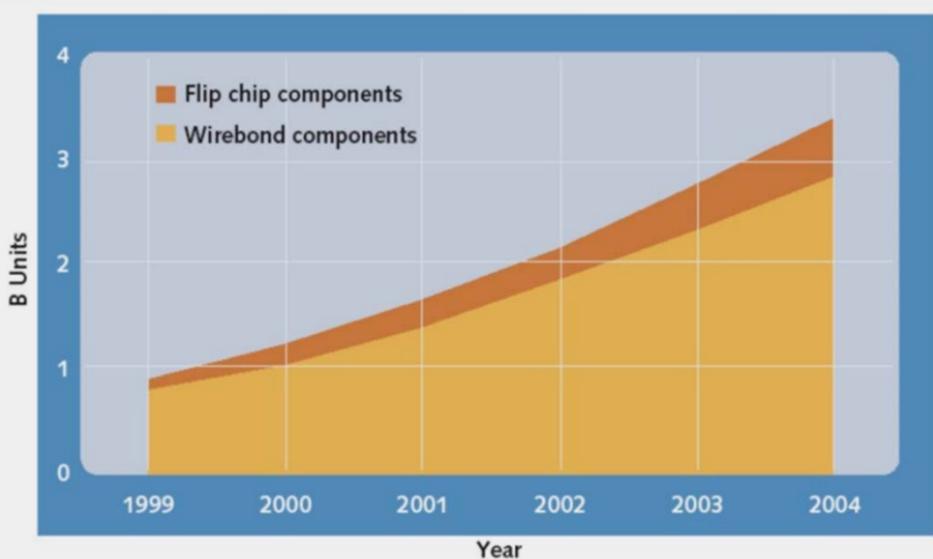
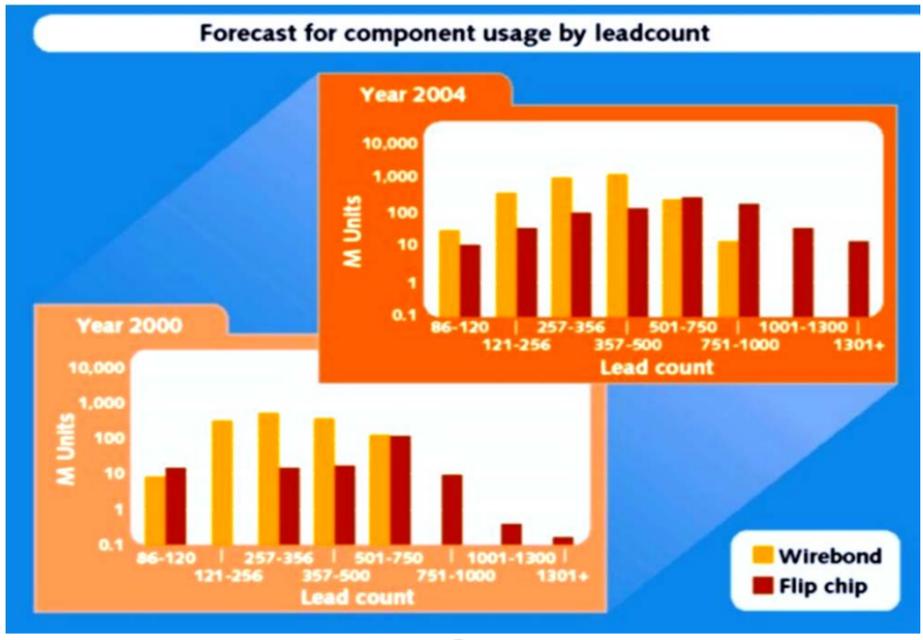


Figure 1. Projected growth of flip-chip and wirebond components

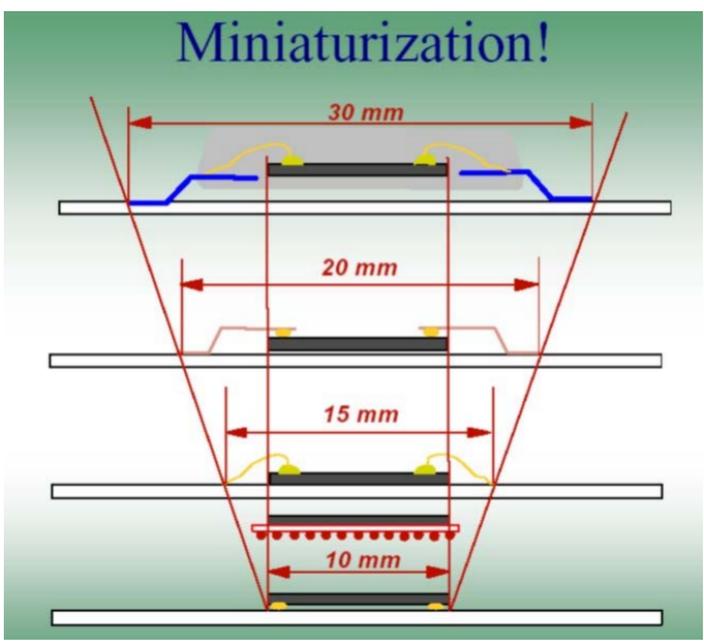
6

PREVISÃO DE UTILIZAÇÃO DE TECNOLOGIAS VS. QUANTIDADE DE TERMINAIS



7

AUMENTO DE MINIATURIZAÇÃO COM FLIP CHIP



8

FLIP CHIP EM ENCAPSULAMENTO AO NÍVEL DE CHIP

- Outra utilização da tecnologia FLIP CHIP é a realização de encapsulamentos a nível de CHIP com características de diminuição de tamanho e melhoria na dissipação térmica dos “Dies”.

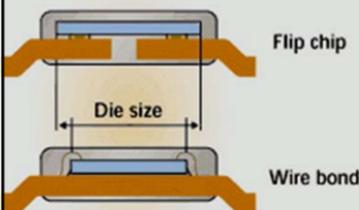


Figure 5. Size comparison of flip chip vs. wirebond.

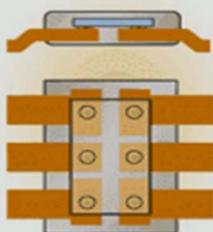


Figure 2. SO-6 package.



Figure 4. Cross-section of SO package with flip chip interconnect.

9

UTILIZAÇÃO DE FLIP CHIP PARA CSP

Bump/Carrier

- Carrier surface finish
- Carrier solder mask
- Carrier material

Die/Bump

- Under bump metallurgy
- Passivation layer



Encapsulant / Die/Bump

- Polymer to metal
- Polymer to polymer

10

UTILIZAÇÃO DE FLIP CHIP PARA PGA

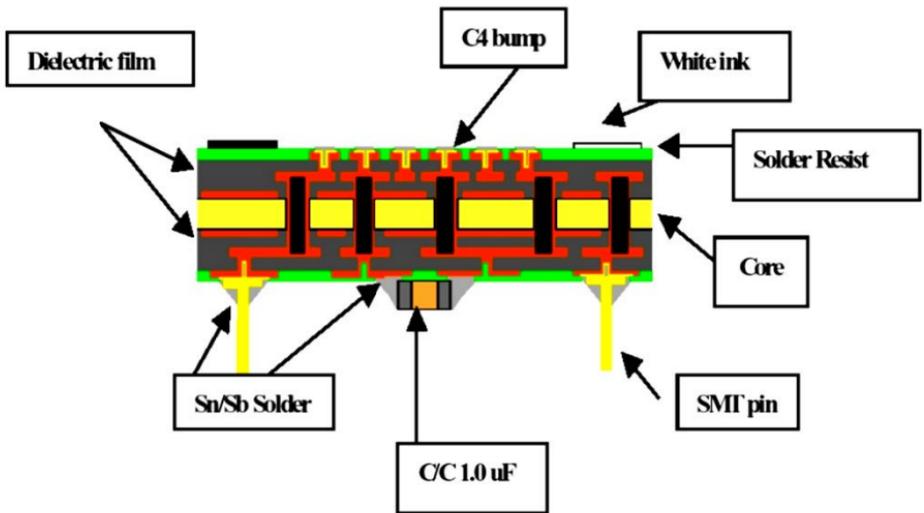


Figure 6: Schematic of FCPGA laminates and materials

11

UTILIZAÇÃO DE FLIP CHIP PARA BGA

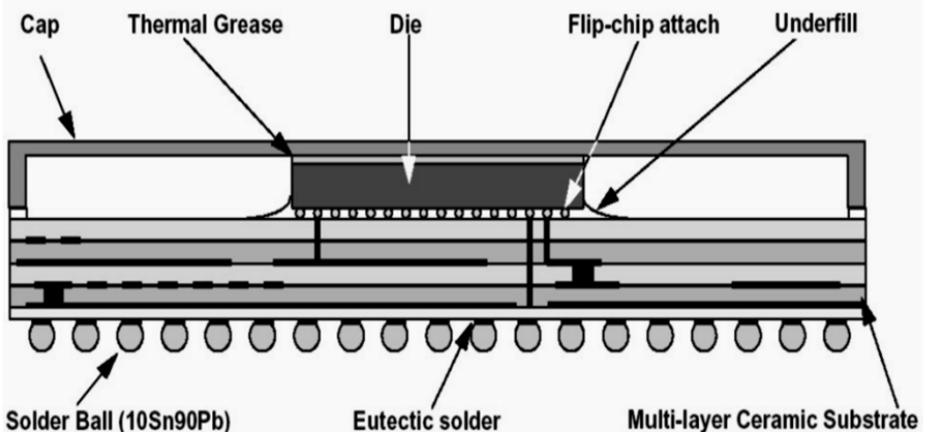


Figure 3. Ceramic Ball Grid Array (CBGA)

12

CARACTERÍSTICAS ELÉTRICAS PARA ENCAPSULAMENTOS PGA E BGA

- Dentre os benefícios da técnica de FLIP CHIP encontramos parâmetros elétricos como Indutância, Resistência, Capacitância e Retardo de Propagação os quais são modificados de forma a melhorar a resposta em frequência do dispositivo, veja exemplo abaixo em relação aos encapsulamentos de tipo BGA e PGA

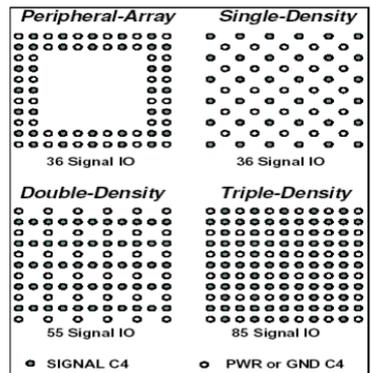
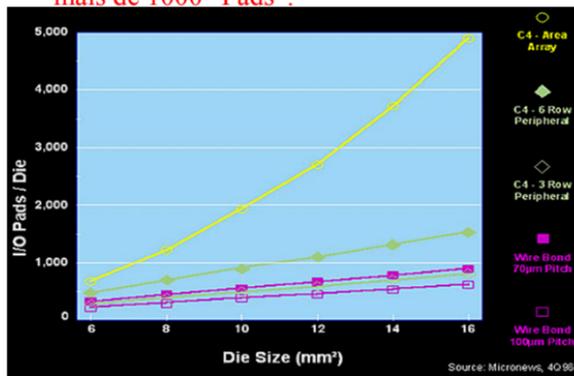
Table B2. Comparison of inductance, capacitance, resistance and propagation delay for PGA packages with wire bonded chip and BGA packages with flip chip bonded chip [B7].

Property	Worst case		Best case	
	PGA with wire bonded chip	BGA with flip chip bonded chip	PGA with wire bonded chip	BGA with flip chip bonded chip
Inductance	19.6 nH	7.9 nH	5.6 nH	0.3 nH
Capacitance	15.9 pF	6.2 pF	9.1 pF	2.5 pF
Resistance	21.0 mΩ	2.1 mΩ	20.2 mΩ	1.7 mΩ
Propagation delay	946 ps	243 ps	508 ps	51 ps

13

NÚMERO DE TERMINAIS DE "I/O" VS. TAMANHO DO "CHIP" PARA DIVERSOS ARRANJOS DE "PADS"

- O uso da tecnologia FLIP CHIP aumenta o número de terminais de E/S, este número não é limitado pelo perímetro do CHIP como em "Wire Bonding".
 - Existem diversos arranjos de terminais "Pads" como "Area Array" e "Perimeter Array" com arranjos de área que permitem conexões de energia e terra em espaços menores, assim um dispositivo usando FLIP CHIP pode trabalhar facilmente com mais de 1000 "Pads".

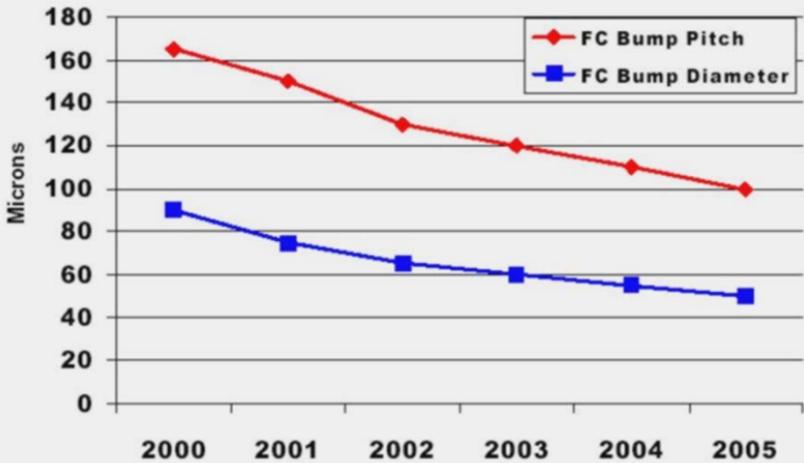


14

Figure 9. C4 Footprint Comparisons

Flip Chip Trends in Density

- From the SIA roadmap



15

DI MI NUI ÇÃO DA ÁREA DO "Di e"

- As tecnologias de "Flip Chip" permitem a diminuição do passo e diâmetro do "Bump". Assim mantendo o número de "Bumps" pode ser diminuída a área do "Die" como mostrado abaixo.

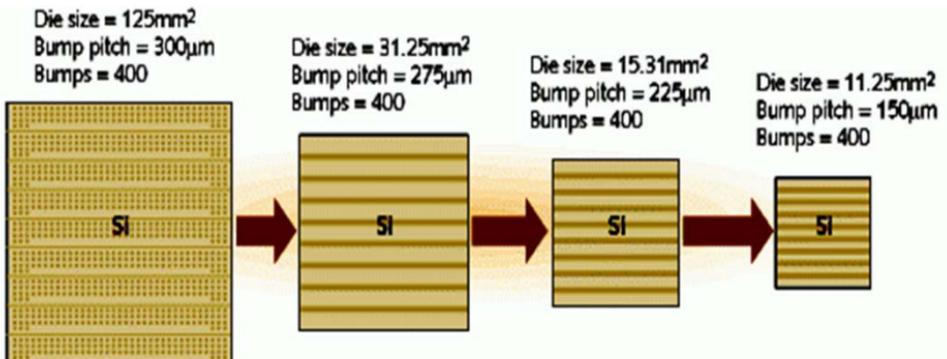


Figure 4. Die size reductions and effect on bump pitch.

16

COMPARAÇÃO ENTRE "WI RE BONDING" E "FLIP CHIP"

Comparison between flip chip and wire bonding technologies

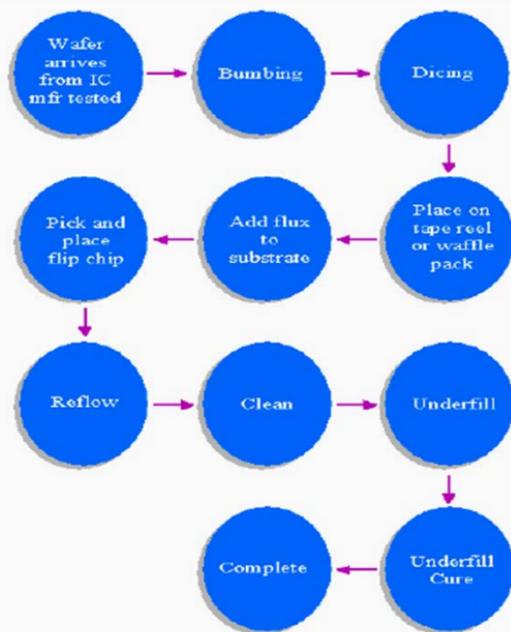
Technology features	Flip chip package	Wire bonded BGA/CSP
I/O density	High	Moderate
Device electrical performance	Excellent	Good
Noise control	Excellent	Moderate
Thin profile of package	Excellent	Good
SMT compatible	Yes	Yes
Area array technology	Yes	Yes (but not on chip level)
Device footprint	Small	Large
Technology maturity	Low	Very high
Infrastructure	Not easily available	Easily available
Flexibility to new devices	Not easy	Easy
Testing and burn in	Not easy	Easy
Underfill encapsulation	Required	Not required
Additional equipment	Required	Not required
Additional processes	Required	Not required
Rework after mounting	Difficult	Easy
Die shrink	Not possible	Possible
KGD availability	Not easy	Easy
Is UBM required	Yes	No
Solder mask for PCB assembly	Required in some cases	Not required
Scaling up to larger wafers	Not easy	No problem
Sensitivity to wafer contamination	For certain bumping processes	No

17

SEQUÊNCIA DE PROCESSO PARA FLIP CHIP

- Um processo de Flip Chip completo segue os seguintes passos:

- Processo de "Bumping" nas lâminas de Silício
- Corte das lâminas e obtenção de "Dies"
- Colocação em fitas ou bandejas
- Deposição de fundente no substrato
- Posicionamento do "Die"
- Formação da Junta. Ex. Refusão de solda
- Limpeza
- Deposição do "UnderFill"
- Cura do "Underfill"



18

INTERCONEXÕES ELÉTRICAS EM FLIP CHIP

- Uma interconexão de alta confiabilidade com batentes de solda apresenta duas partes fundamentais:

- A metalurgia sob o batente ou “under bump-metallurgy” (UBM)
- O batente de solda propriamente dita.

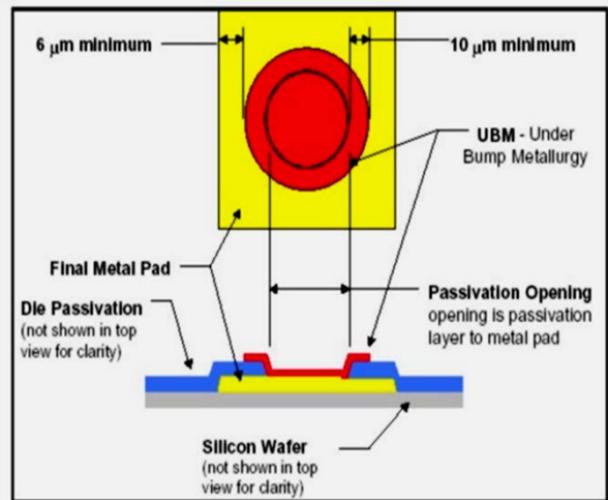


Figure 1. Dimensional requirements for solder bump UBM.

19

METALURGIA PARA BATENTES (UNDER BUMP METALLURGY)

- A UBM serve como plataforma para o batente de solda e também como uma interface entre dois sistemas metalúrgicos (Lâmina e batente).
 - O objetivo da UBM é produzir uma estrutura confiável e estável mecanicamente.
 - A UBM se sobrepõe a passivação da lâmina para proteger os circuitos de corrosão.
- Uma UBM deve ter as seguintes características:
 - Boa adesão à camada passivação da lâmina;
 - Boa adesão à ilha do último metal do C.I.;
 - Proteção deste terminal do meio ambiente;
 - Baixa resistência entre o último metal e o batente de solda. Um dos primeiros passos do processo de “Bumping” é o de remover óxido de alumínio do último metal com plasma ou corrosão química;
 - Uma barreira de difusão efetiva entre o metal do terminal e do batente para que estes não reajam e degradem a confiabilidade do sistema;
 - Fornecer molhabilidade e espessura adequadas para a realização da solda
 - Minimizar o Stress da lâmina durante o processo, para evitar fraturas ou delaminação da UBM;

20

10

MATERIAIS PARA UBM (UNDER BUMP METALLURGY)

Table B1. Under bump metallurgies used for different bumping processes [B3].

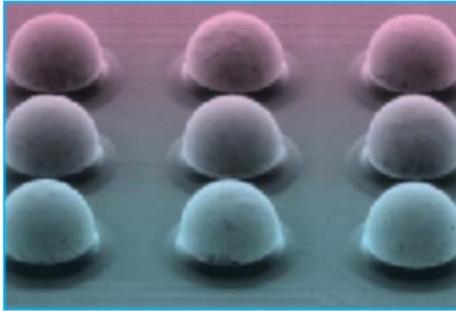
UBM	Evaporated (typical of C4)	Plating I	Plating II	Solder paste printing (typ FCT)	Electroless nickel
Adhesion layer	Cr	TiW	CrCu	Al	Ni
Solder diffusion layer	Phased Cr-Cu	Cu stud/mini bump	CrCu	Ni	Ni
Solder wettable layer	Cu	Cu	Cu	Cu	Au
Oxide prevention	Au	Au	Au	Cu	Au
Suitability for 63SnPb	No	Poor	No	Yes	Yes
Use with probed wafers	No	No	No	Yes	Mixed

BATENTE DE SOLDA "SOLDER BUMP/BALL"

- O batente de solda serve com o ponto de interconexão entre o dispositivo e o substrato. Se o sistema é projetado de forma adequada falhas ocorreram de acordo com modelos de confiabilidade conhecidos.
- A junta de solda deverá ter características como:
 - Batentes ou bolas de solda que possam ser refundidas, auto-centradas e colapsadas fazendo que o processo de montagem seja menos difícil e melhorando sua confiabilidade;
 - Ter uma composição da liga controlada. Uma composição com variações de 10-15 % do 63Sn/Pb nominal aumentam a temperatura eutética de 200 a 210°C. Com um ciclo de refusão de Sn/Pb eutético, estes batentes terão molhabilidade diminuída;
 - Deve aceitar diversas ligas de acordo com a aplicação como: Sn/Pb Eutético, alto conteúdo de Pb ou livre de Pb;
 - Possibilidade de controlar a altura do batente para garantir alto "Yield"

PROCESSOS DE DEPOSIÇÃO DOS BATENTES EM FLIP CHIP

- São cinco os processos mais usados para fabricar o batente de solda.
- As técnicas de deposição são as seguintes:
 1. Formação do batente usando Evaporação;
 2. Formação do batente usando Eletrodeposição;
 3. Formação do batente usando Serigrafia;
 4. UBM de Niquel Electroless seguido de batentes serigrafados ou com adesivos condutivos.
 5. Formação do batente usando Bolas de “Wire Bonding” ou “Stud Bump Bonding”;



23

TIPOS DE BATENTES OU “BUMPS”

Device Side - Types of Bumps

Material	Die Attachment	Deposition	Carrier Attachment
Solder Alloys 95% Pb / 5% Sn Eutectic	UBM Required	Evaporation Electroplating Screening Molten Solder	Solder Reflow
Gold Bump	UBM Required	Electroplating	Gold to gold thermocompression
Gold Stud Bump	Wirebond No UBM needed	Wirebond and Cut	Conductive Adhesives Cure
Conductive Adhesives	UBM Required	Screened Dispensed	Cure

UBM= Under Bump Metallurgy

24

FORMAÇÃO DO BATENTE COM EVAPORAÇÃO

- No Processo C4 da IBM utiliza-se UBM de Cr/Cr-Cu/Cu/Au ou TiW/Cu/Au e uma liga de 97/5 Pb/Sn para o Batente depositados usando o processo de evaporação, o batente é obtido após a refusão

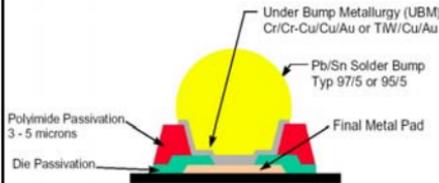


Figure 2. Cross-section of an evaporated UBM and solder bump.

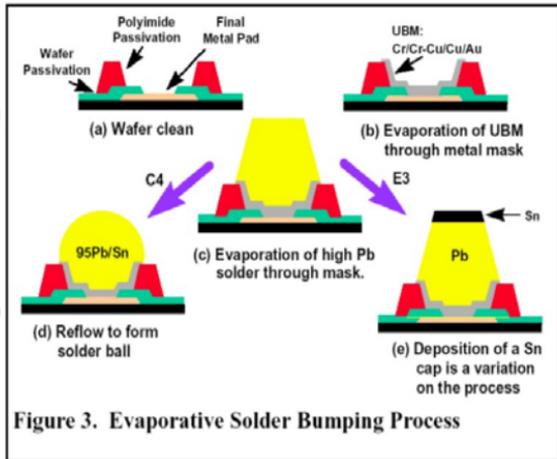


Figure 3. Evaporative Solder Bumping Process

25

FORMAÇÃO DO BATENTE COM ELETRODEPOSIÇÃO

- Neste esquema eletro deposita-se uma camada de Cu sobre um UBM de TiW/Cu ou Cr/Cu obtido por "Sputtering" para depois eletro depositar uma liga de 95/5 de Pb/Sn e obter o batente após refusão.

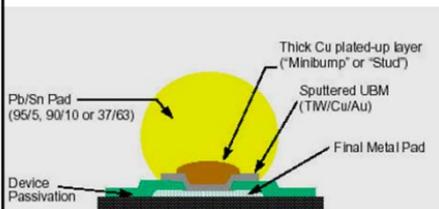


Figure 4. Cross section of the UBM, plated copper "minibump" and plated solder bump.

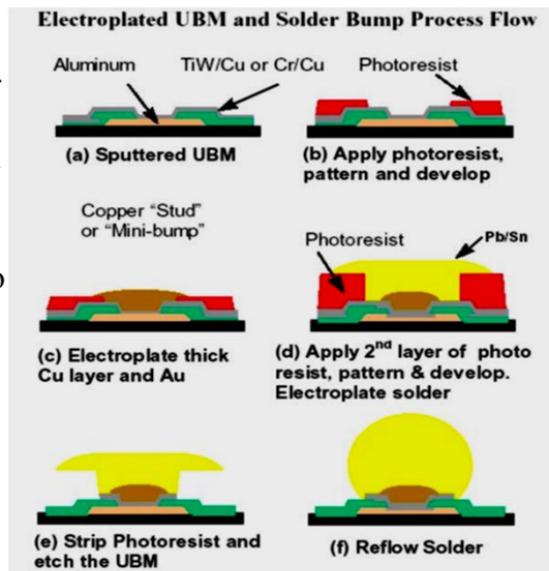


Figure 5. Electroplated UBM w/Mini Bump and Solder

26

FORMAÇÃO DO BATENTE POR SERIGRAFIA

- Neste esquema utiliza-se “Sputtering” para depositar uma UBM de Al/Ni/Cu (Au) e definir a área da UBN por foto-litografia para depois serigrafar uma pasta de solda com uma liga de 63Sn/Pb e obter o batente após refusão.

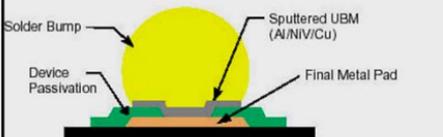


Figure 7. Cross-section of a sputtered UBM and solder paste bump.

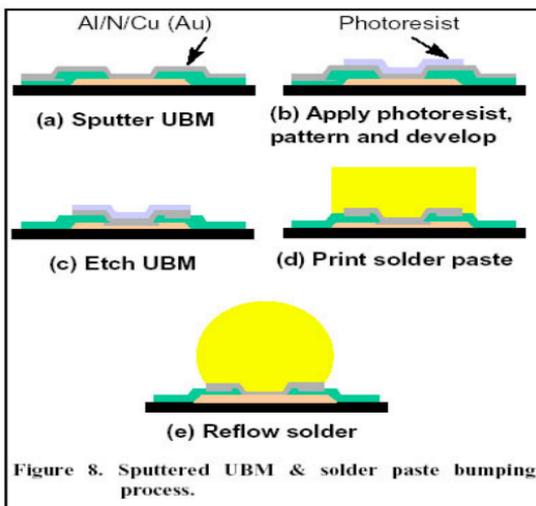
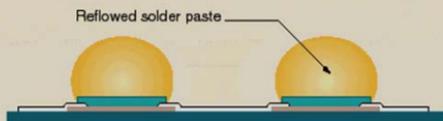
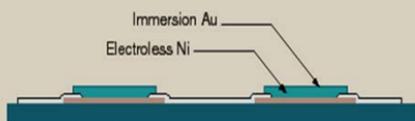
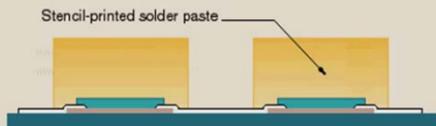
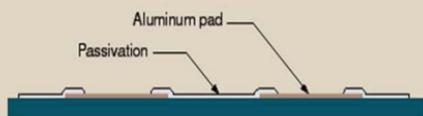


Figure 8. Sputtered UBM & solder paste bumping process.

27

FORMAÇÃO DE BATENTE COM UBM DE NÍQUEL ELECTROLESS E BATENTES SERIGRAFADOS

- Neste esquema utiliza-se de deposição “ElectroLess” para obter uma UBM de Ni/Au e serigrafia de pasta de solda com uma liga de 63Sn/Pb, obtendo-se o batente após refusão.

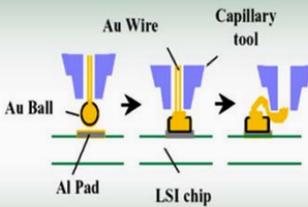


28

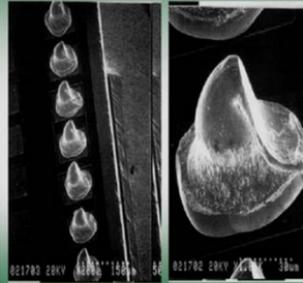
FORMAÇÃO DO BATENTE "STUD" COM "BALL BONDING"

- Neste caso utiliza-se o processo de "Ball Wire Bonding" para soldar uma bola de Au no metal do C.I. criando assim o batente, que deve ser trabalhado para manter o seu comprimento dentro de valores pré-estabelecidos

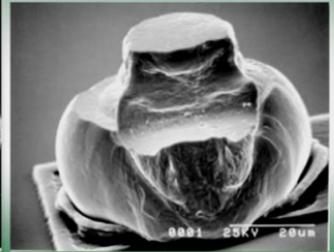
Bump Formation



As Formed Bumps



Shape of Stud Bump After Leveling



29

DIVERSOS TIPOS DE JUNTAS EM FLIP CHIP

- Juntas usando forno de refusão de solda compatível com SMT
Reflow Soldering



- Dip flux DCA component
- Place component on board
- Reflow in full convection SMT reflow oven

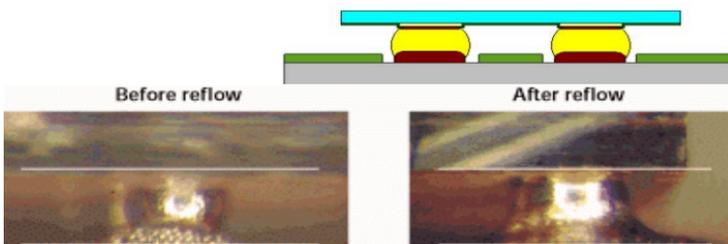
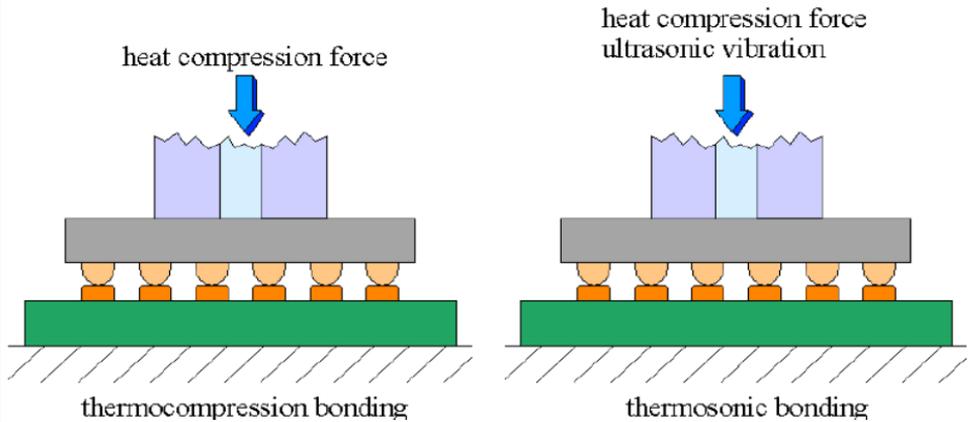


Figure 10. Cross-section of bump to leadframe connection inside an SO package.

30

JUNTAS POR TERMO-COMPRESSÃO OU TERMO-SÔNICA

- Usando-se as técnicas de “Wire Bonding” é possível realizar juntas para Flip Chip, de forma que podem ser usados os processos de termo-compressão e termo-sônico para completar a interconexão do dispositivo

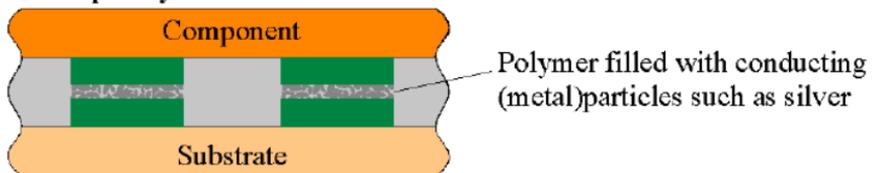


31

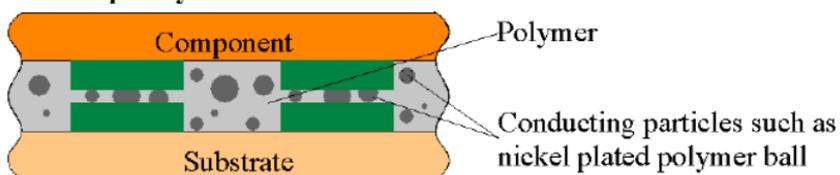
JUNTAS USANDO POLÍMEROS ADESIVOS

- Podem ser usados polímeros isotrópicos carregados com partículas metálicas, polímeros anisotrópicos com partículas condutoras ou polímeros não condutivos.

Isotropically conductive adhesive



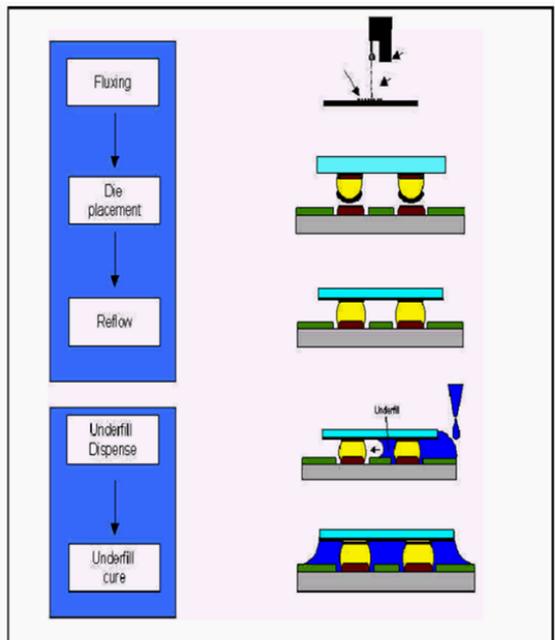
Anisotropically conductive adhesive



32

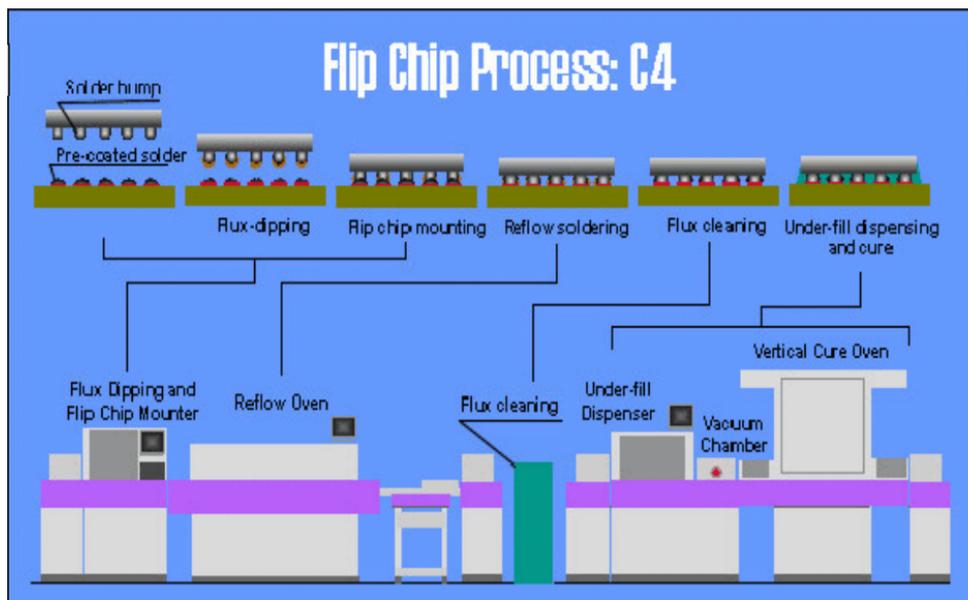
PROCESSO FINAL TÍPICO PARA FLIP CHIP

- Deposição de fundente no substrato
- Posicionamento do “Die”
- Formação da Junta. Ex. Refusão de solda
- Limpeza
- Deposição do “UnderFill”
- Cura do “Underfill”



33

PROCESSO C4 (Controlled Collapse Chip Connection)

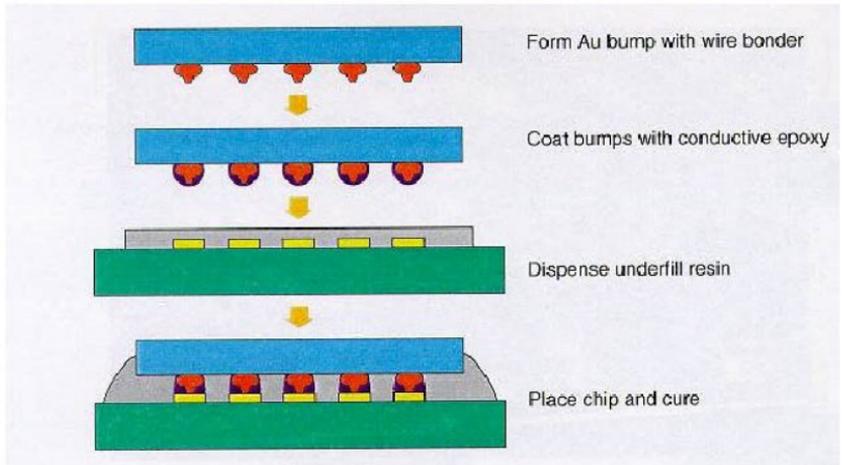


34

PROCESSO SBB (STUD BUMP BONDING)

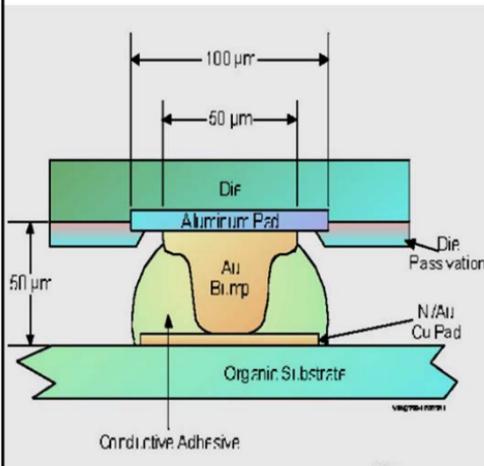
Stud Bump Bonding

BIT Process

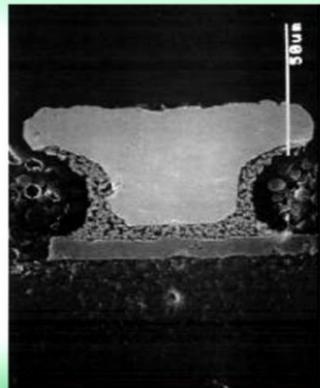


35

CONFIGURAÇÃO DE INTERCONEXÃO COM SBB

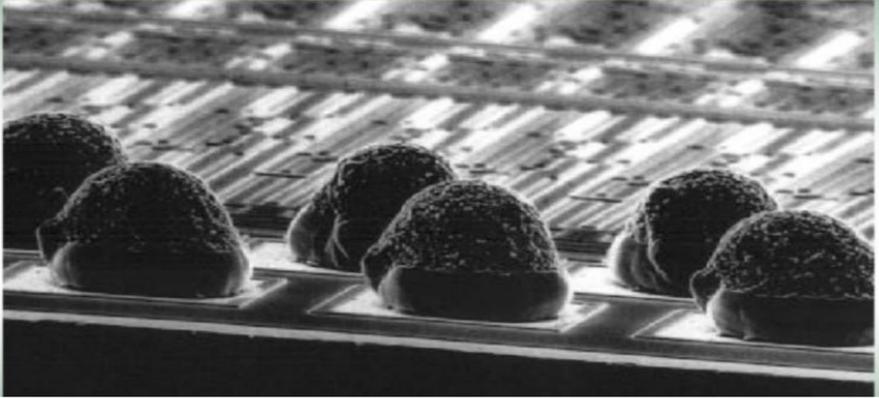


SBB Joint Cross Section



36

Conductive Adhesive Application



37

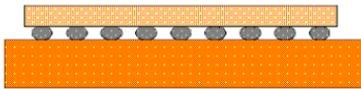
SUBSTRATOS ADEQUADOS PARA FLIP CHIP

Carrier Side - Many Options

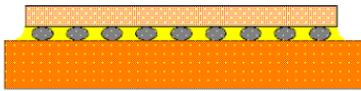
Material	Properties		
	CTE (ppm/C)	TC (w/M-K)	DK
<u>Ceramic</u>			
* Alumina	6.6	20	9.4
* Borosilicate	4.0	5.0	4-8
<u>Organic</u>			
* FR-4	15.8	0.2	4.7
* PTFE	16	0.1	2.9
* BT	15	0.2	4.0
* Polyimide	13	0.2	4.3
* Cyanate Esters	13	0.2	3.9

38

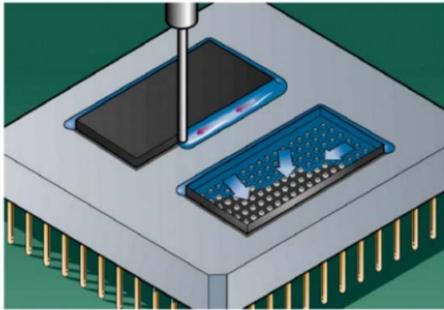
PROCESSO DE "UNDERFILLING"



flip-chip
without underfill-material



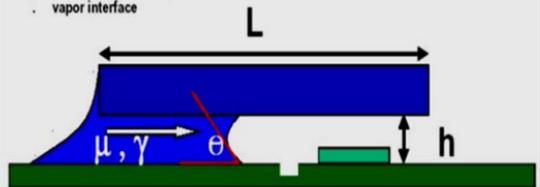
flip-chip
with underfill



T = Time in seconds
 μ = Fluid viscosity
 L = Flow distance
 h = Gap or bump height
 θ = Contact or wetting angle
 γ = Surface tension of liquid
 \cdot vapor interface

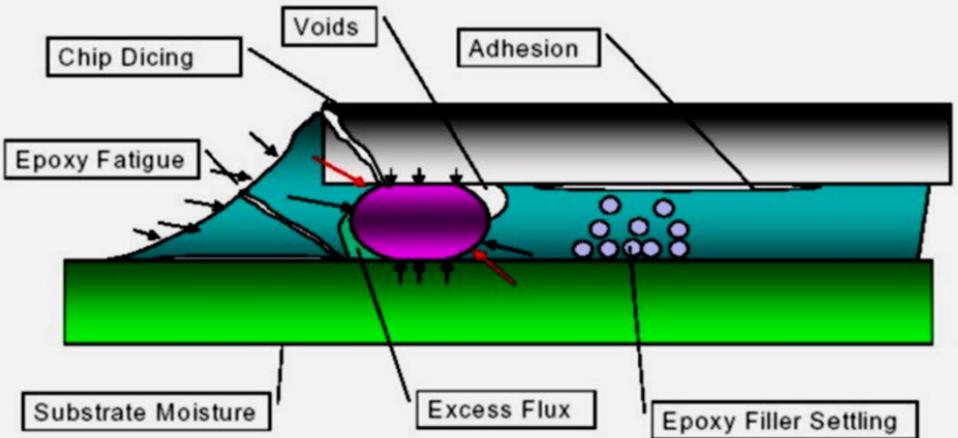
$$T = (3\mu L^2) / (h\gamma \cos\theta)$$

Capillary Flow out time



39

PROBLEMAS DURANTE O "UNDERFILLING"



40

TECNOLOGIAS HÍBRIDAS

- Estas tecnologias permitem a implementação de módulos funcionais, combinando e integrando técnicas diversas, para exercer funções sistêmicas como recepção, aquisição, processamento e/ou saída de informação.
- **NECESSIDADE DAS TÉCNICAS HÍBRIDAS**
 - Existem nichos onde os circuitos integrados monolíticos, sozinhos não podem as especificações necessárias, estas áreas são:
 - Circuitos de Alta Frequência
 - Circuitos de Potência
 - Conversores A/D, D/A
 - Circuitos para Eletrônica Embarcada
 - Circuitos para Bioengenharia
 - Circuitos Eletrônicos Militares e Aeroespaciais
- **VANTAGENS DAS TÉCNICAS HÍBRIDAS**
 - Funciona como Tecnologia Complementar
 - Aumenta a densidade de Empacotamento dos circuitos
 - Aumenta a densidade de Interconexão dos circuitos
 - Diminui retardos de propagação de I/O
 - Aumenta a capacidade de Potência
 - Possibilita Manufatura automatizada
 - Aumenta Confiabilidade e diminui Custos

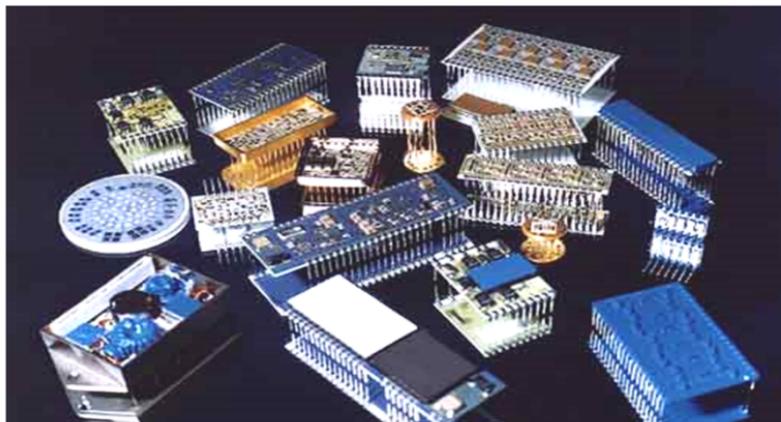
SEQUÊNCIA DE PROJETO DE CIRCUITOS HÍBRIDOS

TABLE 11.2 Hybrid Circuit Design Sequence

Operation	Output
Partitioning	Division of system into individual circuits
Initial concept review	Preliminary packaging concepts Circuit schematics Risk analysis
Circuit analysis	Verification of electrical design Design parameters centered Sensitivity analysis Voltage, current, and power levels in each component
Breadboard tests	Verification of circuit analysis
Component selection	Preliminary parts list
Preliminary thermal analysis	Indication of potential thermal problems
Sizing analysis	Approximate size of circuit
Technology selection	Determination of substrate technology
Process sequence	Selection of manufacturing process
Material selection	Selection of attachment materials
Circuit layout	Location of components and interconnection traces Layer drawings Assembly drawings
Detailed thermal analysis	Temperature profile of circuit
Preliminary design review	Review prior to prototype build Exceptions to design guidelines Risk analysis
Prototype build	Verification of performance Electrical performance Conformance to quality standards
Documentation release	Assembly drawings Process instructions Travelers
Detailed design review	Review of prototype build and documentation
Preproduction build	Verification of design and documentation
Production release review	Review of preproduction build prior to production
Production	Manufacturing of hybrid circuit

PRI NCIPAI S TECNOLOGI AS HÍBRI DAS

- TECNOLOGIA DE FILMES FINOS
 - Filmes de espessura máxima de 1 μm
- TECNOLOGIA DE FILMES ESPESSOS
 - Filmes entre 5 e 30 μm



43

MATERIAIS E APLICAÇÕES DAS TECNOLOGIAS HÍBRIDAS

Table 1 Thin- and thick-film materials

Component	Thin-film material	Thick-film material
Substrates	99+ % alumina, beryllia	96 % alumina, beryllia, titanates, aluminum nitride
Conductors	Gold, silver, aluminum, tantalum	Gold, platinum-gold, silver, silver-palladium, platinum-silver, copper
Resistors	Nickel-chromium (nichrome), tantalum nitride, tin oxide	Ruthenium dioxide, ruthenates, silicides, lanthanum boride, tin oxide
Dielectrics	Silicon monoxide, silicon dioxide, tantalum pentoxide	Glass, devitrifying glass, ceramic-filled glass, barium titanate/glass

Table 2 Thin and thick film applications

Thin film	Application	Thick film
>100 MHz	High frequency	<50 MHz
	High density	
	High tolerance	
	Low noise	
	Power dissipation	
	Unencapsulated	
	Resistivity range	
	Capacitor range	
	Development and turnaround time	
	Reliability	
	Producibility	
	Design flexibility	
	Part cost	
	Low quantity	
	High quantity	
	Capital outlay	

44

MI CRO CIRCUITOS USANDO FILME FINO

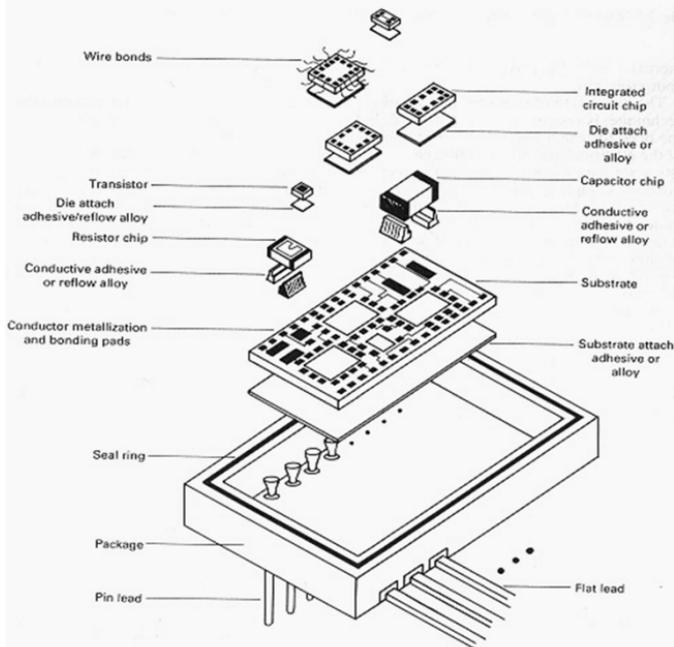


Fig. 1 Generic thin-film hybrid microcircuit

45

CONDUTORES DE FILME FINO

- São em geral compósitos multicamadas de vários metais, dado que não existe um filme simples que possua todas as propriedades de um bom condutor.

– Estas propriedades são :

- Baixa resistividade
- Boa adesão ao substrato
- Boa adesão às outras camadas
- Superfície superior que protege contra corrosão , permitindo “Wire Bonding”, “TAB” ou refusão de solda
- Ter compatibilidade com métodos de posicionamento de e “Dies”
- Ser corroído seletivamente
- Ter compatibilidade com químicas e processos híbridos

46

SI TEMAS DE CONDUTORES/RESISTORES EM FILME FINO

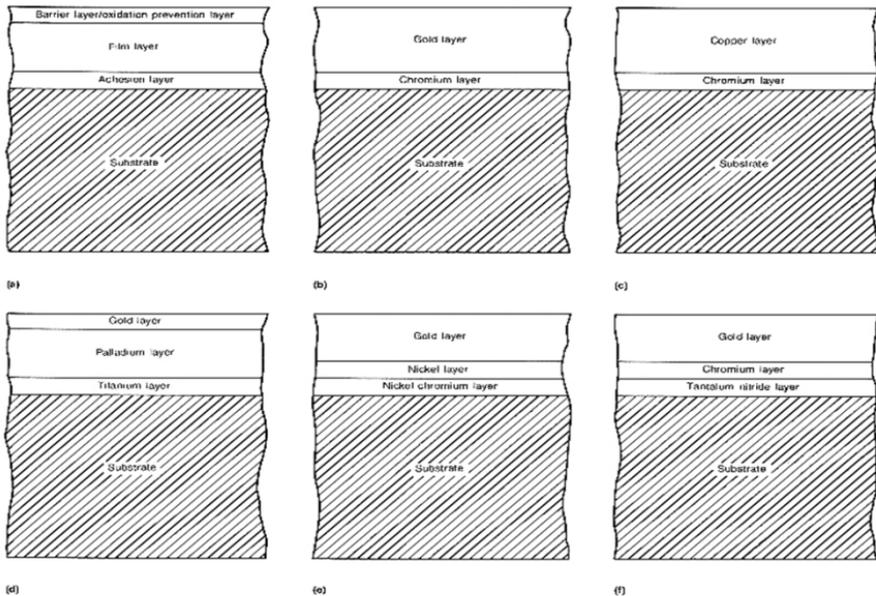


Fig. 3 Thin-film hybrid substrate-conductor/resistor system. (a) Generic. (b) Chromium/gold. (c) Chromium/copper. (d) Titanium-palladium/titanium. (e) Nickel-chromium/nickel/gold. (f) Tantalum-nitride-chromium/gold

47

MÉTODOS DE DEPOSIÇÃO DE FILMES FINOS

DEPOSIÇÃO POR VAPOR

<i>PVD</i> Deposição por Vapor Físico		<i>CVD</i> Deposição por Vapor Químico		
Sputtering	Deposição por Ion Beam	Deposição em Vácuo	Reação Química	CVD por Plasma
<i>Ordinário</i>	<i>Ion Plating</i>	<i>Ordinária</i>	<i>Redução de Hidrogênio</i>	<i>Glow Discharge</i>
<i>Reativo</i>	<i>IVD</i>	<i>MBE</i>	<i>Mo-CVD</i>	
<i>RF</i>		<i>Deposição assistida a Laser</i>		

48

SEQÜÊNCIA DE PROCESSAMENTO DO SISTEMA (OURO-NÍQUEL-CROMO)

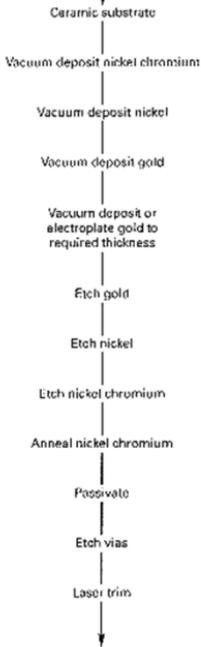


Fig. 4 Process flow diagram for producing a gold-nickel-chromium system

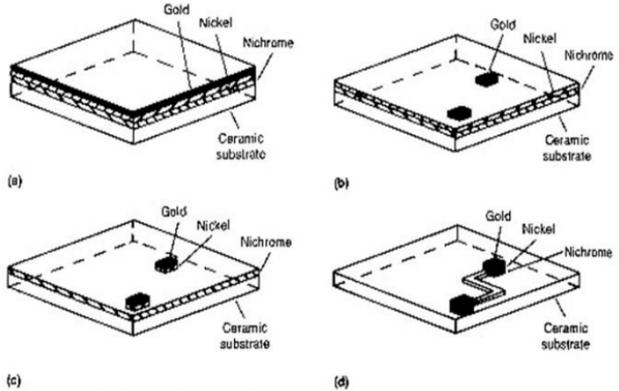


Fig. 5 Schematic of the nickel chromium resistor selective thin-film etching process. (a) Starting substrate with three-layer deposit. (b) After gold etch. (c) After nickel barrier layer etch. (d) After nickel chromium resistor etch

49

RESISTORES DE FILME FINO

$$R = \rho L/A \quad A = w h$$

- com: ρ = Resistividade do Material

- A = Área da Seção

- L = Comprimento do caminho de Corrente

- Se $w = L$ a resistência de folha é dada por:

$$R = \rho / h \quad \text{em } (\square\Omega)$$

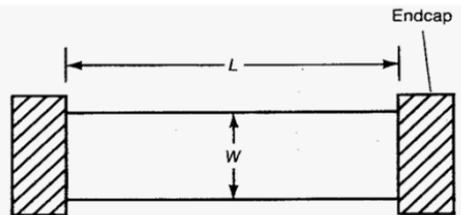
- Uma dada resistência pode ser expressa em termos de R assim:

$$R = R L/w$$

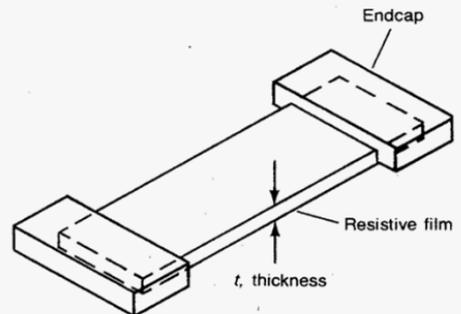
- sendo L/w a razão de aspecto do resistor

$$\text{se } L/w = N \text{ então } R = N R$$

Com N : Número de quadrados



(a)



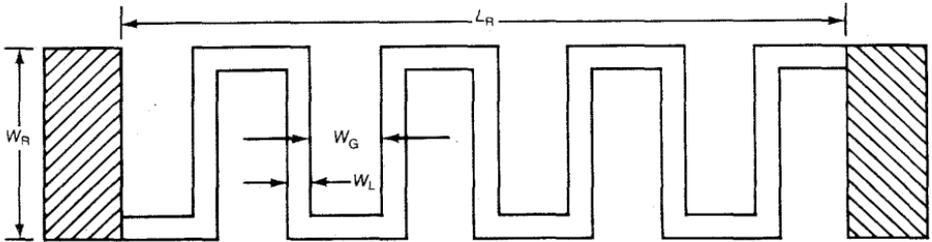
50

RESISTORES PARA VALORES OHMICOS ELEVADOS

- Para obter resistores de valor ohmico elevado sem gastar muita área, normalmente utiliza-se a geometria sanfonada
- O numero de quadrados N está dado pela seguinte expressão

$$N = \left(\frac{w_r - 2w_l}{w_l} + \frac{w_g}{w_l} + 2C_1 \right) \left[\frac{L_r - w_g}{w_g + w_l} \right] + \frac{w_g}{w_l} + 2C_2$$

- sendo $C_1 =$ correção para as curvas
- $C_2 =$ correção para os contatos



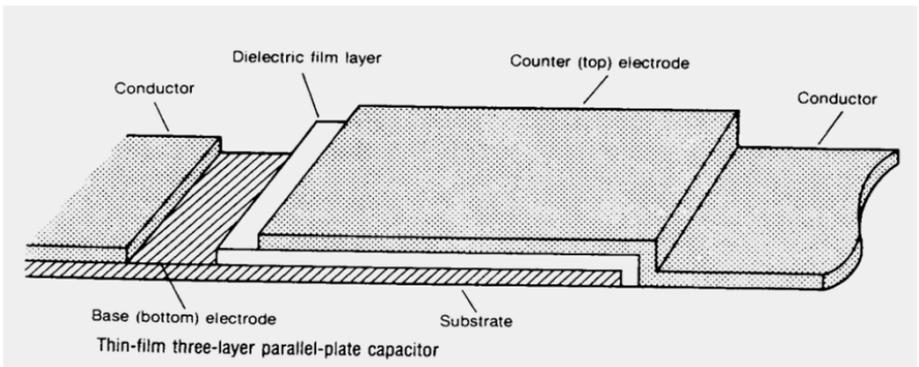
Meander thin-film resistor having a pattern designed to produce a large number of squares in a minimum

51

CAPACITORES DE FILME FINO

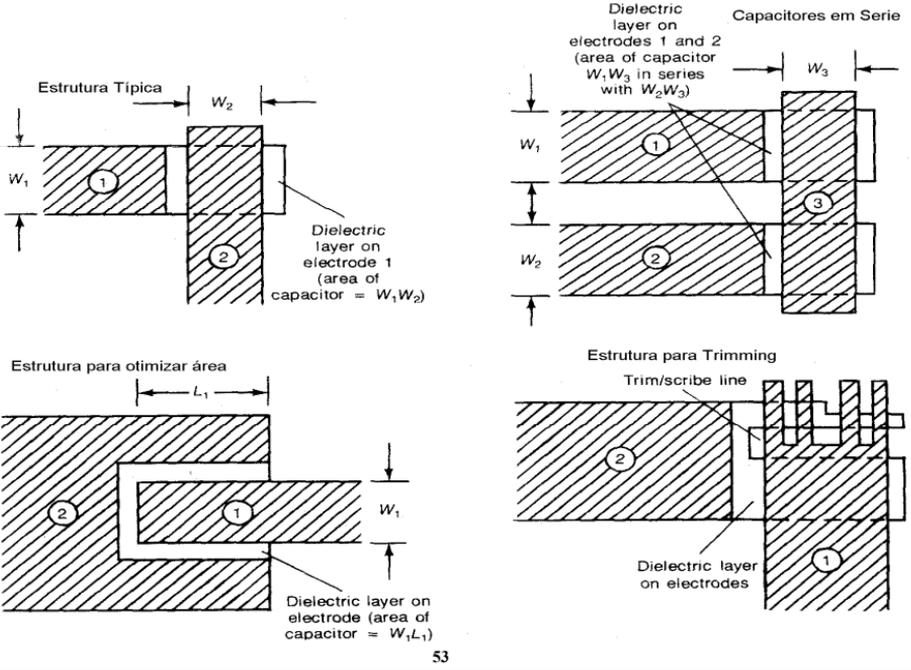
$$C = \epsilon_r \epsilon_0 (A/d)$$

- $\epsilon_0 =$ Permittividade do Vácuo ($8,86 \cdot 10^{-10}$ F/m)
- $\epsilon_r =$ Permittividade do Filme Dielétrico
- $d =$ Espessura do Filme Dielétrico
- $A =$ Área do Capacitor



52

ESTRUTURAS TÍPICAS DE CAPACITORES DE FILME FINO



53

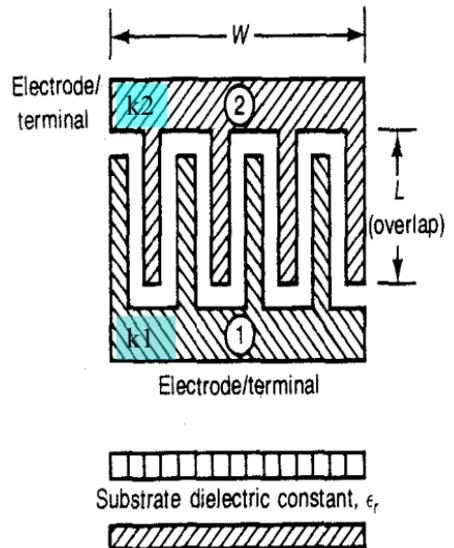
CAPACITOR INTERDIGITAL

• Apresenta uma capacitância dada por:

$$C_i = (\epsilon_r + 1) \epsilon_o \left(\frac{L}{w} \right) [(n-3)k_1 + k_2]$$

em (Farad / unidade de comprimento)

- com: $n = N_o$ de dedos de comprimento L
- w = largura do padrão
- k_1 = Contribuição dos dedos interiores
- k_2 = Contribuição dos dedos exteriores



54

Metalização de Vias

- O processo de metalização de vias segue os seguintes passos:
 - Formação das Vias
 - Deposição de Níquel “Electroless”
 - Deposição de camada de adesão por “Sputtering”
 - Aplicação de “Foto-Resist” e definição de padrões
 - Eletro deposição de cobre
 - Remoção de “Foto-Resist” e corrosão de camada
 - Acabamento “Flash” de níquel “Electroless”

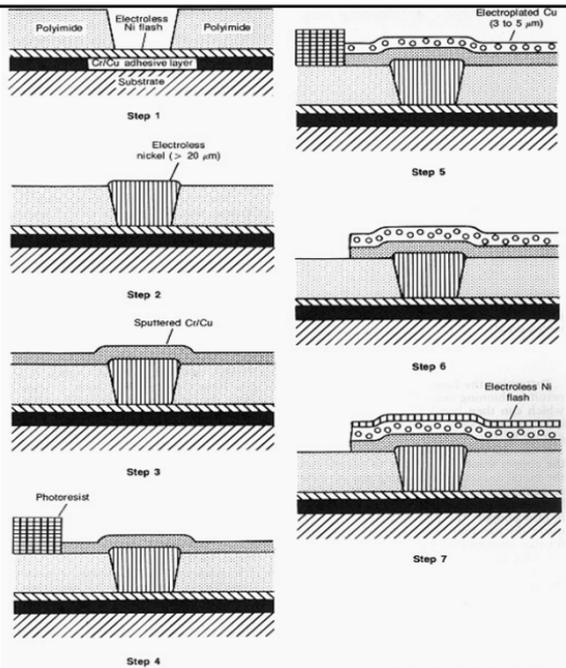


Fig. 30 Sequence of operations required for metalization and transfer scheme with plated up via holes. 1, form via holes in polyimide film; 2, plate up via hole with electroless nickel; 3, sputter chromium/copper adhesion layer; 4, apply photoresist and pattern; 5, selectively electroplate copper; 6, remove photoresist and etch thin plating layer; 7, flash plate the exposed conductors with electroless nickel.

55

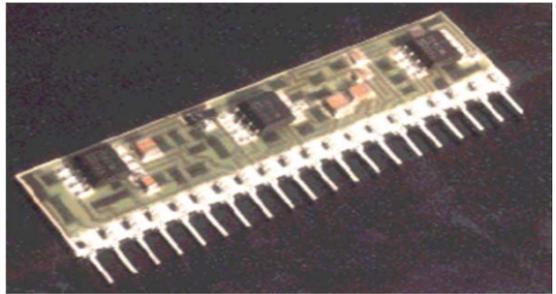
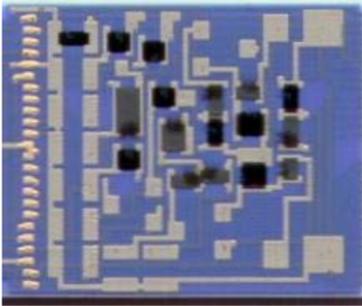
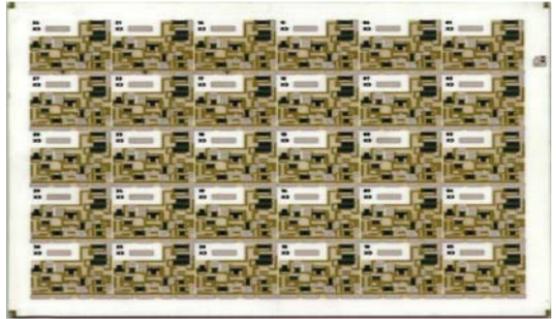
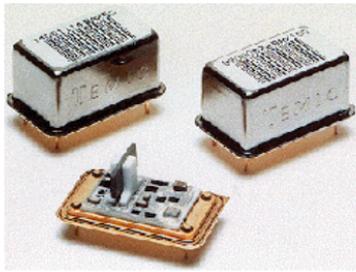
PRI NCIPAI S TECNOLOGI AS HÍBRI DAS

- TECNOLOGIA DE FILMES FINOS
 - Filmes de espessura máxima de 1 μm
- TECNOLOGIA DE FILMES ESPessos
 - Filmes entre 5 e 30 μm



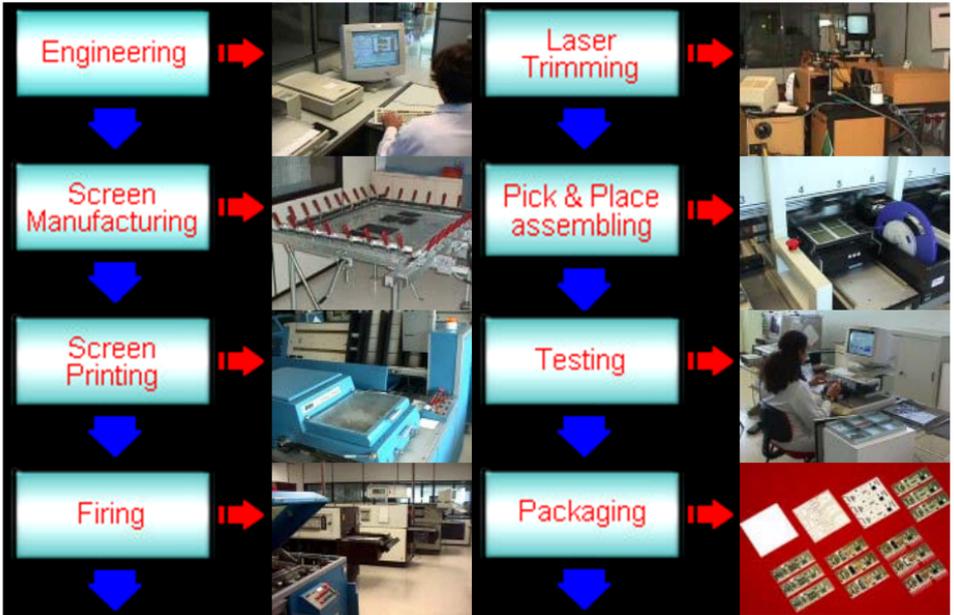
56

CIRCUITOS HÍBRIDOS DE FILME ESPESSO



57

TECNOLOGIA DE FILME ESPESSO



58

CIRCUITO HÍBRIDO DE FILME ESPESSE TÍPICO

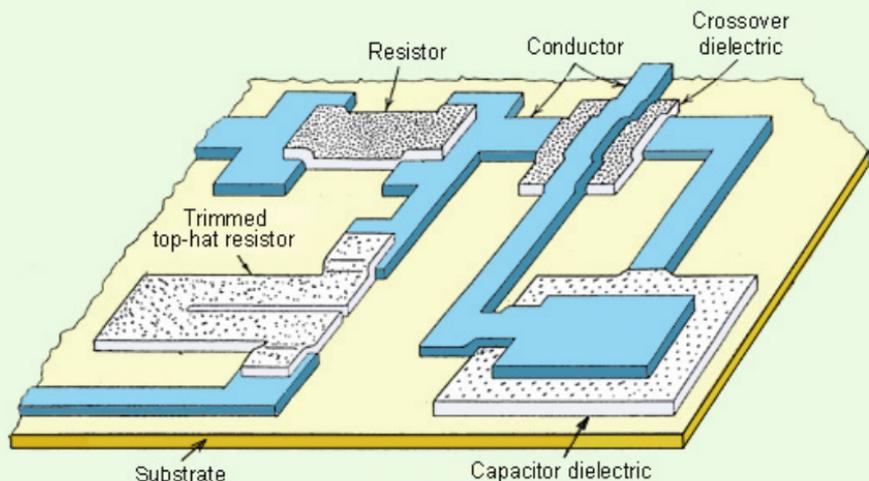
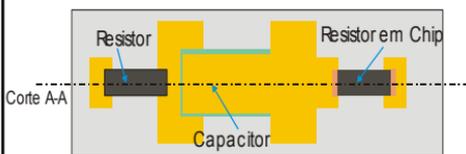


Fig. 1. A part of a thick film integrated circuit

59

SEQUÊNCIA DE FABRICAÇÃO DE UM CIRCUITO HÍBRIDO DE FILME ESPESSE



1. Limpeza de Substrato

2. Depósito de Pasta condutora

3. Secagem e Cura

4. Depósito de Pasta resistiva

5. Secagem de Pasta

6. Depósito de Pasta Dielétrica

7. Secagem e Cura

8. Depósito de Pasta Condutora

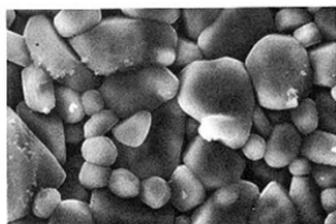
9. Secagem e Cura

10. Posicionamento de componente

60

30

SUBSTRATOS DE ALUMINA PARA FILME ESPESSO



(a)
Fig. 7 Substrate (96% alumina). (a) Surface.

Table V illustrates typical material properties for CoorTek thick film substrates.

Table V. Typical Material Characteristics				
Characteristic	Unit	Test Method	AD05-90R	AD5-96R
Alumina Content	Weight %	ASTM D2442	91	96
Color	—	—	Dark Brown	White
Density	g/cm ³ (lb/in ³)	ASTM C 373	3.72 min. (0.134)	3.75 min. (0.135)
Hardness - Rockwell	—	ASTM E18, RA5N	78	82
Surface Finish - CLA (G ₁₆ -free)	Microinches (Micrometers)	Profilometer .0004" Radius Stylus 030" Cutoff ANSI/ASME B46.1	≤ 45 (1.14)	≤ 35 (0.89)
Average Grain Size	Micrometers	Intercept Method	5-7	4-7
Water Absorption	%	ASTM C 373	NIL	NIL
Gas Permeability	—	*	NIL	NIL
Flexural Strength	Kpsi (MPa)	ASTM F394	53 (365)	58 (400)
Electric Modulus	10 ⁶ psi (GPa)	ASTM C623	45 (310)	44 (311)
Poisson's Ratio	—	ASTM C623	.24	.25
Coefficient of Linear Thermal Expansion	10 ⁻⁶ /°C (10 ⁻⁶ /°F)	ASTM C 372		
	25°-200°C		6.4 (3.5)	6.4 (3.5)
	25°-500°C		7.3 (4.1)	7.2 (4.0)
	25°-800°C		8.0 (4.4)	7.9 (4.6)
	25°-1000°C		8.4 (4.7)	8.2 (4.6)
Thermal Conductivity	W/m·K	Various (Btu·in/ft ² ·h·°F)		
	20°C		13 (90)	26 (180)
	100°C		12 (83)	20 (139)
	400°C		8 (56)	12 (83)
Dielectric Strength (60 cycles AC avg. RMS)	Volts/mil (Kv/mm)	ASTM D149		
	.025" thick		540 (21.3)	600 (23.6)
	.040" thick		—	490 (19.3)
Dielectric Constant (Relative Permittivity)	@25°C	ASTM D150		
	1KHz		11.8	9.5
	1MHz		10.3	9.5
Dissipation Factor (Loss Tangent)	@25°C	ASTM D150		
	1KHz		.1	.0010
	1MHz		.005	.0004
Loss Index (Loss Factor)	@25°C	ASTM D150		
	1KHz		1.2	.009
	1MHz		.05	.004
Volume Resistivity	ohm-cm or ohm-cm ² /cm	ASTM D1829		
	25°C		> 10 ¹⁴	> 10 ¹⁴
	300°C		4 x 10 ⁸	1.0 x 10 ¹²
	500°C		—	1.0 x 10 ⁸
	700°C		7 x 10 ⁶	1.0 x 10 ⁶

61

IMPERFEIÇÕES EM SUBSTRATOS PARA FILME ESPESSO



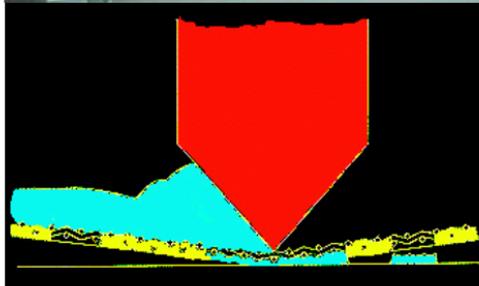
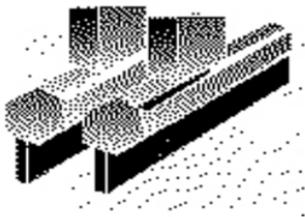
Table IV. Surface Imperfections		
Surface Imperfections		Acceptance Criteria
Burs Fragment of excess material or foreign particle adhering to the surface		None > .001" (0.025mm) High
Pits, Holes, and Pocks A deep depression or void		None > .010" (0.254mm) Diameter
Blisters Bubble or gaseous inclusion at the surface which if broken could form a pit, pock or hole		None > .001" (0.025mm) High
Scratches and Score Marks Relatively long, narrow, shallow groove or cut in the surface		None > .0007" (0.017mm) Deep
Fins and Ridges Long, narrow protrusion on the surface		None > .001" (0.025mm) High
Chips Open • Material broken off along an edge or corner Closed • Material has not broken off or separated		None > .030" (0.762mm) into Print Face (W)
Cracks Line of fracture without complete separation		None

62

SERIGRAFIA EM FILME ESPESSE

• O processo de Serigrafia requer a interação entre:

- Molduras
- Telas
- Emulsão Foto-sensível
- Rodo
- Substratos
- Pastas
 - Resistivas
 - Condutivas
 - Dielétricas
 - De Isolação e Passivação



63

MOLDURAS

• As Molduras utilizadas para Filme Espesso são de aço inox com dimensões de 5" x 5" ou 8" x 10" e com características como:

- Excelente Estabilidade Dimensional
- Excelente Estabilidade Torsional
- Excelente Planicidade
- Facilidade de Montagem da Tela (Epoxy + Parafusos)
- Excelente resistividade a Solventes
- Possibilidade de Re-utilização
- Custo Moderado

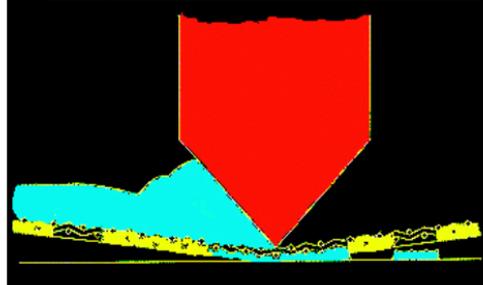
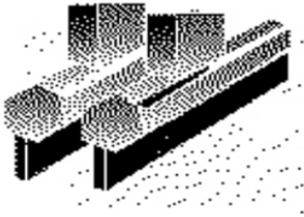


64

SERIGRAFIA EM FILME ESPESSE

• O processo de Serigrafia requer a interação entre:

- Molduras
- Telas
- Emulsão Foto-sensível
- Rodo
- Substratos
- Pastas
 - Resistivas
 - Condutivas
 - Dielétricas
 - De Isolação e Passivação



65

TELAS SERIGRÁFICAS

- Constitui-se do material que montado na moldura, serve como suporte para a máscara gerada através de uma foto – emulsão colocada na sua superfície.
- Telas com fios de aço inox 304 ou 316 são as mais usadas para a construção de telas com diversos tipos de MESH.
- O termo MESH refere-se ao N^o de aberturas na tela por polegada linear.
- As telas de aço Inox apresentam as seguintes características:
 - Possibilidade de uso de fios finos (30-45 μ m)
 - Excelente estabilidade dimensional
 - Excelente resistência à abrasão
 - Possibilidade de montagem em alta tensão
 - Excelente resistência Tensional
 - Excelente resistência Química
 - Custo Moderado

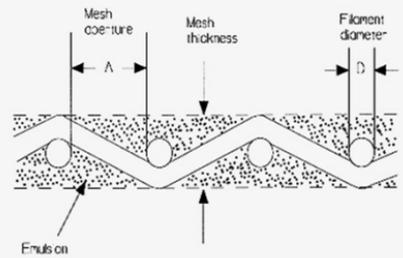
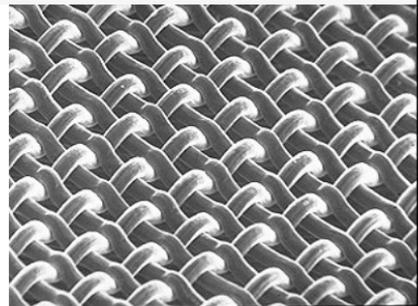


Figure 3. Cross-section of a screen mesh.

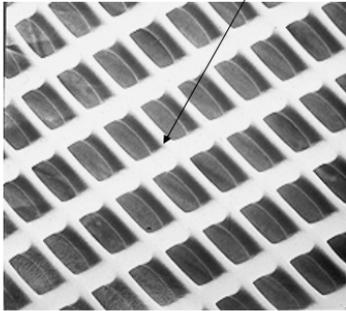


66

ESPESSURA DO DEPÓSITO VS. MESH

- De acordo com o MESH da tela utilizada será possível obter espessura final dos depósitos entre 10 e 30 µm com aberturas de 30 a 45%.
- Existem diversas tramas e sistemas calandrados que podem otimizar a abertura com o mesmo MESH

Mesh Count	Wire Diameter	Mesh Opening	Percent Open Area	Mesh Thickness	Wet Print Thickness*
80	.0020	.0105	70	.0042	.0030
105	.0030	.0065	47	.0064	.0030
165	.0020	.0041	45	.0042	.0019
200	.0016	.0034	46	.0034	.0016
230	.0014	.0029	46	.0030	.0014
250	.0016	.0024	36	.0034	.0013
270	.0014	.0023	38	.0030	.0014
280	.0012	.0024	44	.0026	.0012
290	.0008	.0027	60	.0018	.0011
325	.0006	.0024	59	.0014	.0008
325	.0009	.0022	50	.0020	.0010
325	.0009 Calendered	.0021	47	.0014	.0007
325	.0011	.0020	41	.0024	.0010
325	.0011 Calendered	.0019	39	.0019	.0008
400	.0007	.0018	52	.0016	.0008
400	.0010	.0015	38	.0022	.0008



Medidas em Polegadas

67

AJUSTE DE ESPESSURA COM EMULSÃO

- Assim é possível usar a emulsão para modificar a espessura do depósito de filme espesso úmido.
- A espessura com excesso de emulsão é:

$$- T = T_w + b$$

Ângulo da Tela

- A trama da tela de aço Inox é composta de fios ortogonais.
- Para melhorar a definição da impressão e aumentar a vida da tela costuma-se modificar a orientação da trama em relação à moldura.
- Assim utilizam-se ângulos de 22° ou 45° regularmente.

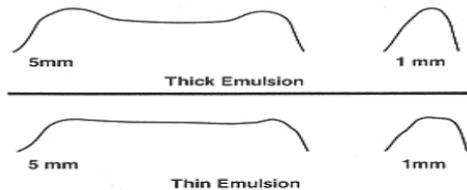
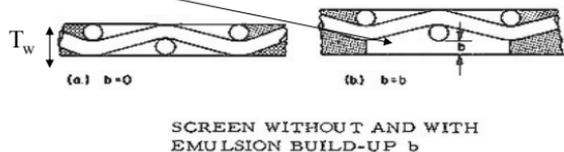
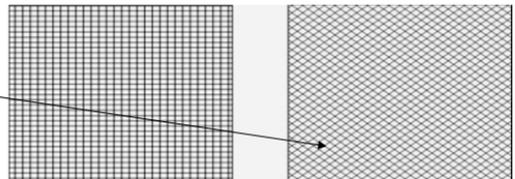


FIGURE 35 Effect of emulsion on thickness.

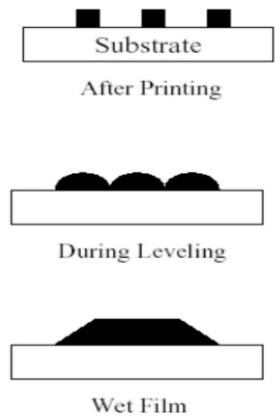
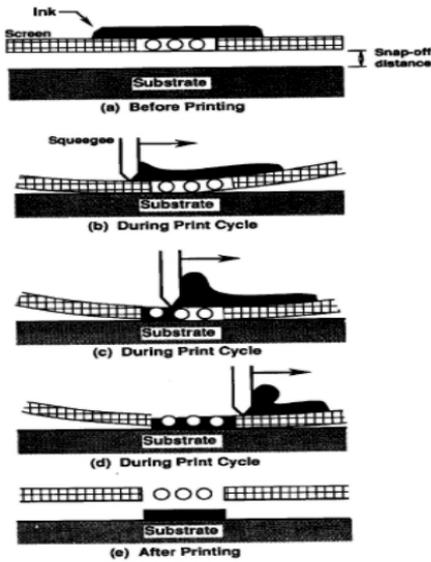


SCREEN WITHOUT AND WITH EMULSION BUILD-UP b



68

PROCESSO DE DEPOSIÇÃO POR SERI GRAFIA



69

PROCESSO DE DEPOSIÇÃO

• A deposição de um filme espesso se aproveita da variação da viscosidade da pasta, que apresenta característica tixotrópica quando aplicado cizalhamento, nos diferentes estágios do processo de impressão:

- Ajuste da viscosidade inicial da pasta;
- Aplicação pelo Rodo "Squeegee" de tensão de cizalhamento na pasta;
- Passagem da pasta pela Tela;
- Nivelamento da Pasta no substrato.

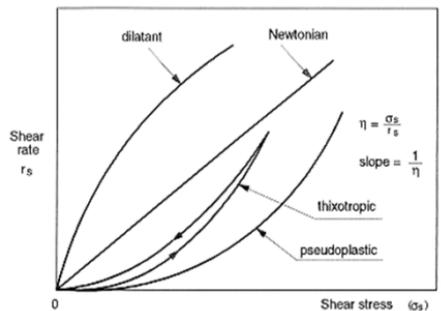
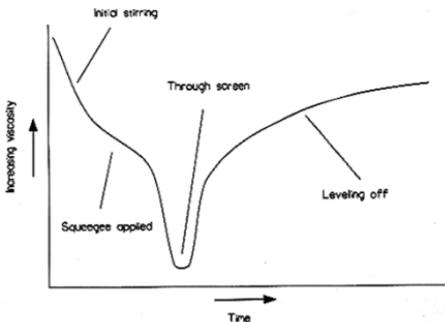


Figure 7. The viscosity of a paste varies at different stages of the printing cycle.

Response of fluids to shear.

70

FATORES QUE AFETAM A ESPESSURA DOS FILMES

- MESH Count
- Attack Angle
- Durometer
- Coplanaridade da Tela
- Pressão do Rodo (“Squeegee”)
- Velocidade do Rodo
- Espessura de Emulsão
- SNAP-OFF
- % de sólidos na pasta

71

SINTERIZAÇÃO PARA FILME ESPESSO

- O processo de Sinterização de um depósito de filme espesso requer um perfil de temperatura com patamares e rampas adequados para permitir a realização dos principais eventos térmicos necessários:

- Evaporação da fase volátil
- Queima da fase não volátil
- Fluxo da fase de ligante
- Sinterização e recozimento completa

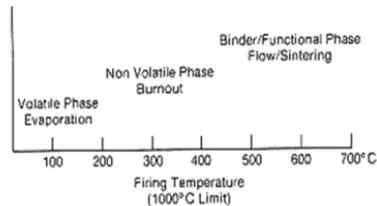
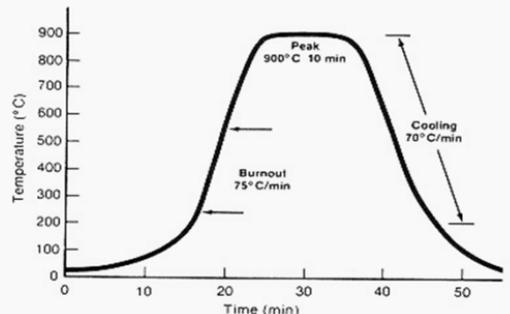


FIGURE 4 Key thermal events in the thick-film firing process.



72

FORNO DE ESTEIRA

- Num forno de esteira realiza-se a sinterização dos depósitos de filme espesso.
- É importante ter uma adequada ventilação e exaustão durante a fase de evaporação, assim a quantidade de ar necessária para a queima do material orgânico pode ser calculada por:
 - $V = PLAWS$
 - Com:
 - V = Volume de fluxo de ar
 - P = Razão entre área impressa e área total do substrato
 - L = Razão entre área do substrato e a área da esteira
 - A = Quantidade de ar por unidade de área para uma dada pasta
 - W = Largura da esteira
 - S = Velocidade da esteira

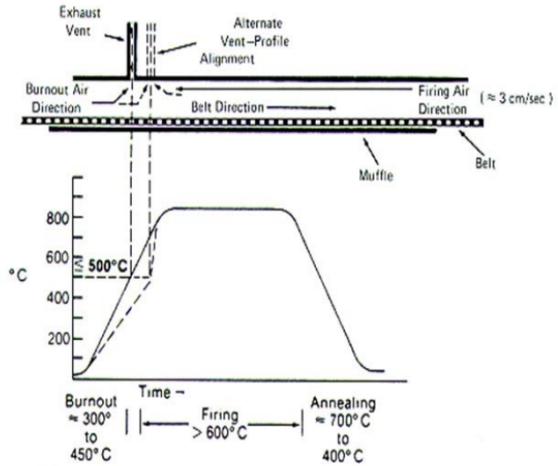
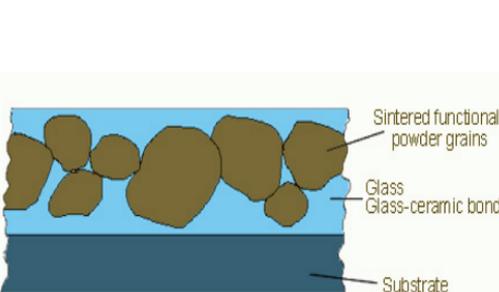


FIGURE 39 Furnace airflow arrangement.

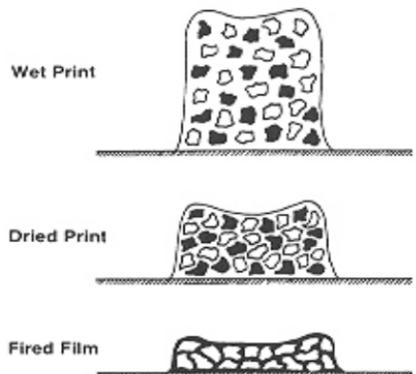
73

ESTRUTURA DOS FILMES ESPESSOS

- As composições de Filme Espesso são constituídas por três componentes principais, portanto trata-se de um material compósito:
 - Veículo (ajusta viscosidade, aparência e define as características de impressão)
 - Fase Funcional (Define o tipo de filme: Condutor, resistivo ou dielétrico)
 - Fase de Ligante (Fornece o corpo do filme, conferindo rigidez e encapsulamento)



Structure of thick films



74

COMPOSIÇÃO PARA FILME ESPESSE

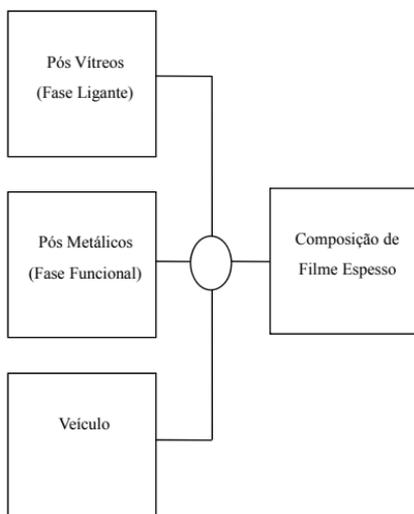
- Teste para definir características das composições de filme espesso:

- **Físicos**

- % de Sólidos
- Viscosidade
- Dispersão

- **Funcionais**

- Propriedades de impressão
- Características geométricas
- Adesão
- Soldabilidade para condutores
- Resistividade e TCR para Resistores
- Capacitância /unidade de área para Dielétricos



75

COMPONENTES DE PASTAS DE FILME ESPESSE

TABLE 1 Typical Major Components of Thick-film Compositions

Component	Conductor	Resistor	Dielectric
Functional phase	Au, Pt/Au	RuO_2	BaTiO_3
	Ag, Pd/Ag	$\text{Bi}_2\text{Ru}_2\text{O}_7$	Glass
	Cu, Ni	LaB_6	Glass-ceramic Al_2O_3

Binder

Glass: borosilicates, aluminosilicates

Oxides: CuO, CdO

Vehicle

Volatile phase: terpineol, mineral spirits

Nonvolatiles: ethyl cellulose, acrylates

76

RESISTÊNCIA DE FOLHA COMO FUNÇÃO DA CONCENTRAÇÃO DE DIVERSAS FASES CONDUTIVAS

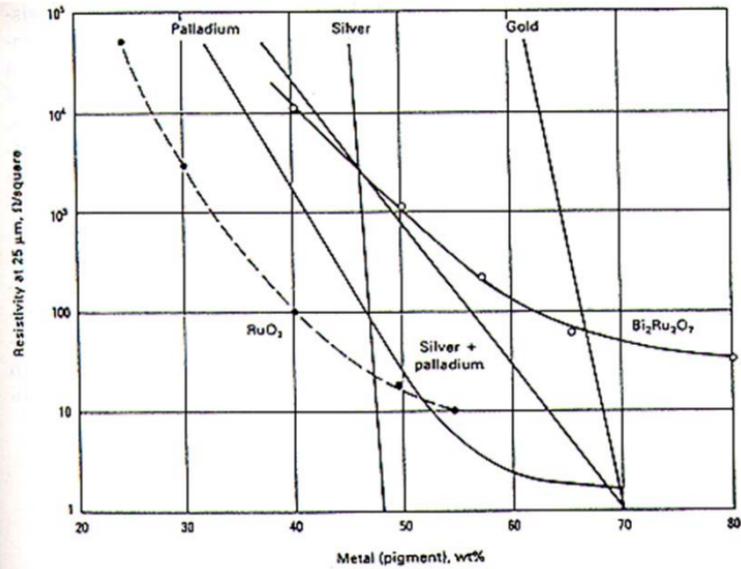
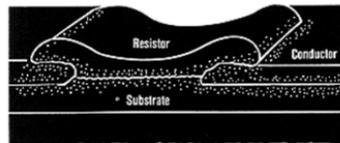


Figure 3.60 Variation of sheet resistivity as a function of conductive concentration for different conductive phases.

77

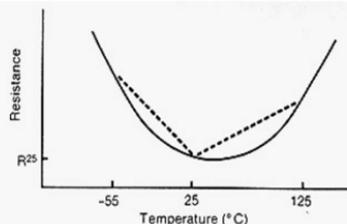
PROBLEMAS NOS RESISTORES DE FILME ESPESSE

- Efeitos de Espessura
 - Modificam a resistência
 - O comprimento do resistor modifica a resistência
- Efeitos de Difusão
 - Existe interdifusão (substrato – resistor) que afeta a resistividade
- Efeitos de Terminação
 - Existe formação de fases na interface (resistor-condutor)
- TCR
 - Existem dois TCR nos resistores de filme espesso:
 - HOT TCR
 - COLD TCR



- Thickness varies
- Resistor-substrate interactions
- Resistor-conductor interactions

FIGURE 12 Causes of nonideality in a printed resistor.



$$TCR = \frac{\Delta R}{R_{25} \Delta T} \times 10^6 = \frac{(R_T - R_{25})}{R_{25} (T_T - T_{25})} \times 10^6$$

FIGURE 8 Resistance versus temperature behavior of thick-film resistors.

78

ELEMENTOS CONDUTORES EM FILMES ESPESSOS

Element	Density, g/cm ³	Electrical resistance, $\mu\Omega \cdot \text{cm}$ at 25°C	Sheet resistivity, m Ω /sq/25 μm	Melting point, °C	Linear thermal expansion coefficient, ppm/°C	Thermal conductivity, W/m ² °K	Relative cost
Noble Elements							
Ag	10.5	1.6	0.64	961	19.7	429	1
Au	19.3	2.3	0.92	1063	14.2	317	70
Pt	21.4	10.5	4.2	1769	9.0	72	100
Pd	12	10.8	4.3	1552	11.7	72	30
Base Elements							
Cu	8.96	1.7	0.68	1083	16.5	401	0.02
Mo	10.2	5.2	2.04	2610	5.1	138	0.07
W	19.3	5.6	2.24	3410	4.6	174	0.06
Ni	8.9	6.8	2.72	1453	13.3	91	0.03

79

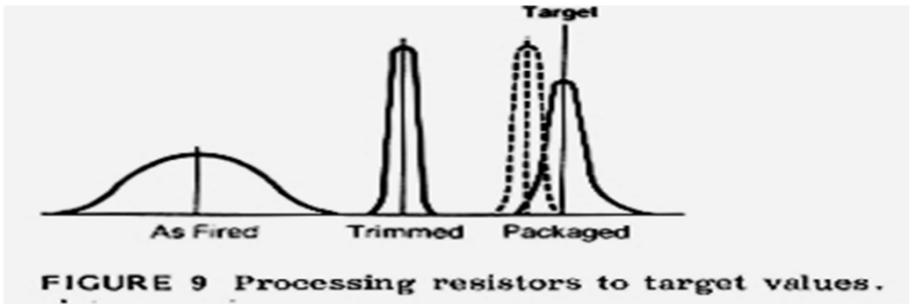
DI ELÉTRICOS EM FILME ESPESSO

- Existem vários tipos de dielétricos usados:
 - Multicamada
 - Isola grandes áreas de condutores
 - “Crossover”
 - Isola pequenas áreas de condutores
 - Capacitor
 - Armazena energia elétrica
 - Encapsulante
 - Fornece proteção ambiental ao circuito
- Componentes dos materiais dielétricos
 - Pós de Vidro
 - Promovem adesão, produzem filmes densos e coesos, fornecem encapsulamento e afetam as características físicas e elétricas
 - Pós refratários
 - Fornecem estrutura ao filme em altas Temperaturas e afetam as características físicas e elétricas
 - Veículos
 - Conferem as propriedades de impressão, produzem taxas adequadas de secamento

80

LASER TRIMMING

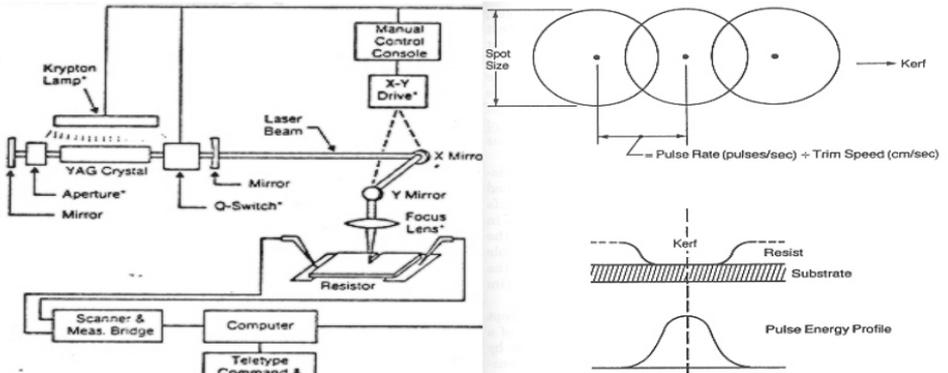
- Laser Trimming é um processo importante para a tecnologia de filme espesso já que este permite que componentes como resistores e capacitores sejam processados para obter valores adequados e portanto aumentar o Yield do processo.
- Existe uma dispersão inerente ao processo devido à grande quantidade de parâmetros envolvidos, portanto no projeto dos componentes estes aspectos devem ser levados em conta



81

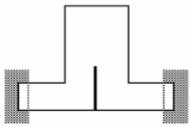
EQUIPAMENTO PARA LASER TRIMMING

- O equipamento de Laser Trimming consta de :
 - Circuito de Laser Ressonante
 - Circuito Óptico de chaveamento
 - Sistema Opto-mecânico de deflexão de feixe
 - Sistema de medição e controle eletrônico

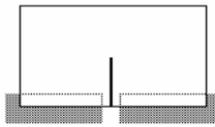


82

LASER TRIMMING TIPOS DE CORTE

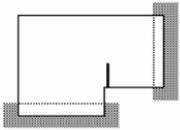


hat shape

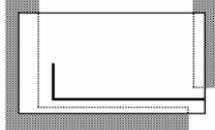


U-shape

P-cut



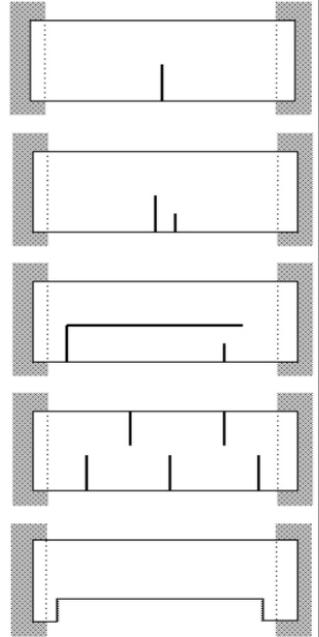
angle shape



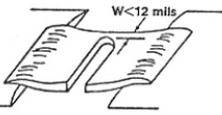
three side shape

double P-cut

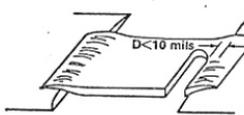
L-cut with shadow



Laser Trimming: Resistor Geometry Consideration



a. Current Crowding



b. Termination Effects

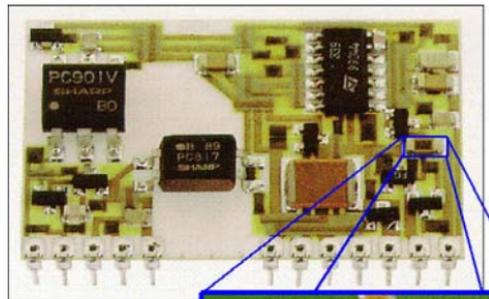
serpentine-cut

scan-cut

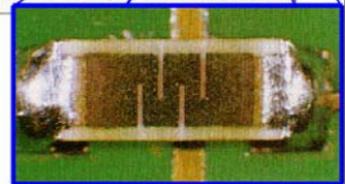
83

Tipos de Ajuste em Laser Trimming

- Os principais tipos de ajuste em Laser Trimming são:
- Ajuste Paramétrico:
 - Neste caso deseja-se ajustar somente o valor específico do componente (Resistência, Capacitância, etc)
- Ajuste Funcional
 - Neste caso deseja-se ajustar um valor característico do circuito como um todo (Ganho, offset, Frequência de corte, Frequência central, etc).



Serpentine cut of a SMD - resistor on a hybrid circuit



84

MARCAS PARA CORTE DE SUBSTRATOS COM LASER

- Laser de CO₂ é utilizado para definir nas cerâmicas:
 - Linhas de corte “Scribe Lines”
 - Chanfros
 - Furos de Localização
 - Fiduciais
 - Fendas de acesso
- Normalmente são utilizados substratos em tamanhos maiores e realizadas linhas de corte para depois realizar a singulação do dispositivo.

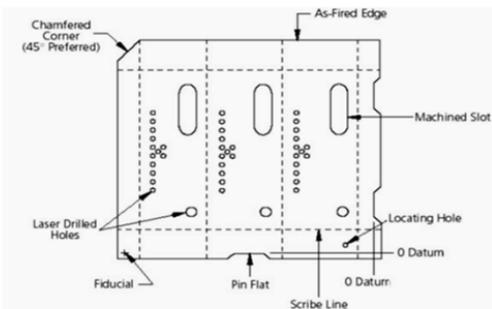


Fig. 1. Typical Lasered Ceramic Substrate

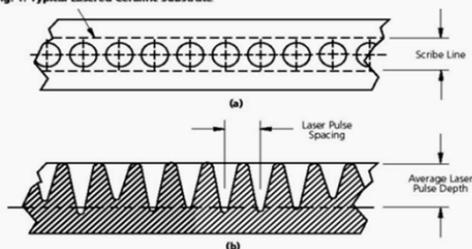
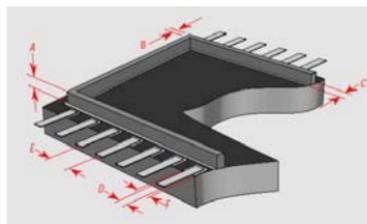
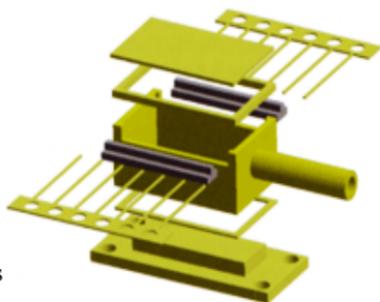


Fig. 2. Typical Laser Scribed Line: (a) Top View of Laser Scribed Line; (b) Cross Section of Laser Scribed Line

85

ENCAPSULAMENTOS HÍBRIDOS

- São encapsulamentos usados por circuitos híbridos de filmes finos e espessos e módulos MCM multi-chip montados em substratos cerâmicos ou metálicos e suas aplicações são:
 - Circuitos de potência, A/D, D/A, digitais, optoeletrônicos, microondas, microsistemas.
- As formas de encapsulamento são muito variadas, algumas de elas são:
 - “Flat-Pack”, “Plug-In”, LCC “Leadless Chip Carrier”, de Cavidade para potência.
- As funções destes encapsulamentos são similares às dos encapsulamentos convencionais:
 - Fornecer suporte mecânico, Realizar interconexão elétrica, Realizar escoamento térmico, Fornecer proteção ambiental
- Os encapsulamentos híbridos são projetos também para funções específicas como:
 - Fazer interconexões com fibras óticas, Fornecer contatos coaxiais, Permitir dissipação de alta potência, Realizar dispositivos herméticos



86

Processador Celeron 450/2.2G/512k/800/775/TRAY

- Vamos analisar o componente Processador Celeron 450/2.2G/512k/800/775/TRAY, detalhando os subcomponentes utilizados e tipo de substrato e descrevendo sumariamente uma possível seqüência de fabricação desse componente
- O Processador Celeron 450/2.2G/512k/800/775/TRAY, também chamado de Intel Celeron E1500 [1], possui um único chip (pastilha) composto por dois núcleos de processamento indissociáveis (dual core processor) e controle inteligente de consumo de potência, sendo fabricado em um substrato único de silício. Além da pastilha de silício, o Processador Celeron E1500 é composto pelo encapsulamento (tampa e substrato) e por 19 componentes passivos em tecnologia SMD. Ele é fabricado utilizando o nó tecnológico de 65 nm da Intel, operando a 2,2 GHz.

87

Processador Celeron 450/2.2G/512k/800/775/TRAY

Características Essenciais	
Status (em 14/09/2009)	Disponível
Início de oferta	4o trimestre de 2008
# de núcleos	2
Frequência de Relógio	2,2 GHz
Cache L2	512 KB
Frequência FSB (via de dados de comunicação)	800 MHz, sem paridade
Conjunto de Instruções	64 bit
Litografia	65 nm
TDP (potência máxima a ser dissipada)	65 W
Faixa de VID (tensão de identificação)	0,962V-1,275V
Especificações do Encapsulamento (package)	
Tamanho do processador	37,5mm x 37,5mm
Tamanho da pastilha (chip)	77 mm ²
# de transistores	105 milhões
Soquete	LGA775

88

2. Inspeção Inicial do Processador E1500

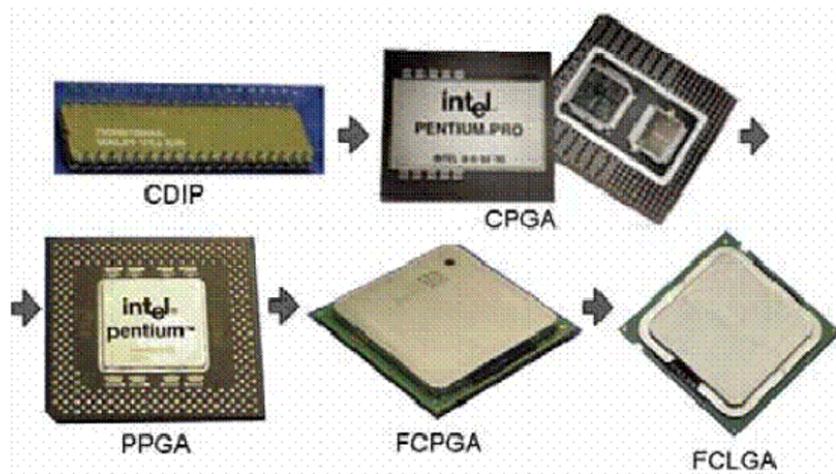


Figura 1. Processador Celeron E1500 de 37,5mm x 37,5mm: (a) vista superior (b) vista inferior.

2. Inspeção Inicial do Processador E1500

Buscando-se na própria literatura fornecida pela Intel [2], conclui-se que a tecnologia de encapsulamento (package) empregada é denominada pela própria Intel de FCLGA (Flip Chip Land Grid Array, isto é, Matriz de Contatos Planos com Chip Virado). É uma tecnologia empregada em produtos Intel a partir do Processador Pentium 4 de 2004 e representa uma evolução das tecnologias de encapsulamento anteriores, como pode ser visto na figura 2. A figura 3 destaca os itens do Processador Celeron E1500 que dão origem à nomenclatura FCLGA e mostra como ele é montado em uma placa PCB através do soquete LGA775 [3].

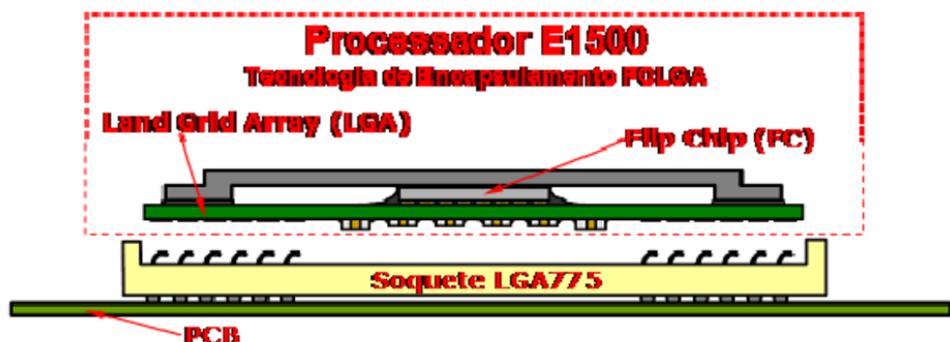
2. Inspeção Inicial do Processador E1500



91

2. Inspeção Inicial do Processador E1500

A figura 3 destaca os itens do Processador Celeron E1500 que dão origem à nomenclatura FCLGA e mostra como ele é montado em uma placa PCB através do soquete LGA775 [3].



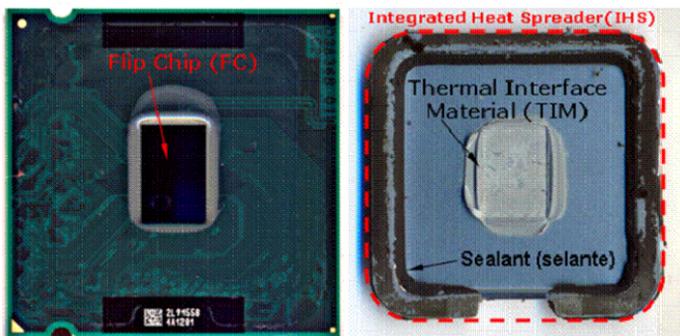
92

Note-se que na tecnologia FCLGA a pastilha (chip) de silício é virada, como mostra a figura 4, ou seja, os dispositivos eletrônicos encontram-se na face da pastilha que está virada para baixo, sendo que as costas da pastilha, que normalmente não contém nenhum dispositivo eletrônico, fica virada para cima.



3. Inspeção Detalhada do Processador Celeron E1500

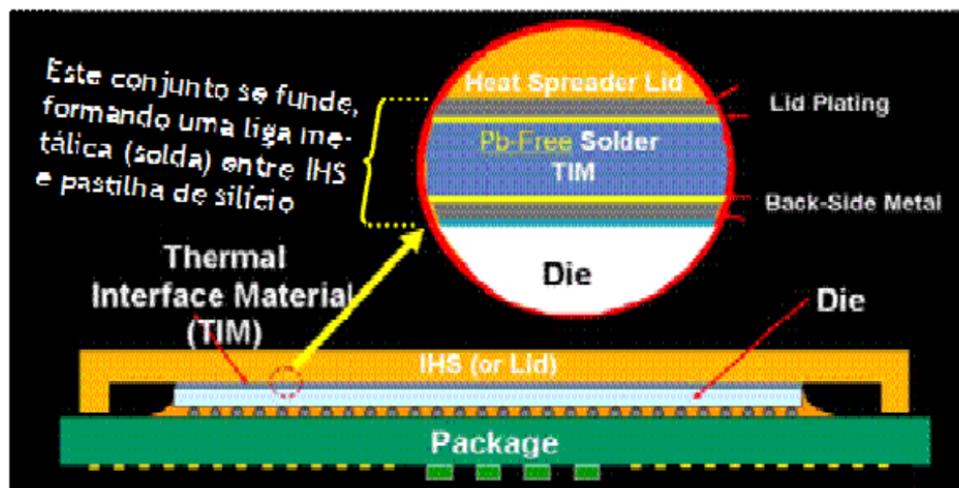
Processador Celeron E1500 removendo-se a resina selante (sealant) que adere na parte superior do encapsulamento (*lid*, isto é, tampa; também chamada de IHS - Integrated Heat Spreader, isto é, Propagador Integrado de Calor) à sua parte inferior (substrato), como mostrado na figura 5



3.1 Parte Superior do Encapsulamento do Processador Celeron E1500 (IHS)

A literatura da Intel [4] destaca que o desenvolvimento de propagadores integrados de calor (IHS) tornou-se uma necessidade tecnológica advinda do aumento da densidade dos circuitos e do conseqüente aumento na densidade de potência gerada pela pastilha de silício. Assim, entre o dissipador de calor e a pastilha há a necessidade da colocação de um elemento propagador de maneira a melhorar a eficiência de remoção do calor gerado. A figura 6 destaca o acoplamento entre o IHS e a pastilha de silício, que é feita através de um material de interface térmica (Thermal Interface Material, TIM) que a Intel desenvolveu baseado no metal Índio (In). Note que para uma transmissão eficiente de calor entre pastilha e IHM, tanto a superfície das costas da pastilha (virada para cima) como a superfície do IHS são recobertas com filmes de metais. As costas da pastilha é recoberta por um processo de metalização (back side metallization) que visa permitir reações de interface com o TIM de maneira a formar uma liga robusta. Da mesma maneira, a superfície interna do IHS é recoberta com filmes de níquel e ouro que também formam uma liga robusta com o TIM. Note que há a formação de uma liga (fusão) entre o IHS e a pastilha, por meio do TIM, garantindo que haja uma excelente interface térmica e impedindo que o conjunto seja desmontado e remontado mantendo as mesmas características de dissipação de calor originais.

95

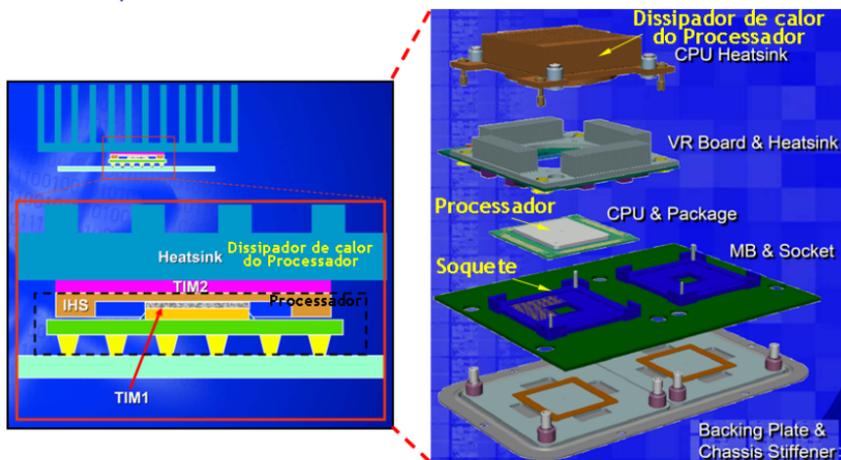


Detalhamento da interface IHS e pastilha, mostrando que há a fusão do TIM com a superfície metalizada da pastilha e com a superfície tratada do IHS para garantir uma excelente condutividade térmica.

96

Processador Celeron 450/2. 2G/512k/800/775/TRAY

Uma vez propagado o calor pelo IHS costuma-se utilizar um dissipador de calor (heat sink) para permitir uma eficiente troca de calor com o meio ambiente. A figura 7 mostra uma ilustração da Intel [5] de um dissipador de calor acoplado

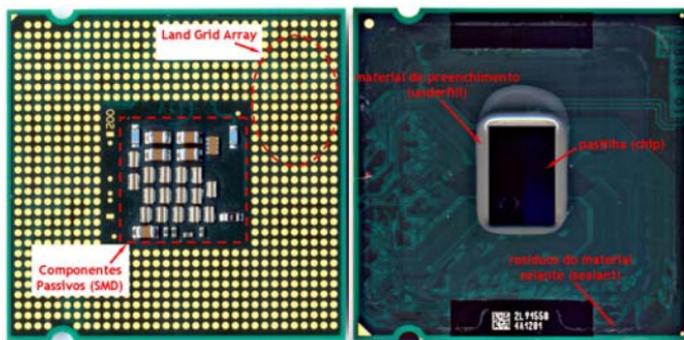


97

Processador Celeron 450/2. 2G/512k/800/775/TRAY

3.2 Parte Inferior do Encapsulamento do Processador Celeron E1500 (Substrato)

A figura 8 mostra os dois lados do substrato.



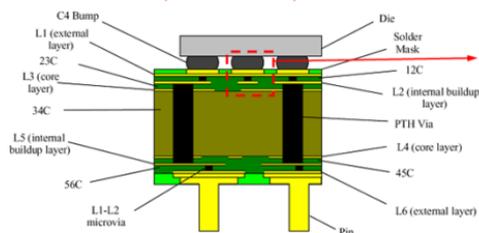
Substrato do encapsulamento (a) lado inferior destacando os contatos LGA e os componentes passivos em tecnologia SMD; (b) lado superior destacando a pastilha, que além da fusão recebe o material de preenchimento (underfill). Mostra-se também os resíduos do material selante, empregado para juntar o substrato ao IHS.

98

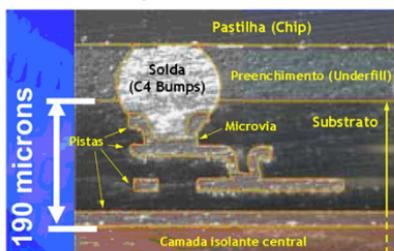
Processador Celeron 450/2. 2G/512k/800/775/TRAY

O substrato em si contém pistas de interconexão e é fabricado em material orgânico, recebendo a denominação na Intel de "organic package" (encapsulamento orgânico). A razão de seu uso ao invés de encapsulamentos cerâmicos é a redução de custo em produtos de alto volume de produção [6]. A tecnologia de substratos orgânicos foi utilizada pela Intel inicialmente no Pentium III [7], figura 11a, e nas gerações subsequentes. A figura 11b destaca uma região do substrato, próxima da pastilha, onde se vê claramente a estrutura da camada superior do substrato, observando-se 4 camadas de metal (pistas), empregada no Processador Pentium 4 [8].

Seção de corte do encapsulamento FCPGA (Intel Pentium III)



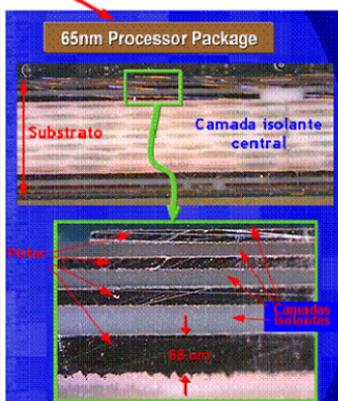
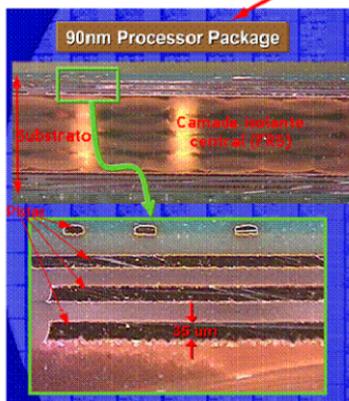
Seção de corte do encapsulamento FCLGA (Tecnologia Intel 90nm - Pentium IV)



99

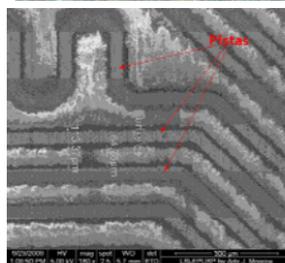
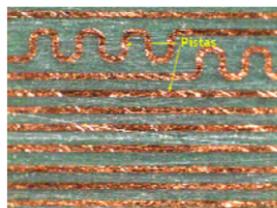
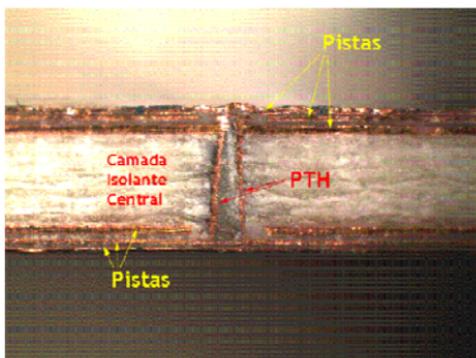
Processador Celeron 450/2. 2G/512k/800/775/TRAY

O Processador Celeron E1500, objeto desta análise, emprega as tecnologias de silício e de encapsulamento imediatamente subsequentes às tecnologias do Pentium 4. A figura 12 apresenta as seções de corte dos substratos do Pentium 4 (tecnologia de 90nm) e do Celeron E1500 (tecnologia 65nm) [5]. Na figura 12b observa-se claramente a estrutura do substrato do Celeron E1500 e sua correlação imediata com a ilustração da figura 11a.



Processador Celeron 450/2.2G/512k/800/775/TRAY

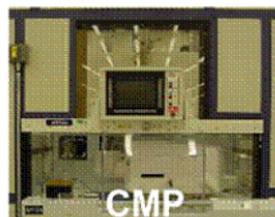
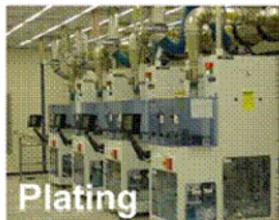
A figura 13 apresenta o substrato de uma das amostras de processadores fornecidas. Observa-se que esse substrato segue o modelo da tecnologia 65nm apenas que apresenta uma camada de pista a menos nas faces superior e inferior. Observe-se também que as camadas de pistas mais internas são mais espessas, conforme indicado na figura 12b.



101

Processador Celeron 450/2.2G/512k/800/775/TRAY

Processos de Microeletrônica empregados na Fabricação do Substrato do Encapsulamento FCLGA



102

