

Laboratório de Lógica Digital

Prática VII

O trabalho prático da disciplina consiste na implementação de uma Unidade Aritmética Lógica (ULA) simples que recebe dois operadores e uma seleção de qual operação realizar. O dispositivo que faz a seleção é o multiplexador descrito em linguagem VHDL abaixo.

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity mux_2to1_top is
    Port ( SEL : in  STD_LOGIC;
          A   : in  STD_LOGIC_VECTOR (3 downto 0);
          B   : in  STD_LOGIC_VECTOR (3 downto 0);
          X   : out STD_LOGIC_VECTOR (3 downto 0));
end mux_2to1_top;

architecture Behavioral of mux_2to1_top is
begin
    X <= A when (SEL = '1') else B;
end Behavioral;
```

Exercício:

Esta aula será utilizada para a criação da ULA baseado nas aulas anteriores. A ideia principal é utilizar os designs de somador, subtrator, multiplicador e divisor criados e coloca-los em uma estrutura de multiplexador. O MUX terá a entrada de 2 dados e um seletor de 2 bits.

A seleção da operação deve ser:

00 – Soma

01 – Subtração

10 – Multiplicação

11 – Divisão

Caso o design seja terminado nesta aula o arquivo deve ser enviado no moodle. Caso não seja terminado teremos a aula seguinte para concluir o projeto.