

SSC0611

Arquitetura de Computadores

15ª Aula – Evolução Arquitetura Intel – Parte 2

Profa. Sarita Mazzini Bruschi

sarita@icmc.usp.br

Arquitetura x86

Pentium - Modelos

Intel IA-32 (x86) Microarchitectures & CPUs

P5

Pentium
Pentium MMX

Mobile

Pentium M
Core Duo

P6

Pentium Pro
Pentium II
Pentium III

Core

Core 2 Duo
Core 2 Extreme

NetBurst

Pentium 4
Pentium D
Xeon

Nehalem

Core i3
Core i5
Core i7

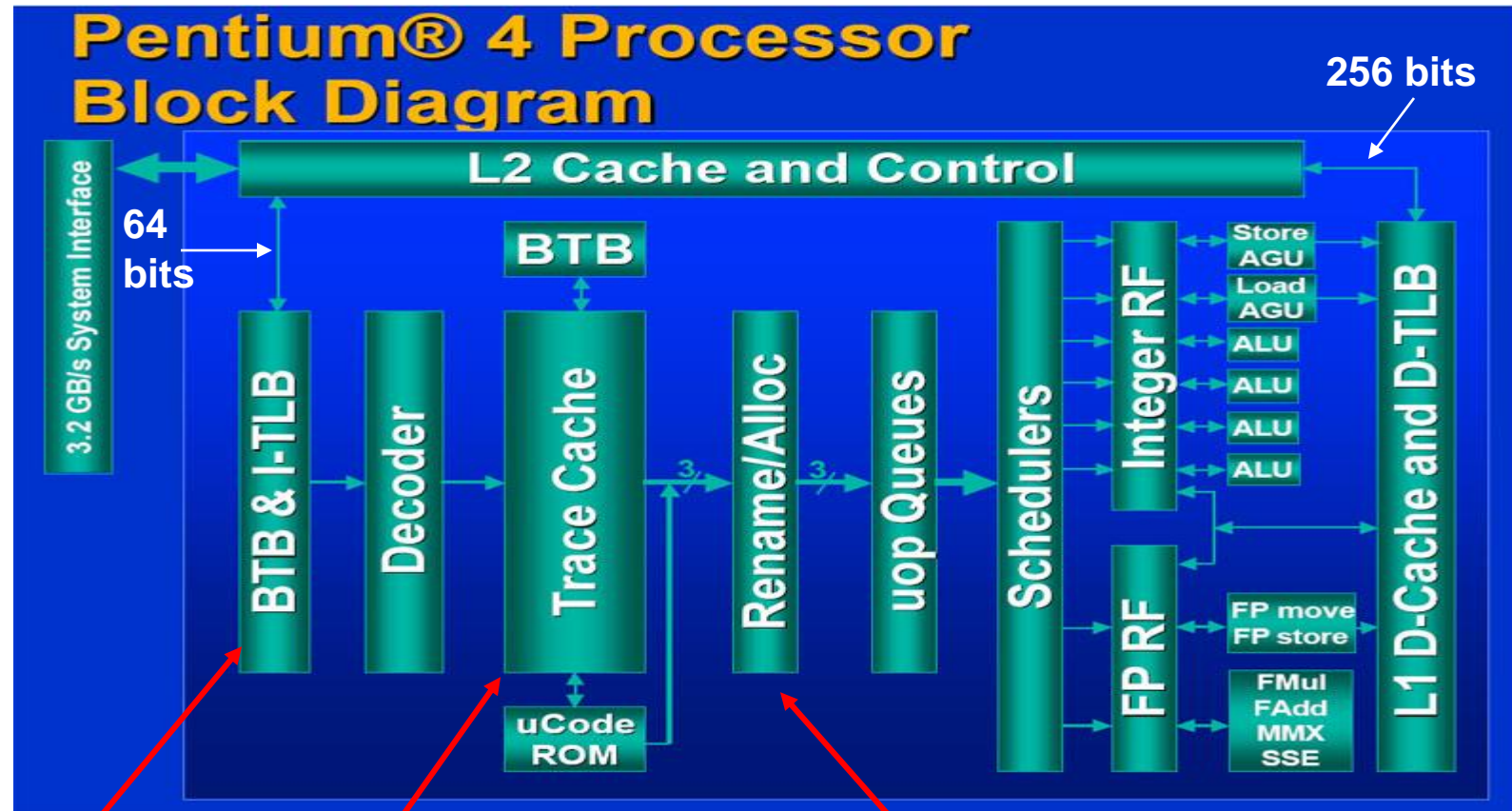
Arquitetura x86

Pentium - Arquiteturas

- **Netburst P7**

- Sétima geração dos processadores da arquitetura x86
- A principal alteração em relação às arquiteturas P5 e P6 é o profundo grau de pipeline (tecnologia *Hyper Pipelined*) de até 31 estágios (núcleo Prescott)
 - O aumento do pipeline foi definido para que os processadores rodassem com clocks mais elevados.
 - Com mais estágios, cada um pode ser construído com menos transistores, facilitando a obtenção de clocks maiores
- Modelos:
 - Pentium 4
 - Chips: Willamette (20 estágios no pipeline), Northwood, Prescott (31 estágios no pipeline)
 - Pentium 4 Celeron
 - Pentium D
 - Pentium Extreme Edition
 - Pentium 4 Xeon

Arquitetura x86 Pentium 4



Unidade de Pré-Busca

Cache de Instruções

128 registradores internos

Arquitetura x86 Pentium 4

- Estágios do Pipeline



- Ponteiro da próxima instrução da cache de microinstruções (TC Nxt IP, *Trace cache next instruction pointer*)
- Busca da próxima microinstrução no cache de microinstruções (TC Fetch, *Trace cache fetch*)
- Drive: Envia a microinstrução para o próximo estágio
- Alocação de recursos (Alloc)
- Renomeamento de Registradores (Rename)
- Fila (Queue)

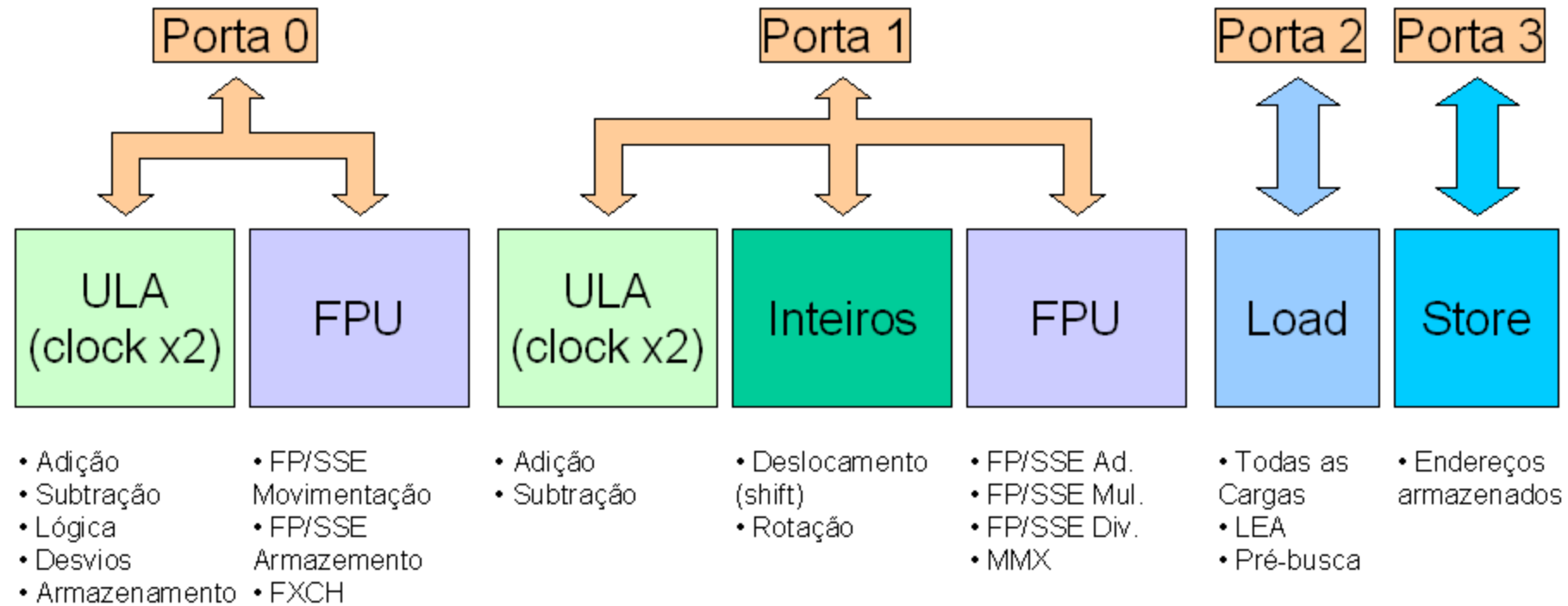
Arquitetura x86 Pentium 4

- Estágios do Pipeline



- Agendamento (Sch, Schedule)
- Envio (Disp, Dispatch)
- Leitura dos registradores internos (RF)
- Execução (Ex)

Arquitetura x86 Pentium 4



Arquitetura x86 Pentium 4

- Estágios do Pipeline



- Flags (Flgs): atualização dos flags do processador
- Verificação de desvios (Br Ck, Branch check): verifica se o desvio tomado foi o mesmo previsto pelo circuito de previsão de desvio
- Drive: Envia o resultado da verificação acima para o buffer de destino de desvio (BTB) localizado na entrada do processador.

Arquitetura x86

Pentium 4

- Pentium D
 - Introduzido em 2005
 - Contém 2 dices de núcleos Pentium 4 Prescott, e não os dois núcleos no mesmo dice

From Computer Desktop Encyclopedia
Reproduced with permission.
© 2006 Intel Corporation



Arquitetura x86

Pentium 4

- Pentium Extreme Edition
 - Baseado no processador dual Pentium D, mas com *HyperThreading* habilitada, permitindo ter 4 processos lógicos (2 físicos e 2 nos núcleos virtuais)
 - Suporta EM64T

Arquitetura x86 Pentium 4

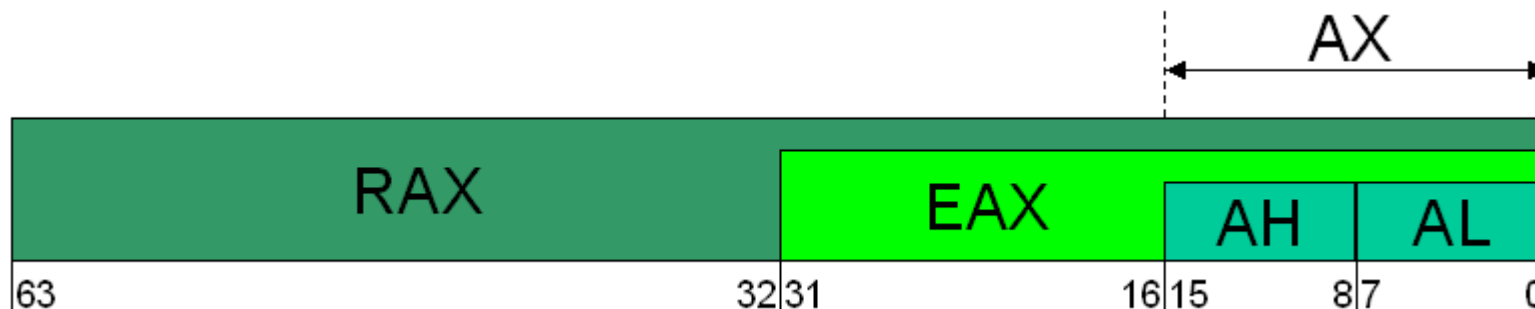
- Tecnologia EM64T
 - EM64T – *Extended Memory 64 Technology*
 - Processadores com essa tecnologia possuem um novo modo de operação chamado IA32E:
 - Modo Compatibilidade: permite que SOs de 64 bits executem programas de 32 e 16 bits sem a necessidade de serem recompilados
 - Modo de 64 bits: permite que SOs e programas de 64 bits utilizem o novo espaço de endereçamento de 64 bits oferecido por esta tecnologia

Arquitetura x86 Pentium 4

- Tecnologia EM64T

- Características:

- Espaço de endereçamento: alguns processadores utilizam 36 linhas para endereçamento, e outros utilizam 40 linhas
 - Oito registradores adicionais, totalizando 16 registradores de 64 bits. Nomenclatura: RAX
 - Oito registradores adicionais para instruções SIMD (MMX, SSE, SSE2 e SSE3), totalizando 16 registradores
 - Todos os registradores e ponteiros são de 64 bits
 - Um novo modo de endereçamento relativo para o ponteiro de instruções, denominado RIP - *relative addressing*



Arquitetura x86

Microarquitetura Intel Core

- Microarquitetura Intel Core
 - Arquitetura baseada no Pentium M
- Enhanced Pentium M: Core Solo e Core Duo
- Microarquitetura Core 64 bits: Core 2 Solo, Core 2 Duo, Core 2 Quad, Core 2 Extreme (processadores Merom, Conroe, Penryn e Wolfdale)
- Características:
 - Baixo consumo de energia
 - Múltiplos núcleos (*cores*)
 - Tecnologia de Virtualização
 - EM64T

Arquitetura x86

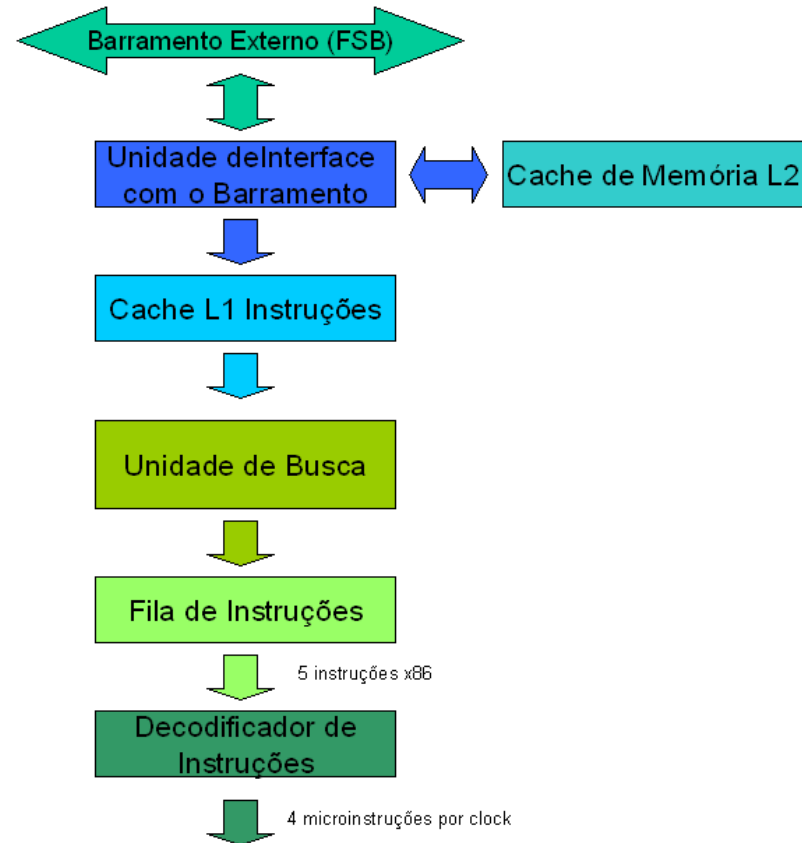
Microarquitetura Intel Core

- Diferença para o Pentium D
 - Cache L2 compartilhada dinamicamente entre os núcleos, enquanto no Pentium D, cada núcleo tem a sua própria cache L2
 - Pré-buscas compartilhadas também
 - Busca é feita por padrões utilizados pelo processador
 - Exemplo: carregou dados do endereço 1, depois do endereço 3 e depois do endereço 5, a unidade de pré-busca irá supor que o próximo dado será o do endereço 7, carregando esse dado na cache antes de ser solicitada
 - Idéia (previsão) não é nova... Vem desde o Pentium Pro, mas nessa arquitetura foi aprimorada para buscar padrões
 - Fusão de Instruções (macro-fusion)
 - Capacidade de combinar duas instruções x86 em uma única microinstrução
 - Limitado a instruções de desvio condicional e de comparação
 - Decodificador é capaz de decodificar 4 instruções por pulso de clock, enquanto os processadores Pentium M e Pentium 4 podiam decodificar somente 3

Arquitetura x86

Microarquitetura Intel Core

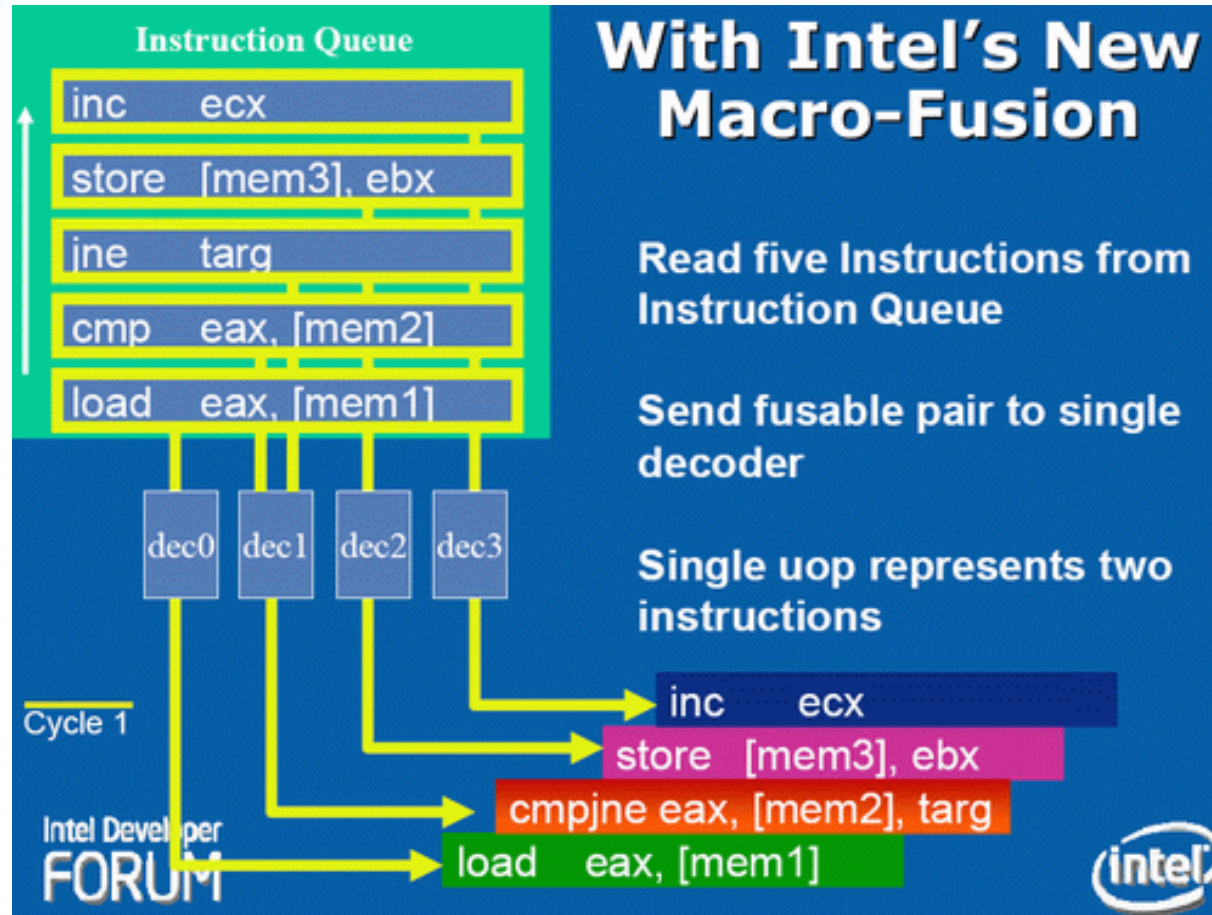
- Fusão de instruções



Arquitectura x86

Microarquitectura Intel Core

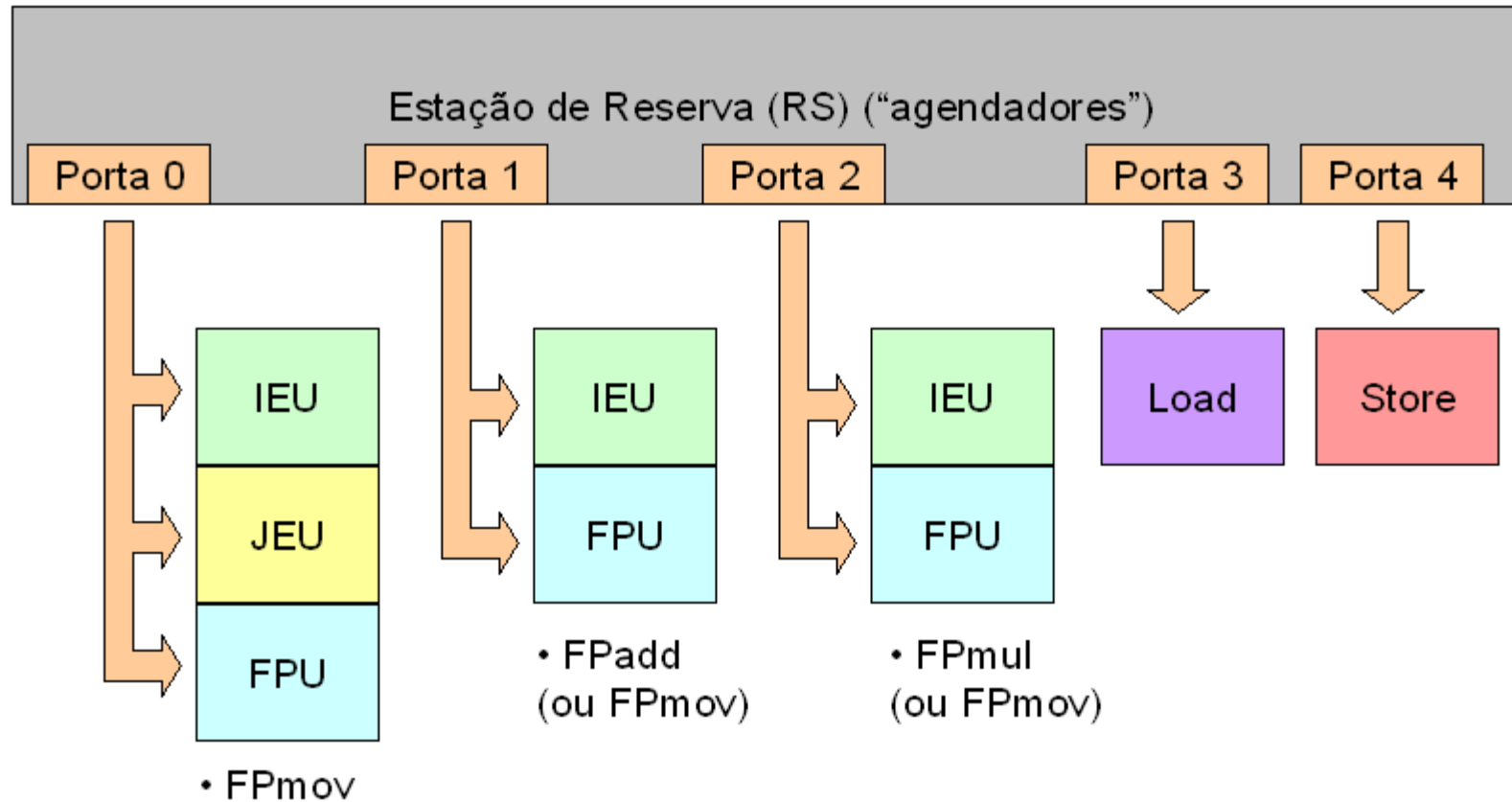
- Macro-op fusion



Arquitetura x86

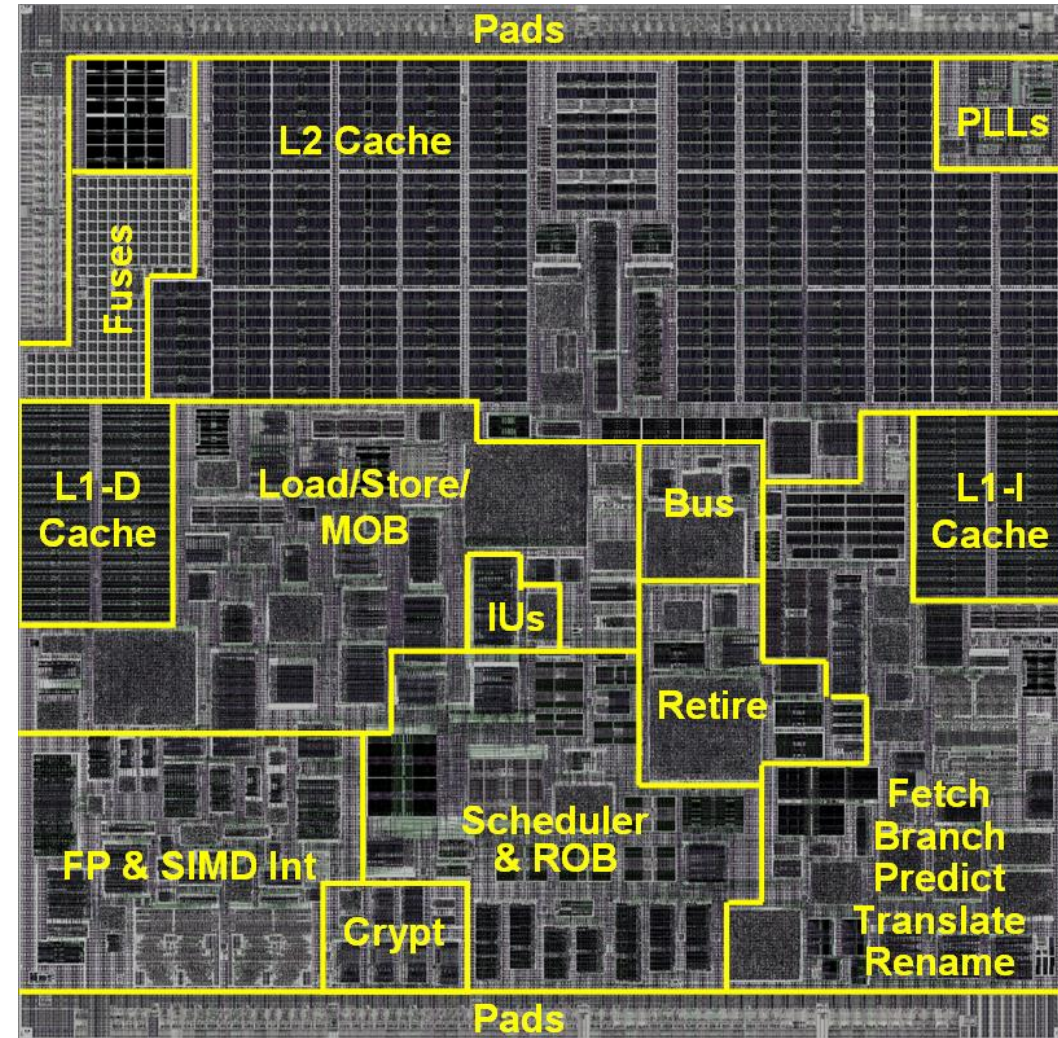
Microarquitetura Intel Core

- Unidades de Execução



Arquitectura x86

Microarquitectura Intel Core



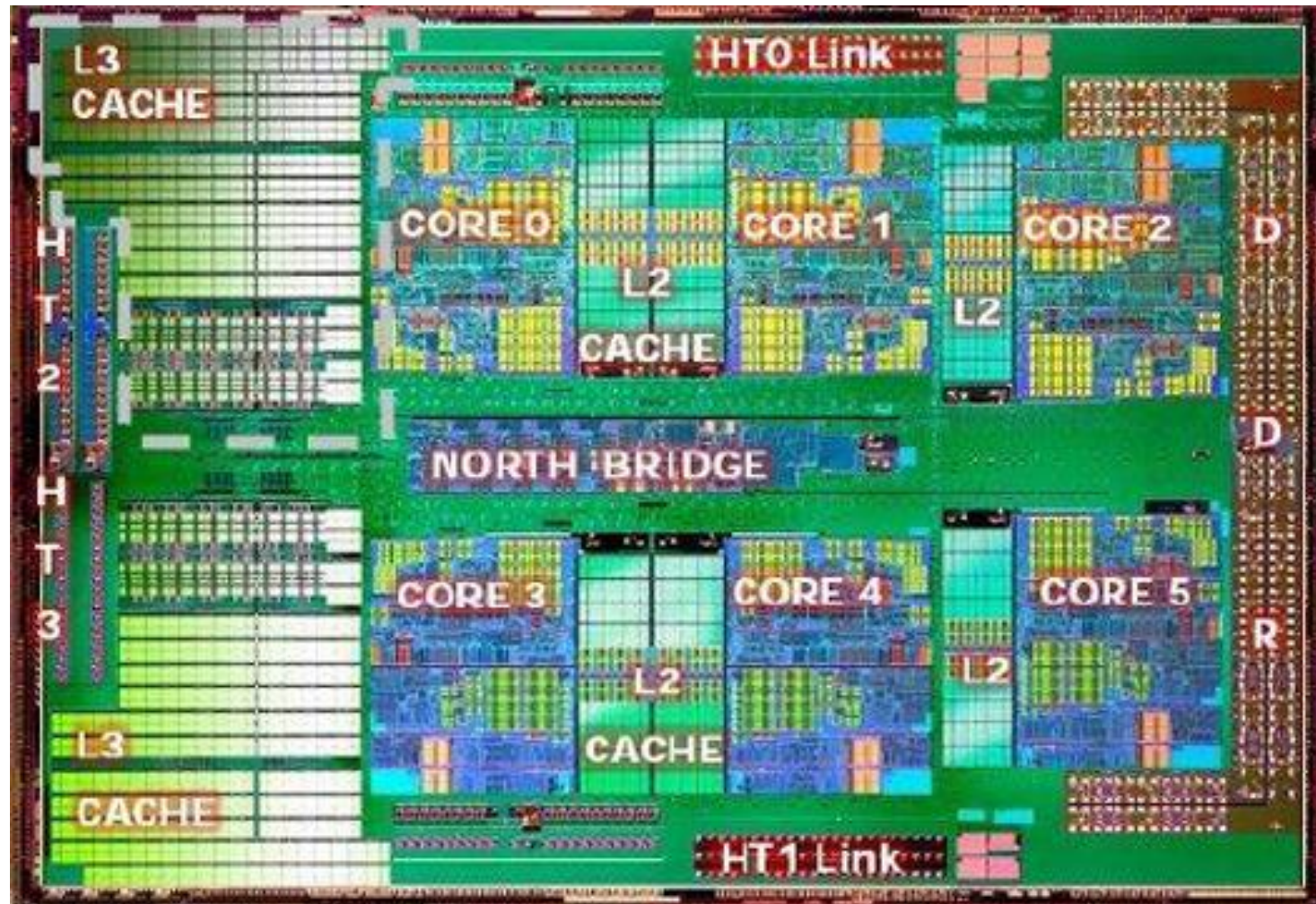
Arquitetura x86

Intel Core Série

- Microarquitetura Nehalem
 - Celeron, Core i5, Core i7, Core i7 Extreme, Xeon (primeira geração)
 - Sucessora da microarquitetura Core, mas planejada como uma evolução da arquitetura Netburst
 - Arquitetura multicore
 - Controlador de memória integrado ao invés de um chipset
 - Alteração nas caches: ao invés de uma L2 grande e compartilhada, tem várias e pequenas L2 para cada núcleo e uma grande L3 compartilhada entre todos

Arquitetura x86

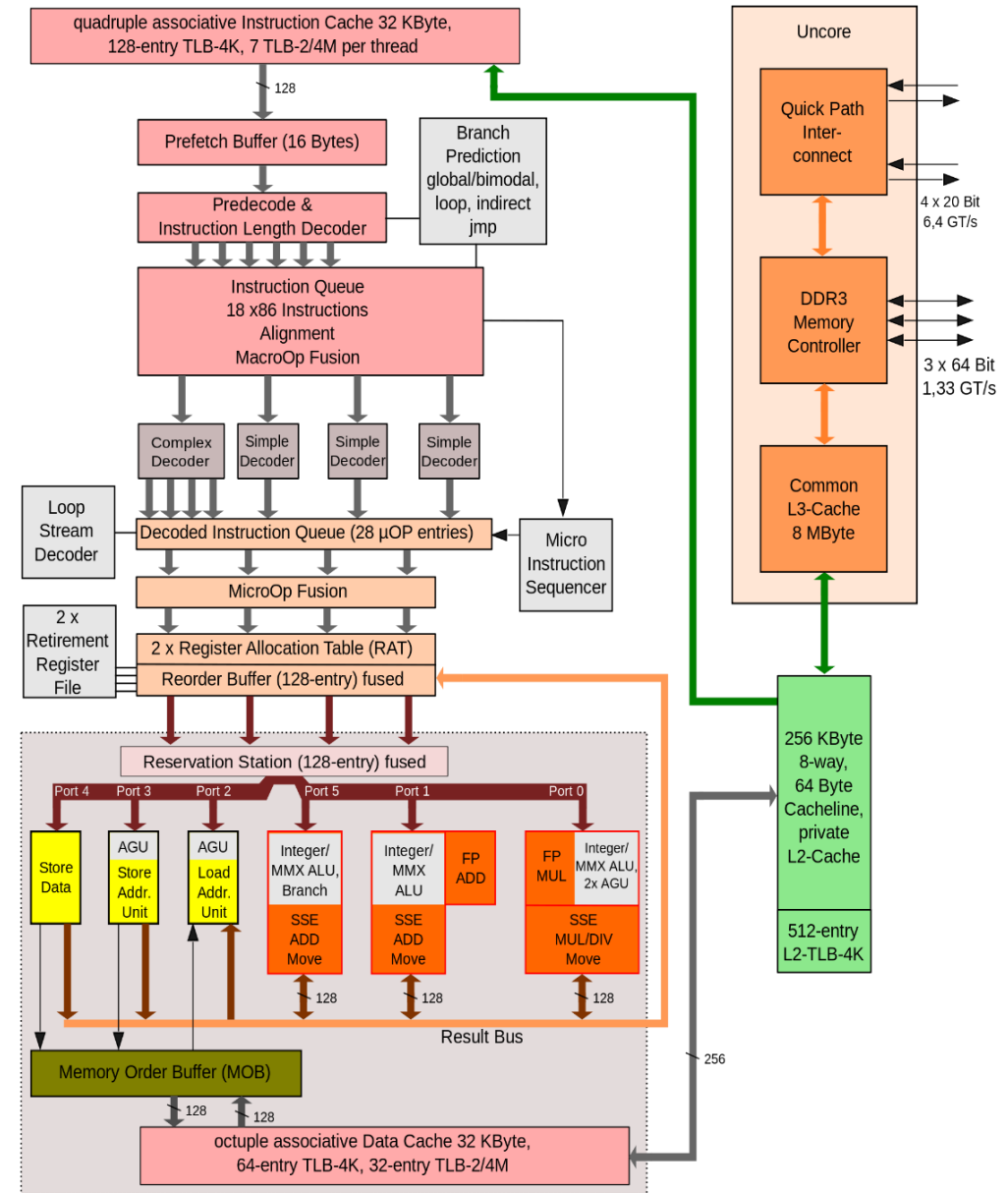
Microarquitetura Nehalem



Microarquitetura Nehalem

- Execução especulativa, fora de ordem e superescalar
- Multithreading
- Múltiplos previsores de desvios
- Controlador de memória no chip
- Caches grandes
- Interconexão entre processadores

Intel Nehalem microarchitecture



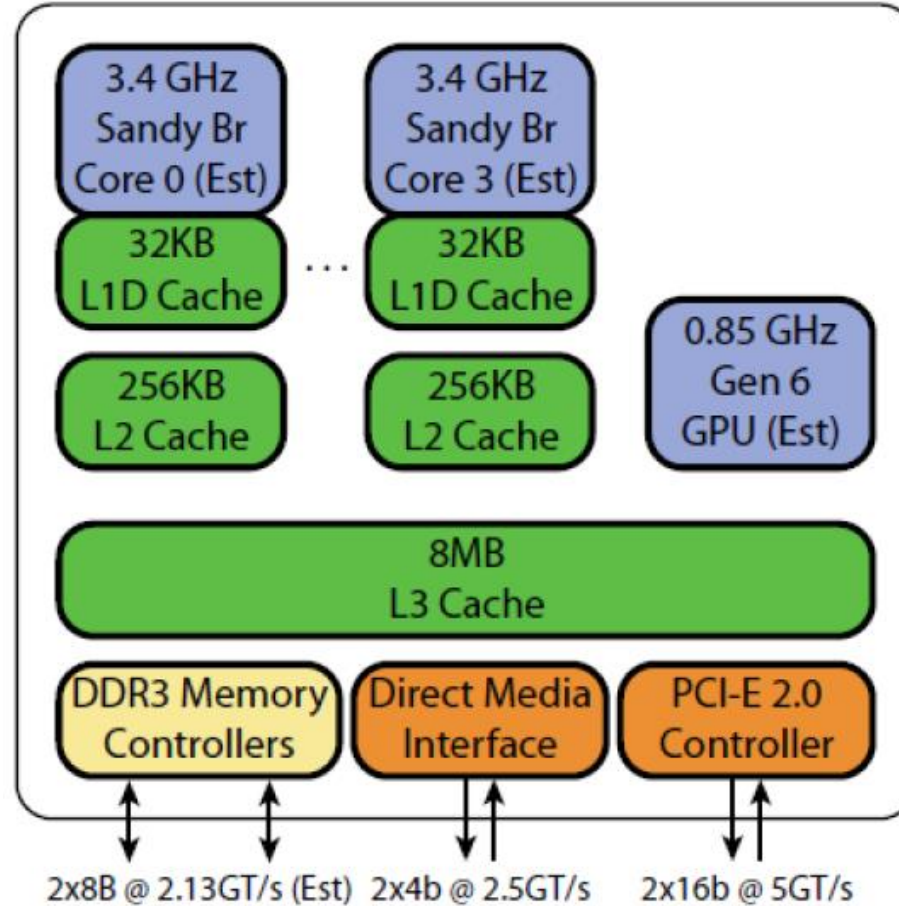
GT/s: gigatransfers per second

Arquitetura x86

Intel Core Série

- Microarquitetura Sandy Bridge: Celeron, Pentium, Core i3, Core i5, Core i7 e Core i7 Extreme (segunda geração)
- Microarquitetura Ivy Bridge: Celeron, Pentium, Core i3, Core i5, Core i7 e Core i7 Extreme (terceira geração)
- Microarquitetura Haswell: Celeron, Pentium, Core i3, Core i5, Core i7 e Core i7 Extreme (quarta geração)
- Microarquitetura Broadwell: Celeron, Pentium, Core i3, Core i5, Core i7 e Core M (quinta geração)
- Microarquitetura Skylake: Celeron, Pentium, Core i3, Core i5, Core i7 (sexta geração)
- Microarquitetura Kaby Lake: Celeron, Pentium, Core i3, Core i5 e Core i7 (sétima geração)
 - Fabricada no mesmo processo da microarquitetura Skylake, quebrando o padrão de projeto “tick-tock”

Microarquitetura Sandy Bridge



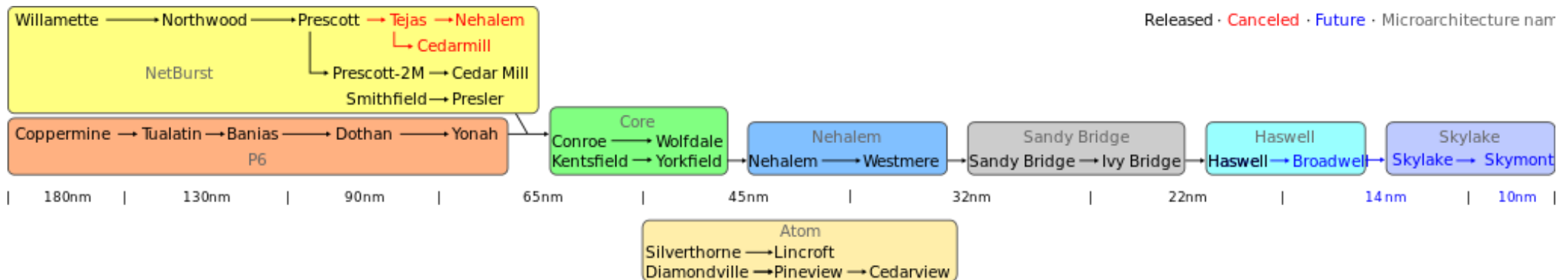
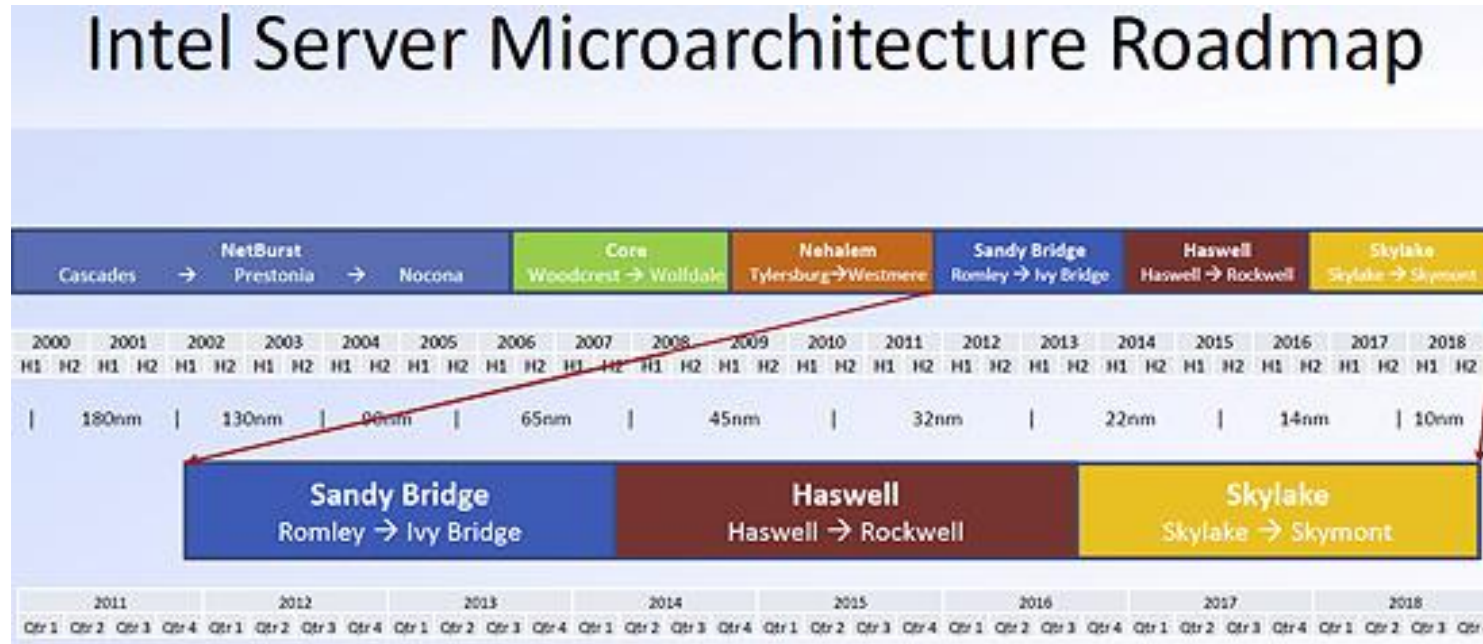
Modelo Tick-Tock da Intel

- Modelo introduzido desde 2007 para descrever a cadência de progresso dos processadores
 - Tick: diminuição do processo (tecnologia de fabricação do chip), mas mesma microarquitetura
 - Tock: nova microarquitetura, mas mesmo processo
 - O processo alterna-se a cada ano

Modelo Tick-Tock da Intel

Architectural change	Fabrication process	Microarchitecture	Codenames	Release date	Processors				
					8P/4P Server	4P/2P Server/W/S	Enthusiast/W/S	Desktop	Mobile
Tick (New fabrication process)	65 nm	P6, NetBurst	Presler, Cedar Mill, Yonah	2006-01-05			Presler	Cedar Mill	Yonah
Tock (New microarchitecture)		Core	Merom ^[5]	2006-07-27 ^[6]	Tigerton	Woodcrest Clovertown	Kentsfield	Conroe	Merom
Tick	45 nm	Nehalem	Penryn	2007-11-11 ^[7]	Dunnington	Harpertown	Yorkfield	Wolfdale	Penryn
Tock			Nehalem	Nehalem	2008-11-17 ^[8]	Beckton	Gainestown	Bloomfield	Lynnfield
Tick	32 nm	Sandy Bridge	Westmere	2010-01-04 ^{[9][10]}	Westmere-EX	Westmere-EP	Gulftown	Clarkdale	Arrandale
Tock			Sandy Bridge (2nd Gen)	2011-01-09 ^[11]	(None) ^[12]	Sandy Bridge-EP	Sandy Bridge-E	Sandy Bridge	Sandy Bridge-M
Tick	22 nm ^[13]	Haswell	Ivy Bridge (3rd Gen)	2012-04-29	Ivy Bridge-EX ^[14]	Ivy Bridge-EP ^[14]	Ivy Bridge-E ^[15]	Ivy Bridge	Ivy Bridge-M
Tock			Haswell (4th Gen)	2013-06-02	Haswell-EX	Haswell-EP	Haswell-E	Haswell-DT ^[16]	<ul style="list-style-type: none"> Haswell-MB (37 - 57W TDP, PGA package) Haswell-H (47W TDP, BGA package) Haswell-U/P/ULX (11.5W - 15W TDP)^[16]
Optimizations (Fabrication process/microarchitecture improvements)			Devil's Canyon ^[17]	2014-06	(None)	(None)	(None)	Haswell-DT	(None)
Tick	14 nm ^[13]	Skylake ^[18]	Broadwell (5th Gen) ^[18]	2014-09-05	Broadwell-EX ^[19]	Broadwell-EP ^[19]	Broadwell-E	Broadwell-DT	Broadwell-H (37W - 47W TDP) Broadwell-U (15W - 28W TDP) Broadwell-Y (4.5W TDP)
Tock			Skylake (6th Gen) ^[18]	2015-08-05 ^[20]	Skylake-EX	Skylake-SP (formerly Skylake-EP) ^[21]	Skylake-X ^[22]	Skylake-S	Skylake-H (35W - 45W TDP) Skylake-U (15W - 28W TDP) Skylake-Y (4.5W TDP)
Optimizations ^{[23][24][25][26]}	10 nm ^[31]	Ice Lake ^[26]	Kaby Lake (7th Gen) ^[27]	2017-01-03 ^[28]			Kaby Lake-X ^[29]	Kaby Lake-S	Kaby Lake-H (35W - 45W TDP) Kaby Lake-U (15W - 28W TDP) Kaby Lake-Y (4.5W TDP)
Process			Coffee Lake	1H 2018 ^[30]					
Architecture	7 nm ^[31]		Cannonlake	2H 2017 ^[27]					
Optimization ^[26]			Ice Lake ^[26]	Tigerlake ^[26]	2019				
Process	5 nm ^[31]								
Architecture									
Optimization									

Modelo Tick-Tock da Intel



Released · Canceled · Future · Microarchitecture name

Comparação do número de estágios dos Pipelines

Year ↕	Microarchitecture ↕	Pipeline stages ↕	max. Clock ↕
1989	486 (80486)	3	100 MHz
1993	P5 (Pentium)	5	300 MHz
1995	P6 (Pentium II)	14 (17 with load & store/retire) ^[further explanation needed]	450 MHz
1999	P6 (Pentium III)	12 (15 with load & store/retire)	450~1400 MHz
2000	NetBurst (Pentium 4)	20 unified with branch prediction	800~3466 MHz
2003	Pentium M	10 (12 with fetch/retire) ^[further explanation needed]	400~2133 MHz
2004	Prescott	31 unified with branch prediction	4000 MHz
2006	Intel Core	12 (14 with fetch/retire)	3333 MHz
2008	Nehalem	20 unified (14 without miss prediction)	3600 MHz
2008	Bonnell	16 (20 with prediction miss)	2100 MHz
2011	Sandy Bridge	14 (16 with fetch/retire)	4000 MHz
2013	Silvermont	14-17 (16-19 with fetch/retire)	2670 MHz
2013	Haswell	14 (16 with fetch/retire)	4400 MHz
2015	Skylake	14 (16 with fetch/retire)	4200 MHz
2016	Goldmont (Atom microarchitecture)	20 unified with branch prediction	3500 MHz
2016	Kabylake	14 (16 with fetch/retire)	4500 MHz
2017	Cannonlake	14	?