

SSC0611

Arquitetura de Computadores

13ª Aula – Paralelismo em nível de instrução

Profa. Sarita Mazzini Bruschi

sarita@icmc.usp.br

Tipos de Paralelismo

- BLP: Bit Level Parallelism
 - Interno a instrução
 - Baseado no aumento do tamanho da palavra do processador
 - Explorado desde a década de 70
- ILP: Instruction Level Parallelism
 - Paralelismo entre instruções
 - Explorado a partir do final da década de 80
 - Processadores cada vez mais complexos
 - Duas maneiras:
 - Aumentar a profundidade do pipeline
 - Replicar os componentes internos de modo a iniciar várias instruções em cada estágio do pipeline. Técnica chamada **despacho múltiplo**

Tipos de Paralelismo

- TLP: task level parallelism
 - Vários enfoques:
 - Processo
 - Thread
 - Job
- DLP: Data Level Parallelism (em paralelo)
 - Explorado em arquiteturas SIMD, Arranjos Sistólicos, etc.

Pipeline avançado

- Despacho múltiplo
 - Despacho múltiplo estático
 - Maioria das decisões são tomadas pelo compilador
 - Despacho múltiplo dinâmico
 - Maioria das decisões são tomadas em tempo de execução pelo hardware
- Dois pontos:
 - Deve-se empacotar as instruções em slots de despacho
 - Deve-se lidar com as dependências de dados e de controle

Pipeline avançado

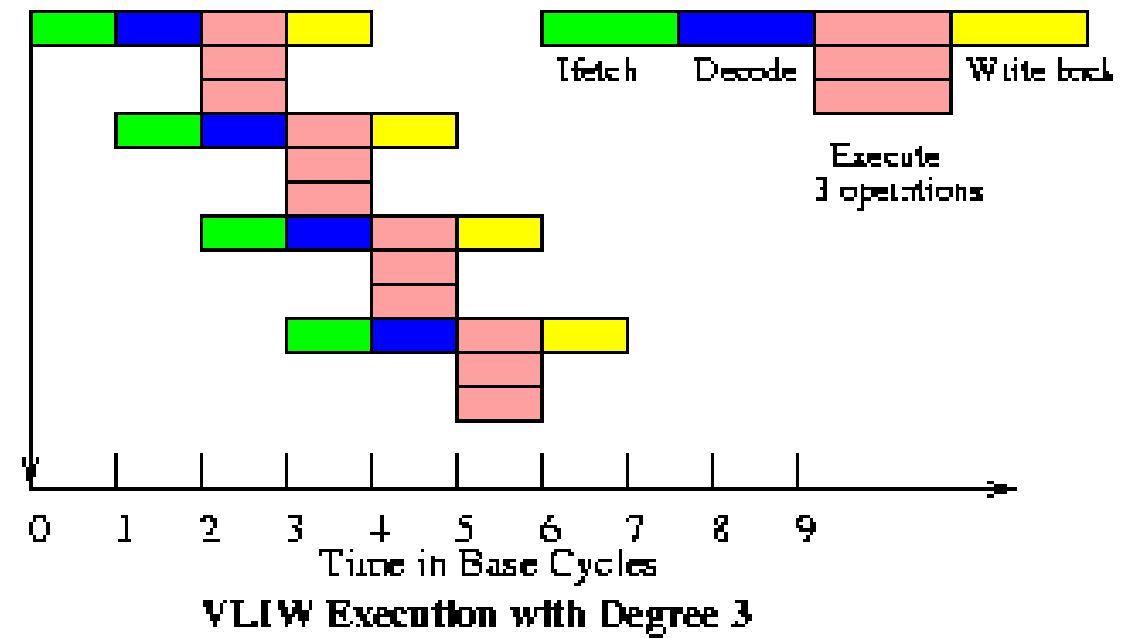
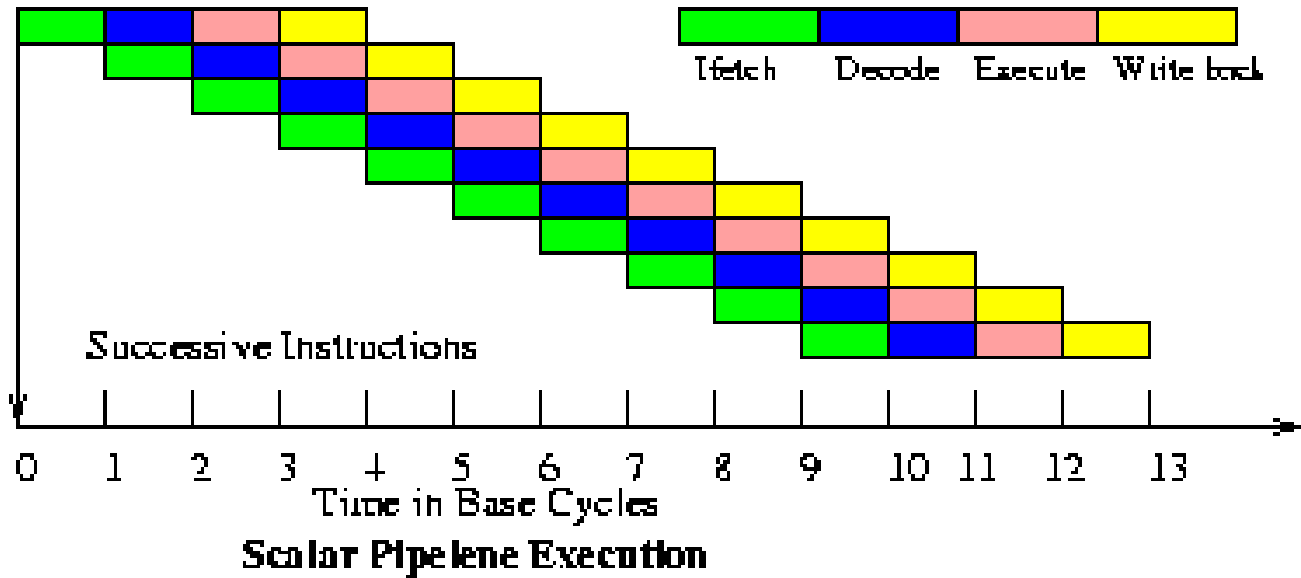
- Especulação

- Técnica que o processador ou o compilador tentam adivinhar o resultado o resultado de uma instrução para removê-la como dependência na execução de outras instruções
- Exemplo:
 - Pode-se especular que uma instrução load depois de uma instrução store não se refere ao mesmo endereço e a instrução load poderia ser executada antes
- Problema:
 - A especulação pode estar errada e aí é necessário método para verificar se foi especulado corretamente ou não
 - Necessário também método para retroceder, o que aumenta a complexidade dos processadores que implementam essa técnica

Despacho estático

- Utilizam o compilador para ajudar no empacotamento
- **Pacote de despacho:**
 - Conjunto de instruções despachadas juntas
 - Uma única grande instrução com várias operações - **VLIW** (*Very Long Instruction Word*)
 - Arquitetura IA-64 utiliza essa técnica com um outro nome: EPIC (*Explicitly Parallel Instruction Computer*)
- Os compiladores assumem também responsabilidade por tratar dependências de dados e de controle

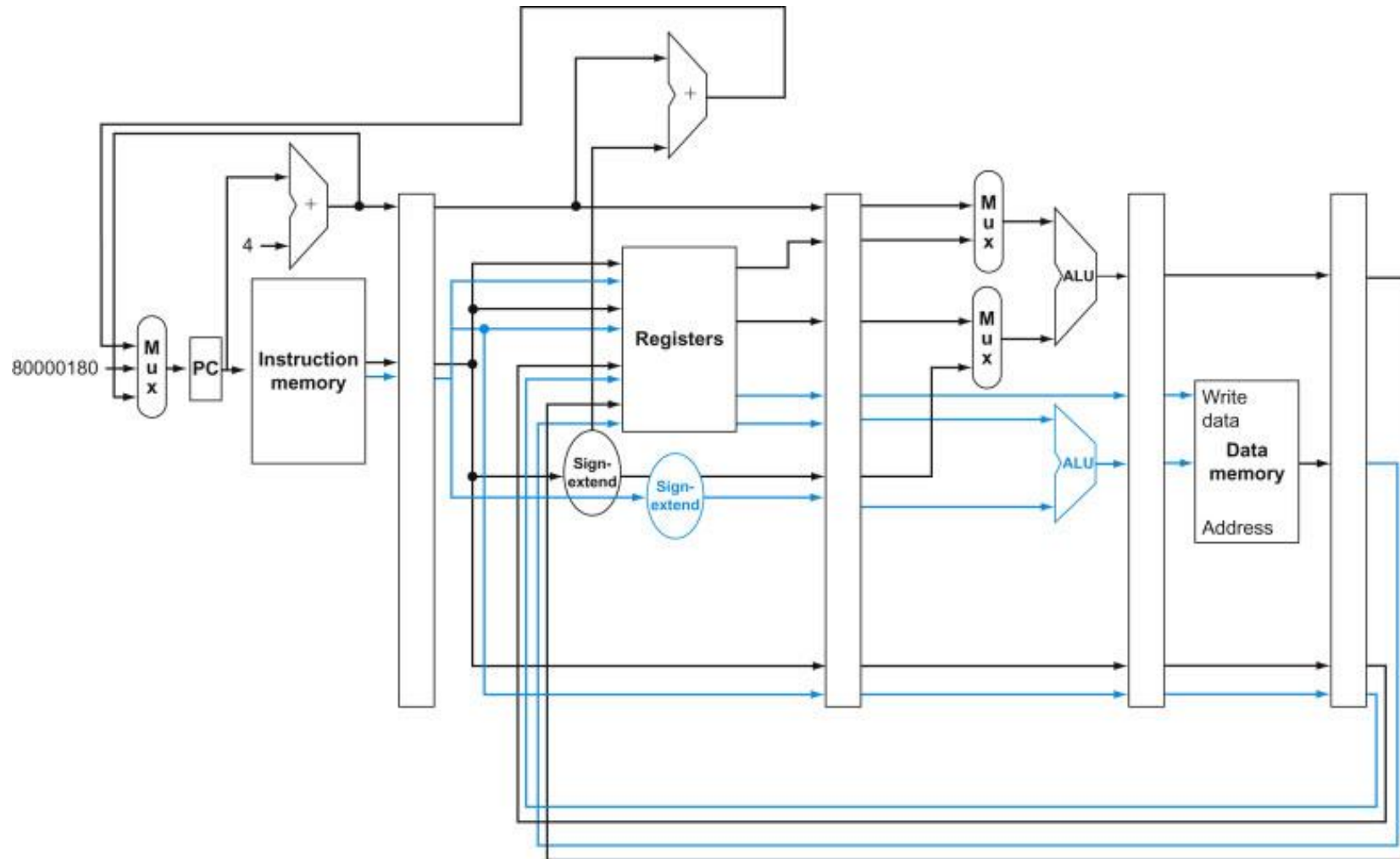
VLIW



Despacho estático na arquitetura MIPS

Instruction type	Pipe stages							
ALU or branch instruction	IF	ID	EX	MEM	WB			
Load or store instruction	IF	ID	EX	MEM	WB			
ALU or branch instruction		IF	ID	EX	MEM	WB		
Load or store instruction		IF	ID	EX	MEM	WB		
ALU or branch instruction			IF	ID	EX	MEM	WB	
Load or store instruction			IF	ID	EX	MEM	WB	
ALU or branch instruction				IF	ID	EX	MEM	WB
Load or store instruction				IF	ID	EX	MEM	WB

Despacho estático na arquitetura MIPS



Exemplo de escalonamento de código com despacho múltiplo

```
loop: lw    $t0, 0($s1)
      addu  $t0, $t0, $s2
      sw    $t0, 0($s1)
      addi  $s1, $s1, -4
      bne   $s1, $zero, loop
```

	ALU or branch instruction	Data transfer instruction	Clock cycle
Loop:		lw \$t0, 0(\$s1)	1
	addi \$s1, \$s1, -4		2
	addu \$t0, \$t0, \$s2		3
	bne \$s1, \$zero, Loop	sw \$t0, 4(\$s1)	4

Desdobramento de loop (*Loop unrolling*)

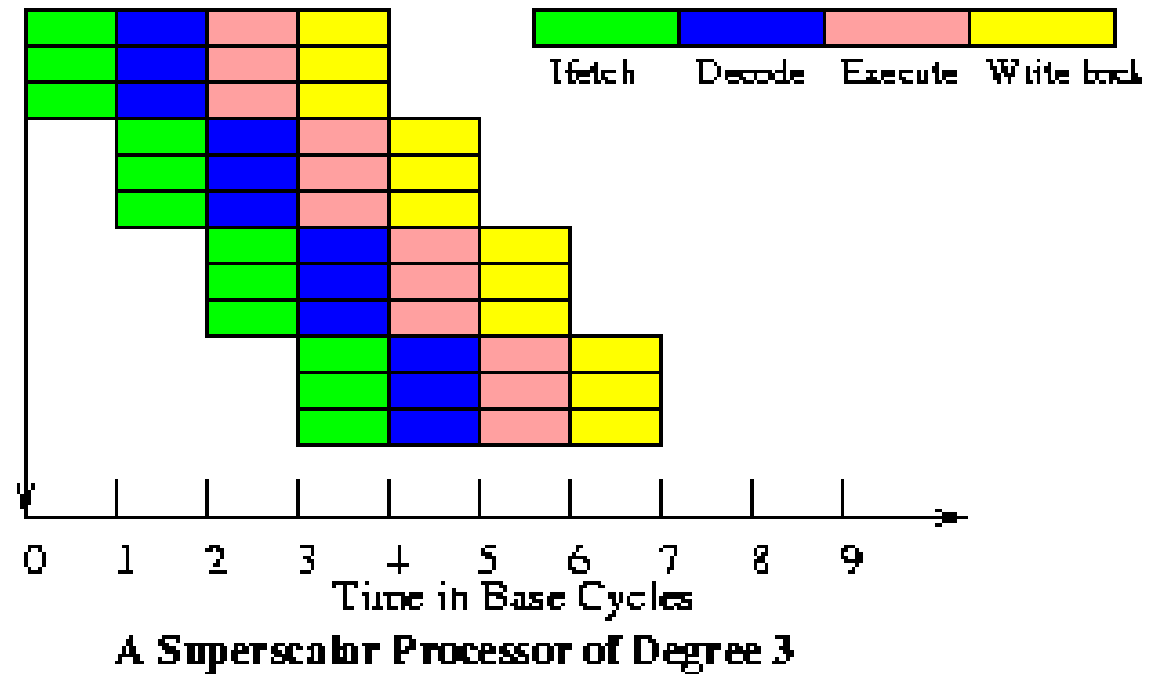
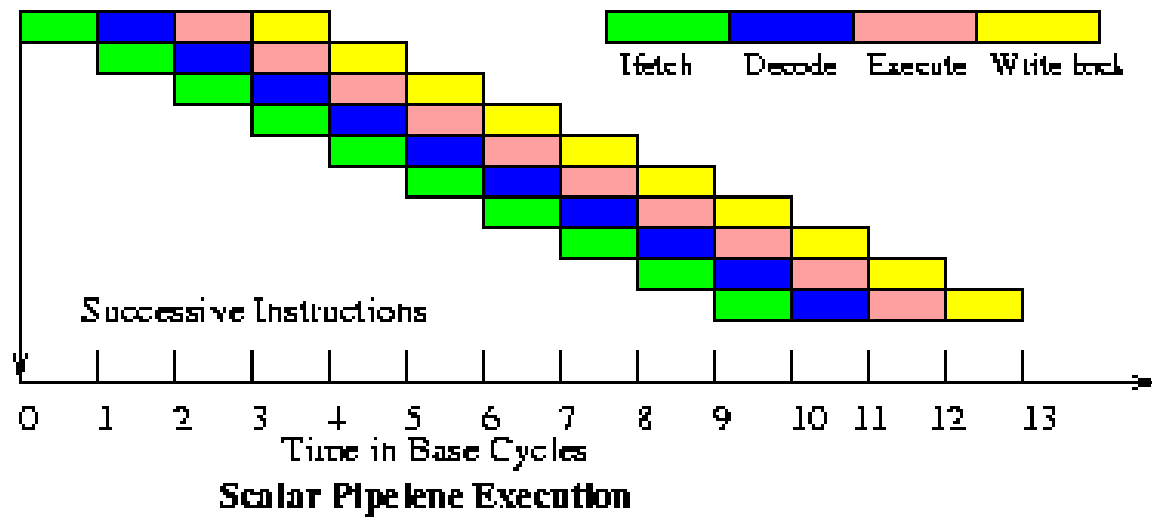
- Técnica utilizada pelo compilador para tentar aproveitar melhor o despacho estático nos loops

	ALU or branch instruction	Data transfer instruction	Clock cycle
Loop:	addi \$s1,\$s1,-16	lw \$t0, 0(\$s1)	1
		lw \$t1, 12(\$s1)	2
	addu \$t0,\$t0,\$s2	lw \$t2, 8(\$s1)	3
	addu \$t1,\$t1,\$s2	lw \$t3, 4(\$s1)	4
	addu \$t2,\$t2,\$s2	sw \$t0, 16(\$s1)	5
	addu \$t3,\$t3,\$s2	sw \$t1, 12(\$s1)	6
		sw \$t2, 8(\$s1)	7
	bne \$s1,\$zero,Loop	sw \$t3, 4(\$s1)	8

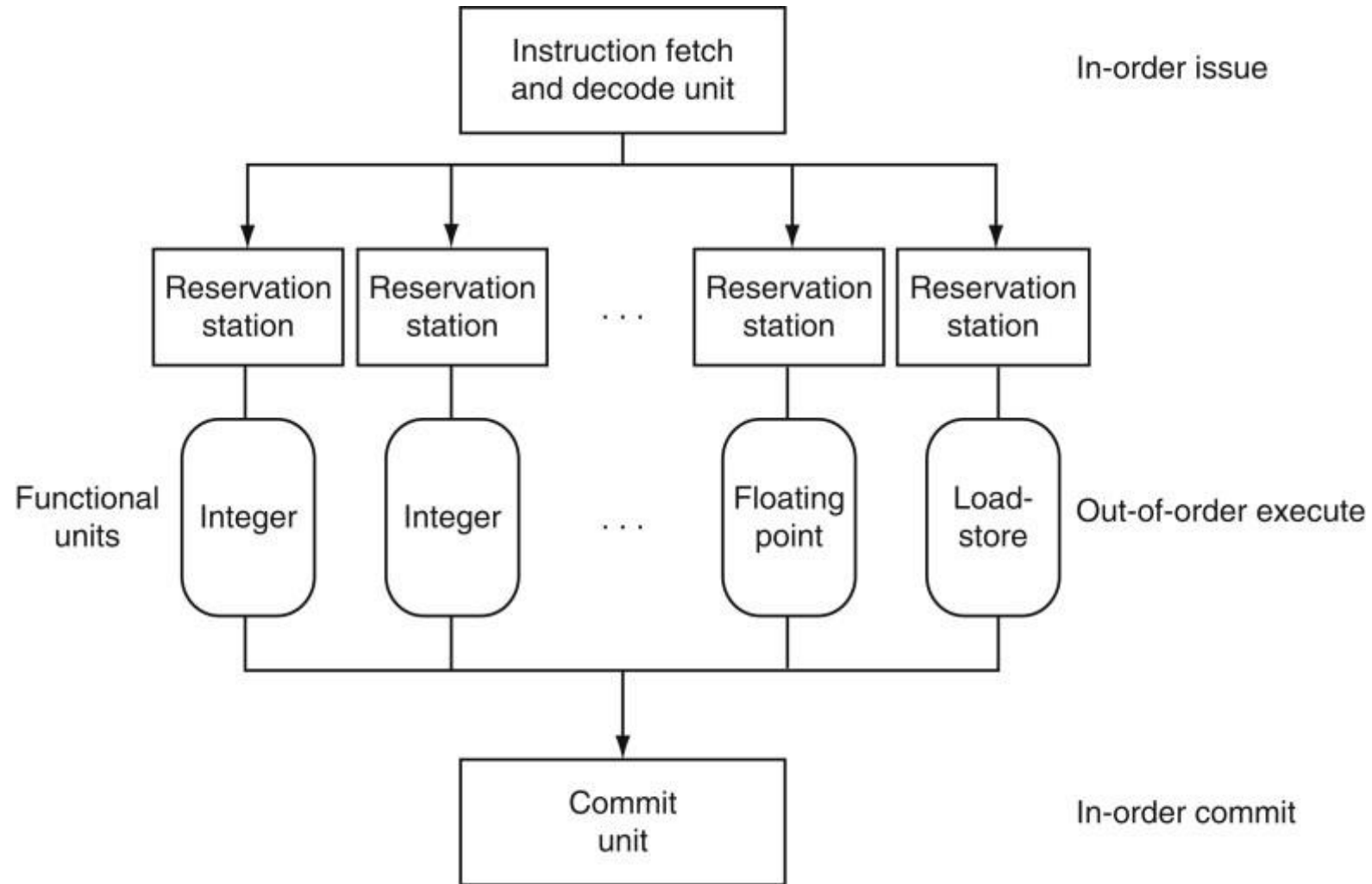
Despacho múltiplo dinâmico

- Processadores que utilizam o despacho dinâmico também são chamados de Superescalares
 - Processador permite a execução de mais de uma instrução por ciclo de clock
- Nessa técnica há o suporte do hardware para modificar a ordem de execução das instruções de modo a evitar as paradas

Superescalar



Despacho múltiplo dinâmico



Exemplos de processadores

Microprocessor	Year	Clock Rate	Pipeline Stages	Issue Width	Out-of-Order/Speculation	Cores/Chip	Power	
Intel 486	1989	25 MHz	5	1	No	1	5	W
Intel Pentium	1993	66 MHz	5	2	No	1	10	W
Intel Pentium Pro	1997	200 MHz	10	3	Yes	1	29	W
Intel Pentium 4 Willamette	2001	2000 MHz	22	3	Yes	1	75	W
Intel Pentium 4 Prescott	2004	3600 MHz	31	3	Yes	1	103	W
Intel Core	2006	2930 MHz	14	4	Yes	2	75	W
Intel Core i5 Nehalem	2010	3300 MHz	14	4	Yes	1	87	W
Intel Core i5 Ivy Bridge	2012	3400 MHz	14	4	Yes	8	77	W

Pipeline Core i7

