

Lista da aula 1

Questão 1: Considerando as regras de layout apresentadas, identifique no próprio layout abaixo 8 violações de regras de layout. Assuma que os contatos são de 2x2 μm . Explique cada uma das violações.

Regras de Layout:

N+/P+ (source /drain/tap) diffusion

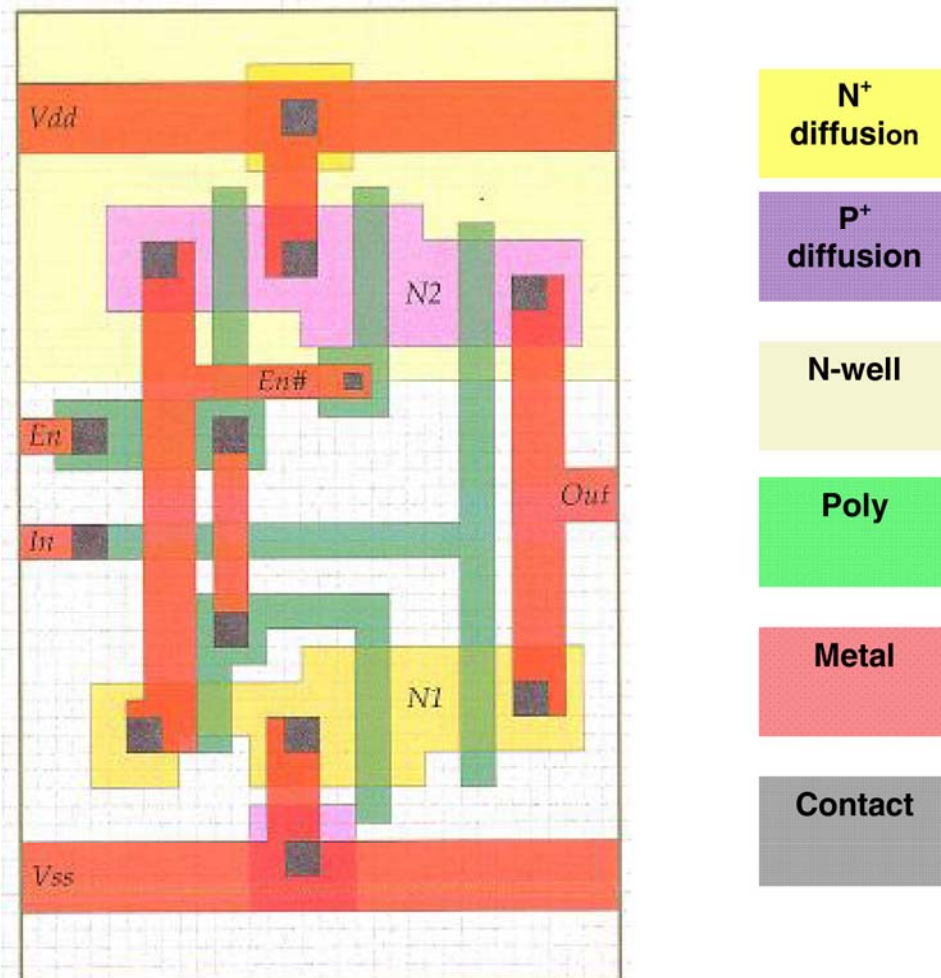
D1.	Minimum width	3.0 μm
D2.	Minimum spacing	2.0 μm
D3.	Minimum S/D diffusion-over-gate poly overlap	3.0 μm

Poly

P1.	Minimum width	2.0 μm
P2.	Minimum spacing (field poly & stacked gates)	3.0 μm
P3.	Minimum field poly to source/drain diffusion spacing	1.0 μm
P4.	Minimum field poly to tap diffusion spacing	0.0 μm
P5.	Minimum poly gate end cap	2.0 μm

Contact

C1.	Minimum width	2.0 μm
C2.	Minimum spacing	2.0 μm
C3.	Minimum spacing to gate poly	2.0 μm
C4.	Minimum diffusion-over-contact overlap	2.0 μm
C5.	Minimum poly-over-contact overlap	1.0 μm



Questão 2: Procure na internet pelo Semiconduction Industry Association (SIA) Roadmap. Dentre as informações disponíveis fale um pouco das necessidades previstas para o desempenho da litografia no ano de 2025. Cite por exemplo comprimento de canal físico, precisão de alinhamento, tamanho do campo de exposição, etc.

Questão 3: Em microeletrônica muito se fala de controle de processo. Explique o que as tabelas sobre litografia querem dizer quando mencionam por exemplo “ $\sigma_{\text{overlay}} = 3\text{nm}$ 6σ ”. Do ponto de vista prático, o que quer dizer isso? E se fosse 3σ ? Como você explicaria isso a um leigo?

Questão 4: Busque informações sobre o custo de um jogo de máscaras para processos de ponta (tecnologia melhor que 100nm).