****

**Departamento de Engenharia Elétrica e de Computação**

# SEL 384 – Laboratório de Sistemas Digitais I

Profa. Luiza Maria Romeiro Codá

PRÁTICA Nº2

## “CARACTERÍSTICAS ELÉTRICAS DOS CIs”

**1. Objetivos:**

* Aprender quais os cuidados a serem tomados ao ligar um circuito a outro de mesma família (ex: TTL) e de famílias diferentes (ex: TTL e CMOS)
* Obter experimentalmente o fan-out do CI

**2. Lista de Material:**

CI’s: 74LS00, 74LS04, 4069

Potenciômetro 470 Ω ou qualquer valor até 1KΩ

Painel, cabos de ligações.

Dois multímetros (voltímetro e amperímetro)

**Observação: informações sobre os CIs se encontram na pasta Componentes**

**3. Procedimento Experimental:**

#####

 **3.1 Medida do fan-out:**

**3.1.1** Calcule o fan-out teórico para a porta NAND ( CI 7400) através da expressão **(1)** abaixo, obtendo os valores de **IoH** max , **IoL** max ,**IiH** max **, IiL** max**,** nas especificações do fabricante.

**Fan-out = mín (nH, nL)**

Onde:  (1a) e   (1b) (1)

**3.1.2** Ligue a saída de uma porta NAND à entrada de duas outras portas NAND, como mostra a Figura 1(a), e preencha a tabela Tabela I na Folha de Respostas. Os parâmetros da Tabela I são medidos em relação à porta1. Acrescente mais duas portas NAND, Figura 1(b) e refaça as medidas completando a Tabela I.

**3.1.3** Com os valores obtidos da Tabela I obtenha a expressão da reta de I x N e estime o valor máximo de N para **IoH** max (NH)e **IoL** max  (NL), obtidos nas especificações do fabricante de dispositivos TTL, na pasta **COMPONENTES**. O fan-out, experimental será o mínimo [NH e NL ]. que representa o número máximo de portas que poderiam ser ligadas á saída de uma porta .Compare o valores experimental com o teórico obtido pela expressão **(1)** e discuta os resultados obtidos. Discuta sobre os resultados



#  Figura 1. Circuito para medida do fan-out de uma porta NAND.

**3.1.4** Verifique os valores de tensões VoL  e VoH  medidos para 2 e 4 portas, compare com os valores de VoLmax  e VoHmin  obtidos das especificações do fabricante. Verifique que a corrente é que é o fator limitante para ligar portas em paralelo na saída da mesma porta. Explique por que?

 **3.2 Compatibilidade entre CIs de famílias diferentes:**

**3.2.1** Verifique, através das informações do fabricante, que não existe nenhuma incompatibilidade nos níveis lógicos do circuito da Figura 2, inversor CMOS (CD4069) acionando um inversor TTL (74LS04). Explique o porque. Não precisa montar.



 **Figura 2 Porta CMOS acionando uma porta TTL.**

 **3.2.2** Analise os valores das características elétricas dos CIs 74LS04 e 4069 e verifique se é possível utilizar um inversor TTL (74LS04) para acionar um inversor CMOS. (4069) diretamente. Caso não seja possível, verifique onde ocorre incompatibilidade nos níveis lógicos. Explique por quê?

Para corrigir a incompatibilidade, monte o circuito da Figura 3, para tal calcule Ri, através das expressões (12.1) e (12.2) do arquivo ”Introdução”, sabendo-se que:

CMOS: 4069: ViHmin = 4Volts

 Ci = 15 p F

 t = 90 ns

TTL: 74LS04: VoLmax = 0,4V

IoLmax = 8mA

 Varie a tensão na entrada do TTL (Vi TTL ) e verifique a tensão na saída do CMOS (Vo cmos). Verifique se a faixa em que a tensão no TTL (Vi TTL) que é nível alto corresponde a nível alto na saída do CMOS (Vo cmos). Da mesma forma verifique se a faixa em que a tensão no TTL (Vi TTL) que é nível baixo, corresponde à nível baixo na saída do CMOS.(Vo cmos). Para isso verifique essa faixa nas especificações do fabricante. Discuta o resultado obtido.



**Figura 3 Circuito a ser montado, porta TTL acionando porta CMOS, com interface para compatibilidade entre famílias diferentes.**

**3.2.3 Calcule a imunidade de ruído dos dois CIs utilizados no item 3 (verificar nas especificações do fabricante). A expressão se encontra na Apostila de Laboratório.**

* + 1. **Verifique o atraso de propagação para os dois CIs utilizados no item 1 (verificar nas especificações do fabricante).**
		2. **Com base nos valores encontrados nos itens 3.2.3 e 3.2.4 compare os dois CIs e conclua a respeito.**

**4. Questões:**

**4.1** Procure nos sites citados no arquivo “INTRODUÇÃO”, o preço dos CIsutilizados nesta prática.

1. **Bibliografia:**
* Fregni, E. & Saraiva, A.M., “Engenharia do Projeto Lógico Digital”, Ed. Edgard Blücher Ltda.
* Tocci, J.R., “Sistemas Digitais- Princípios e Aplicações”, Ed. Prentice Hall do Brasil
* Roteiro de Teoria e Prática do Módulo Digital Avançado 8810 DATAPOOL.

****

**Departamento de Engenharia Elétrica e de Computação**

# SEL 384 – Laboratório de Sistemas Digitais I

Profa. Luiza Maria Romeiro Codá

FOLHA DE RESPOSTAS: PRÁTICA Nº2

## “CARACTERÍSTICAS ELÉTRICAS DOS CIs”

|  |
| --- |
| NOTA: |

**TURMA: DATA:**

**NOMES: Nº USP**

|  |  |
| --- | --- |
|  |  |
|  |  |

**3.1 FAN-OUT:**

**3.1.1 Fan-out teórico:**

**3.1.2**

**Tabela I**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Número de portas (N)** | **IoL** | **IoH** | **VoL(V)** | **VoH (V)** |
| **2** |  |  |  |  |
| **4** |  |  |  |  |

**3.1.3 Cálculo do Fan-out experimental**

**Comparação entre Fan-out experimental e Fan-out teórico:**

**3.1.4 RESP:**

**3.2 COMPATIBILIDADE ENTRE CIs DE FAMÍLIA DIFERENTES:**

**3.2.1** CMOS (CD4069) acionando um inversor TTL (74LS04):

**3.2.2** Verificação da compatibilidade de TTL (74LS04) acionando um inversor CMOS (CD4069):

**Cálculo de Ri:**

|  |  |
| --- | --- |
| **Vi TTL (volts)** | **Vo cmos(volts)** |
|  |  |
|  |  |

**Conclusão:**

**3.2.3 Imunidade ao ruído**

**3.2.4 Tempo de Propagação:**

|  |  |
| --- | --- |
| **tpTTL**  | **tpcmos** |
|  |  |

**3.2.5 RESP:**