

PSI2662 – Projeto em Sistemas Eletrônicos Embarcados: Sensores e Atuadores

Distribuição de Clock no KL25Z

Escola Politécnica da Universidade de São Paulo

Prof. Gustavo Rehder – grehder@lme.usp.br



Segundo Semestre de 2015



Distribuição do Clock

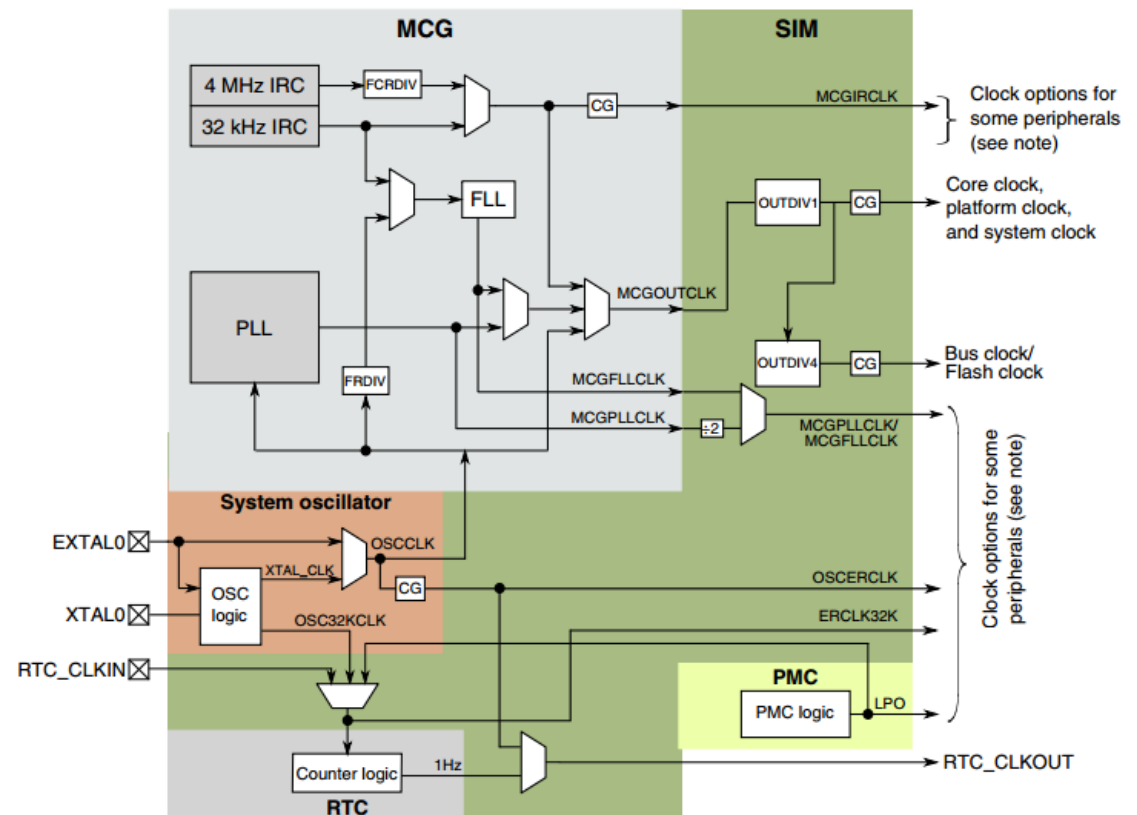
MCG - Multipurpose Clock Generator
SIM - System Integration Module
System Oscilator

Referência:

- interna – menor consumo, menor precisão;
- externa – maior consumo, maior precisão

Multiplicadores:

- FLL – referência de 31.25 a 39.0625 KHz, menor consumo, menos estável, rápida estabilização;
- PLL – referência de 2 a 4 MHz, maior consumo, estabilização mais lenta.





System Oscillator

Table 25-2. External Crystal/Resonator Connections

Oscillator Mode	Connections
Low-frequency (32 kHz), low-power	Connection 1 ¹
Low-frequency (32 kHz), high-gain	Connection 2/Connection 3 ²
High-frequency (3~32 MHz), low-power	Connection 3 ¹
High-frequency (3~32 MHz), high-gain	Connection 3

1. With the low-power mode, the oscillator has the internal feedback resistor R_F . Therefore, the feedback resistor must not be externally with the Connection 3.
2. When the load capacitors (C_x , C_y) are greater than 30 pF, use Connection 3.

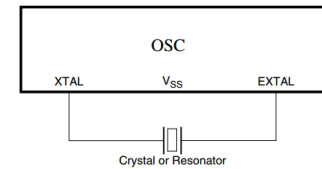


Figure 25-2. Crystal/Ceramic Resonator Connections - Connection 1

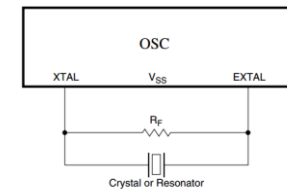


Figure 25-3. Crystal/Ceramic Resonator Connections - Connection 2

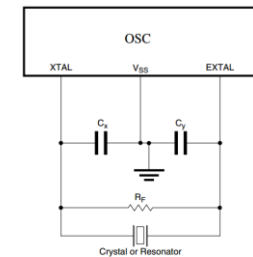


Figure 25-4. Crystal/Ceramic Resonator Connections - Connection 3

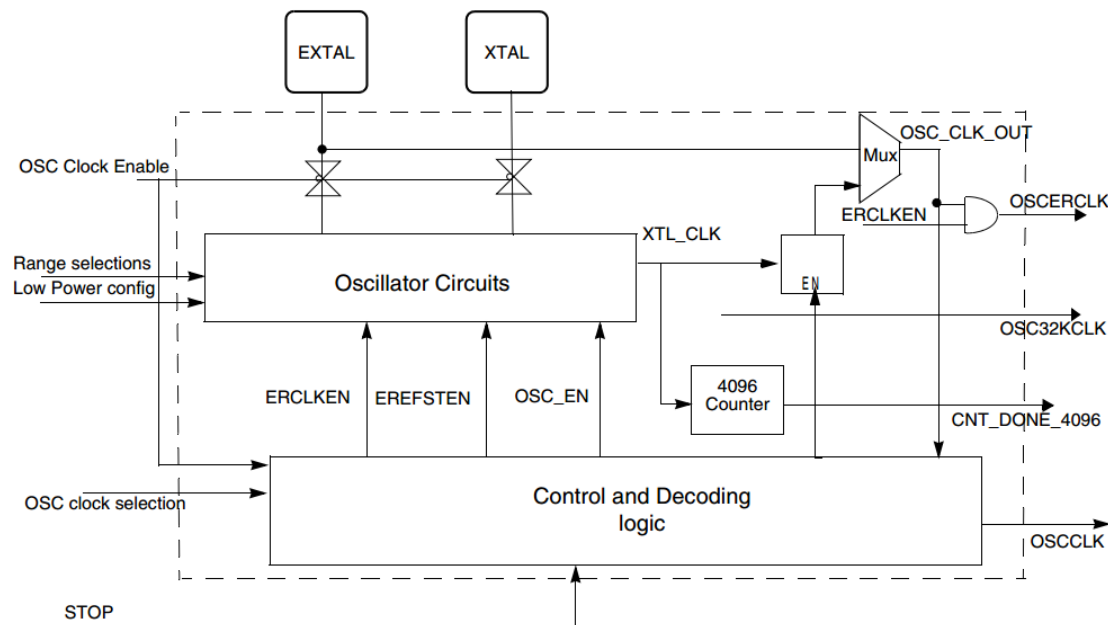


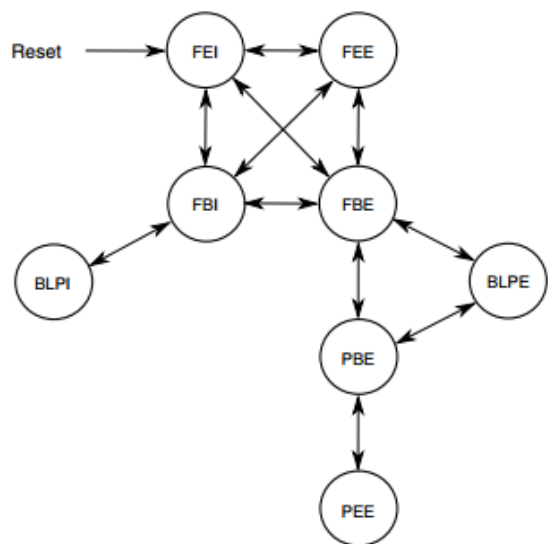
Figure 25-1. OSC Module Block Diagram

Connection 1 and Connection 2 should use internal capacitors as the load of the oscillator by configuring the CR[SCxP] bits



MCG

- FLL Engaged Internal (FEI) clock mode
- FLL Bypassed Internal (FBI) clock mode
- FLL Bypassed External (FBE) clock mode
- FLL Engaged External (FEE) clock mode
- PLL Bypassed External (PBE) clock mode
- PLL Engaged External (PEE) clock mode
- Bypassed Low Power External (BLPE) clock mode
- Bypassed Low Power Internal (BLPI) clock mode



Entered from any state when the MCU enters Stop mode → **Stop** → Returns to the state that was active before the MCU entered Stop mode, unless a reset occurs while in Stop mode.

Figure 24-16. MCG mode state diagram

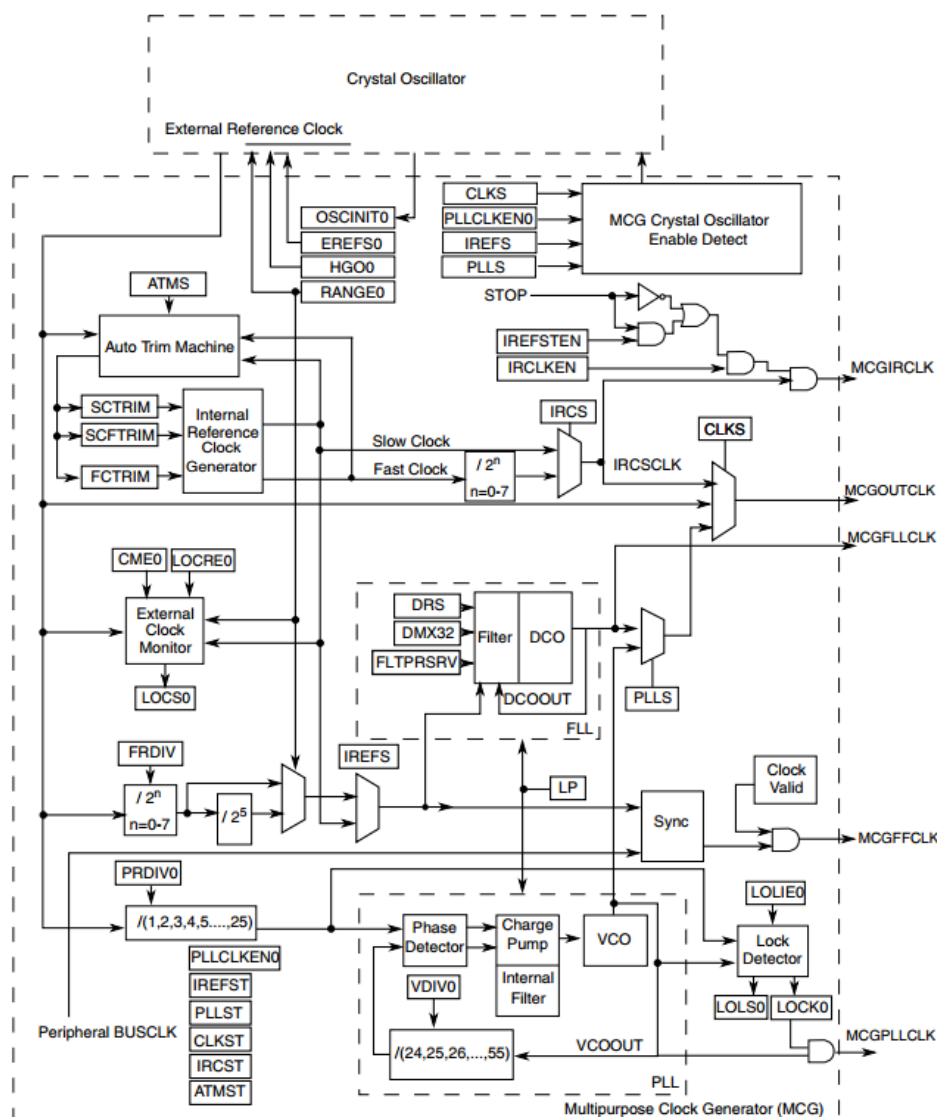


Figure 24-1. Multipurpose Clock Generator (MCG) block diagram



Comparação entre os modos do MCG

FEI

- Modo default ao inicializar;
- Referência interna;
- $\pm 0.5\%$ de precisão com temperatura;
- Frequência Máxima CPU = ~ 48 MHz

FBI

- Referência interna rápida;
- Frequência Máxima CPU = 4 MHz;
- Frequência Máxima Bus = 4 MHz;
- FFL ligado, mas não utilizado;
- Boa precisão.

FBE

- Referência externa;
- FFL ligado, mas não utilizado;
- Frequência Máxima CPU = 8 MHz;
- Frequência Máxima Bus = 8 MHz;
- Alta precisão;

FEE

- Referência externa;
- Frequência Máxima CPU = 40 MHz;
- Boa precisão.

Frequência Máxima CPU = 48 MHz

Frequência Máxima Bus = 24 MHz

PEE

- Referência externa;
- Frequência Máxima CPU = 48 MHz;
- Mais preciso que FEE, mas menos que PBE e FBE;

PBE

- Referência externa;
- Frequência Máxima CPU = 8 MHz;
- Frequência Máxima Bus = 8 MHz;
- Maior precisão;

BLPE

- Referência externa;
- Frequência Máxima CPU = 4 MHz;
- Frequência Máxima Bus = 0.8 MHz;
- Maior precisão;

BLPI

- Referência interna rápida;
- Frequência Máxima CPU = 4 MHz;
- Frequência Máxima Bus = 1 MHz;

- Boa precisão.

Consumo: BLPI < BLPE < FB < PBE < FE < PE

Clock Monitor – reset se FLL ou PLL perdem o lock

Interrupção para perda de clock



Consumo

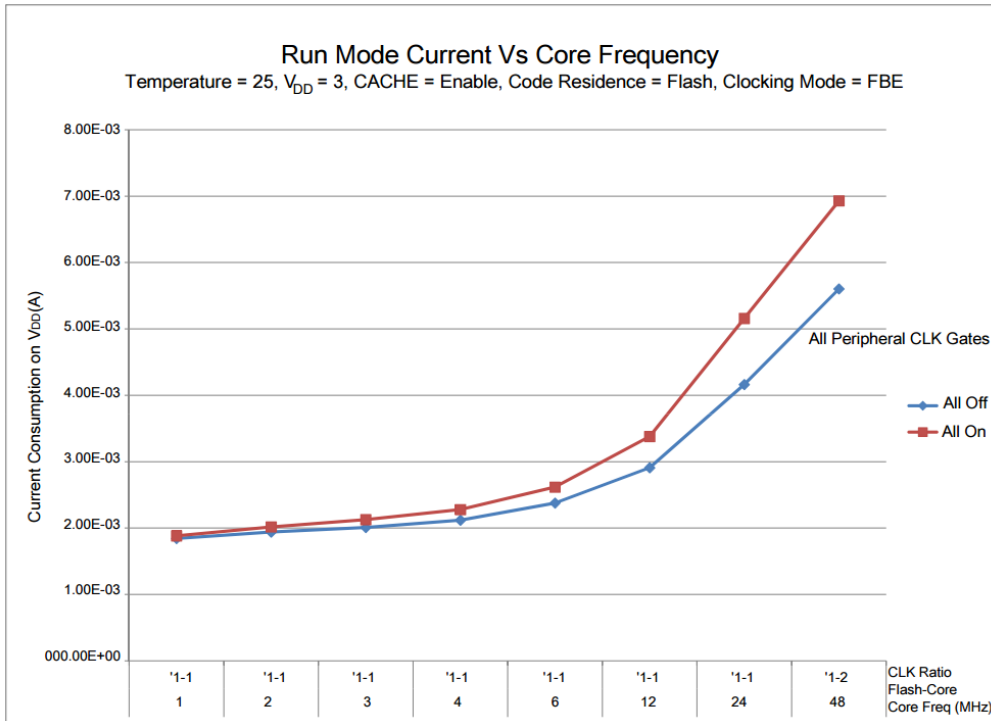


Figure 3. Run mode supply current vs. core frequency

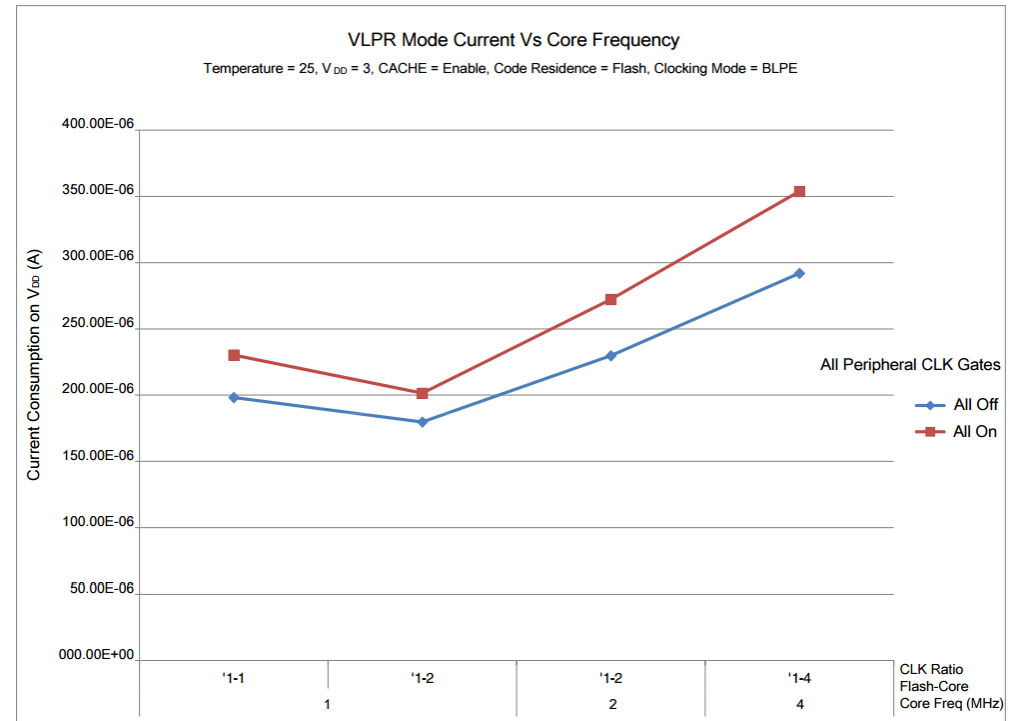


Figure 4. VLPR mode current vs. core frequency



Exercício

- Configurar o KL25Z para operar em todos os modos de operação com a máxima frequência permitida para a MCU e para o Bus.
 - Observar a frequência do Bus no pino PTC3. Configurar pino nas configurações da CPU em “Internal Peripherals”, “System Integration Module” utilizando o Processor Expert;
 - Configura o “Clock Settings” e “Clock Configurations” nas configurações da CPU.