

***Departamento de Engenharia Elétrica e de Computação***

# *SEL* 405 – Introdução ao Laboratório de Sistemas Digitais I

Profa. Luiza Maria Romeiro Codá

PRÁTICA Nº10

**“CIRCUITOS SEQUENCIAIS: CONTADORES**”

**1.. Objetivos:**

* Verificar o funcionamento de circuitos que utilizam Flip-flop como contadores :
* Analisar as saídas dos contadores como divisores de frequência
* Identificar as diversas configurações dos Flip-flops nos circuitos comerciais.
* utilização do programa QUARTUSII da empresa ALTERA no projeto e síntese de circuitos em dispositivos “CPLD (Dispositivo Lógico Programável Complexo e FPGA( Arranjo de Portas Programável em Campo).

**2. Lista de Material:**

* CIs: 7400,
* Resistores: 1 kΩ
* Chave H-H
* Painel lógico ou matriz de contatos
* Osciloscópio.
* Placa UP2- Altera
* CPLD EPM7128SLC84 da família MAX 7000S

#### Observação: informações sobre os CIs se encontram na pasta Componentes

3. Procedimento Experimental:

 3.1. Contador binário :

3.1.1 Utilizando o software Quartus da Altera crie um projeto em esquemático utilizando o CI 7493, contador binário da biblioteca Maxplus. Faça as ligações necessárias no projeto do CI 7493, como mostra a Figura 1, para a contagem em binário (verifique o funcionamento do 7493 na pasta: componentes-TTL-7490). Ligue suas saídas a um decodificador 7446 (decodificador BCD para display anodo comum), e crie as saídas para os segmentos do display de a a g como pino output. Atribua as pinagens do display Digit 2 da placa UP2, figura 2, como mostra a tabela 1. Sintetize o projeto no CPLD da placa UP2.

3.1.2 Coloque na entrada ClkA o clock do gerador de frequência em (1Hz ou 10Hz), saída TTL, e verifique os valores do display. Responda na folha de resposta o que visualizou no display

 **3.1.3** Verifique, no analisador lógico do osciloscópio, as formas de ondas de saídas do contador em relação ao clock**.** Salve as imagens através da saída USB e coloque as ondas no relatório anotando o nome de cada onda no desenho, e determinando a sua frequência em relação ao sinal de clock.



Figura 1 Esquema em blocos de um contador binário assíncrono 7493.



Figura 2 Displays da placa UP2\_Altera

Tabela I conexões do CPLD para os displays na placa UP2

|  |  |  |
| --- | --- | --- |
| Segmento do Display | Pinos do Digit 1 | Pinos do Digit 2 |
| a | 58 | 69 |
| b | 60 | 70 |
| c | 61 | 73 |
| d | 63 | 74 |
| e | 64 | 76 |
| f | 65 | 75 |
| g | 67 | 77 |
| Ponto decimal | 68 | 79 |

 **Funcionamento do analisador lógico:** conectar ocabo do analisador na entrada DIGITAL como mostra a Figura3, desativar canal 1 e canal 2, e ativar a Tecla Digital. Irá acender a seta à esquerda da tecla digital (luz verde). Então, habilitar os canais utilizados que podem ser de D0 a D7de acordo com as pontas de provas usadas. Clicando no botão Auto Scale irão aparecer as formas de ondas. Para salvar as ondas através da entrada USB, clicar no botão SAVE RECALL e na opção salvar.

 Mais informações na área de Trabalho na pasta COMPONENTES, arquivo em .PDF Agilent Manual: Capítulo 6- Canais Digitais, Pagina 89. Página 38 também contém informações rápidas de uso.

****

**Figura 3 Analisador lógico do osciloscópio Agilent MSO-X 2002A**

 **3.1.4** O que acontece com a freqüência das saídas? Todas as saídas podem ser utilizadas como divisores de freqüência**?**

3.1.5. Retire o clock do painel da entrada ClkA do contador, e utilizando uma das chaves SW(chave H-H), mude sua posição para gerar pulsos na entrada de clock. As extremidades da chave estão ligadas uma delas no nível “0”, a outra no nível “1”. Observe que a contagem não é seqüencial explique o motivo.

3.1.6 Em uma matriz de contatos, monte o eliminador de ruído da Figura 4, ligue-o na entrada do clock e verifique os números mostrados no display.



Figura4 Eliminador de ruído de chave.

**3.1.7** Explique o funcionamento do circuito da Figura 4 ( em termos do funcionamento do FFRS)

**3.2 Contador Decimal:**

3.2.1 No projeto modifique a ligação do 7493 para que ele funcione como um contador decimal. Utilize agora o clock do gerador de frequência. Desenhe o esquemático da montagem na folha de respostas.

3.2.2 Acrescente mais um contador, agora um contador decimal, o CI 7490 e os ligue convenientemente para que possam contar até 99. Mostre nos displays a contagem.

3.2.3 Verifique as saídas do 7490 no analisador lógico do osciloscópio e verifique quais delas podem ser usadas como divisor de freqüência.

3.2.4 Mostre como devem ser ligadas as entradas *reset*( R01 e R02) do contador binário 7493 com suas saídas Qi, e indique em qual das saídas Qi é obtido o sinal com as seguintes frequências:

* Freqüência do clock dividida por 2
* Freqüência do clock dividida por 5
* Freqüência do clock dividida por 10
* Freqüência do clock dividida por 13

**3.2.5** Qual é a configuração do FF JK utilizada para construir esses contadores (como estão ligadas as entradas), e qual modo utilizado? (qual nível lógico em que as entradas estão ligadas?

1.
2. **4. Biliografia:**
* Bignell,J. W.& Donovan, R. L.” Eletrônica Digital-Lógica Seqüencial”. Ed Makron Books
* Fregni, E. & Saraiva, ª M., “ Engenharia do Projeto Lógico Digital”, Ed. Edgard Blücher Ltda.
* Tocci, J. R. , “Sistemas Digitais- Princípios e Aplicações
* Roteiro de Teoria e Prática do Módulo Digital Avançado 8810 DATAPOOL



**Departamento de Engenharia Elétrica e de Computação**

# *SEL* 405 – Introdução ao Laboratório de Sistemas Digitais I

Profa. Luiza Maria Romeiro Codá

**FOLHA DE RESPOSTAS :** **PRÁTICA Nº 10**

|  |
| --- |
| NOTA: |

 **“CIRCUITOS SEQUENCIAIS: CONTADORES**”

 **TURMA: DATA:**

**NOMES: Nº USP**

|  |  |
| --- | --- |
|  |  |
|  |  |

**3.1 Contador Binário 7493:**

**3.1.2** Visualização no display:

3.1.3 Formas de ondas das saídas do contador binário em relação ao clock(analisador lógico do osciloscópio)

3.1.4 O que acontece com a freqüência das saídas do item 3.1.3? Todas as saídas podem ser utilizadas como divisores de freqüência?

 **Resp:**

 **3.1.5** Por que a contagem não é sequencial quando utilizada uma chave H-H comum?

**3.1.6** Montagem do Eliminador de ruído de chave H-H

**3.1.7** Funcionamento do circuito do item 3.1.6(Figura 3) em termos do funcionamento do FFRS:

 **Resp:**

**3.2 Contador Decimal:**

**3.2.1** Montagem do contador Decimal. **Desenhe o esquemático da montagem**:

**3.2.2** Montagem do Contador até 99 usando os CIs 7493 e 7490:

3.2.3 Formas de ondas das saídas do contador decimal(7490) em relação ao clock(analisador lógico do osciloscópio). Coloque as imagens no relatório.

* + 1. Ligação do CI 7493 para obter:

Freqüência dividida por 2:

 Freqüência dividida por 5:

Freqüência dividida por 10:

 Freqüência dividida por 13

* + 1. Qual é a configuração do FF JK utilizada para construir esses contadores (como estão ligadas as entradas), e qual modo utilizado? (qual nível lógico em que as entradas estão ligadas?

**Resp:**