

**Departamento de Engenharia Elétrica e de Computação
SEL 405 – Lab. de Introdução aos Sistemas Digitais I
Profa. Luiza Maria Romeiro Codá**

PRÁTICA N º8

“Dispositivos de Lógica Programável de Alta Complexidade (HCPLD)- “ Circuitos Combinacionais: Somador/Subtrator e decodificação para display de 7 segmentos

1. Objetivos:

- Projeto e síntese de circuitos sequenciais em dispositivo FPGA utilizando o esquemático do Quartus II;
- utilização de circuitos aritméticos e decodificadores BCD para 7 segmentos
- utilização do programa QUARTUSII da empresa ALTERA no projeto e síntese de circuitos em dispositivos “CPLD (Dispositivo Lógico Programável Complexo e FPGA(Arranjo de Portas Programável em Campo).

2. Material utilizado:

- Dispositivo Programável de Alta Complexidade HCPLD do tipo FPGA Cyclone IV da Altera
- Módulo de desenvolvimento Mercúrio IV – Macnica DWH
- Multímetro

3. Procedimento Experimental:

3.1 Utilizando o software QUARTUSII v.12.OSP2, escolha o dispositivo HCPLD Cyclone IV-E EP4CE30F23C7, projete, e teste o funcionamento de um circuito somador/subtrator de 2 bits, como mostrado na figura 1. Um sinal C deve modificar o circuito de somador para subtrator (C='0' soma e C='1' subtração). O nome dos sinais devem ser dados como os da Figura 1. O somador completo deve considerar o carry inicial e final, como o da Figura 2. Utilize o CI 7483 na ferramenta de software Quartus. O 7483 é um somador completo de 4 bits, utilize apenas dois bits de entrada, e o carry inicial, e as saídas apenas dois bits e terceiro bit como carry final. Mostre o resultado da soma/subtração no display de 7 segmentos, cujos segmentos acendem com nível alto. Mostre também o sinal da subtração quando negativa no LED RGB(O LED RGB acende com nível lógico alto). Utilize o decodificador BCD para 7 segmentos (7448) disponível na biblioteca Maxplus no software Quartus, ligado como mostrado na Figura 3. A pinagem do display segue a tabela I.

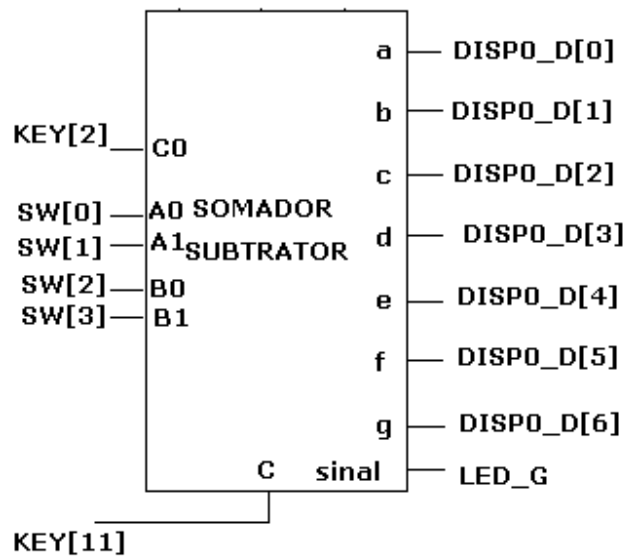


Figura 1 Circuito somador/subtrator

Para criar um arquivo de projeto esquemático no software QuartusII siga os passos do arquivo “Introdução ao QUARTUSII-Esquemático” que se encontra nas informações da disciplina.

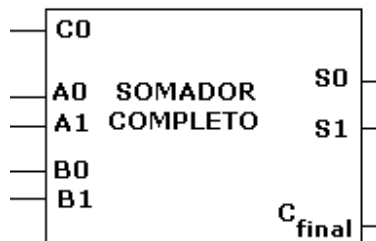


Figura 2 circuito somador completo

3.2 Sintetize no dispositivo no FPGA da ALTERA do módulo mercurio IV o circuito projetado no item 3.1 e teste o funcionamento do circuito. As entradas e saídas do circuito projetado devem ser nomeadas como no circuito da figura1. O sinal de controle C deve ser nomeado como KEY[11]. O arquivo de pinagem (MercurioIV_pin_assignment_certo), se encontra no material didático, e deve ser importado na ferramenta de desenvolvimento Quartus.

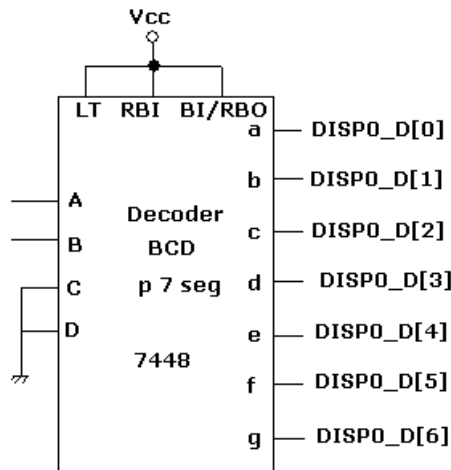


Figura 3 conexões do 7446

.Tabela I Nome dos segmentos do display

segmento	DISP0
a	DISP0_D[0]
b	DISP0_D[1]
c	DISP0_D[2]
d	DISP0_D[3]
e	DISP0_D[4]
f	DISP0_D[5]
g	DISP0_D[6]
Pto. decimal	DISP0_D[7]

3.3 Para o relatório entregar cópia impressa do esquemático com os comentários necessários ao entendimento do que foi projetado, incluindo nomes e número USP dos componentes do grupo. Incluir também figura da simulação.

Informações sobre o dispositivo FPGA EP4CE30F23C7:

Categoria: Circuito Integrado(CI)
 Família: *Embedded - FPGAs (Field Programmable Gate Array)*
 Série: Cyclone IV E
 Número de Blocos Lógicos Configuráveis(CLBs ou LABs): 1803
 Número de bits da RAM: 608256
 Número de portas de Entrada/Saída(I/O): 328
 Tensão de Alimentação: 1,15 V ~ 1,25 V
 Tipo de Montagem: Montagem de superfície

Significado dos Campos do nome do dispositivo:

- EP4CE: Cyclone IV –FPGA de baixo custo
- 30 : quantidade de elementos lógicos: 28848 (aproximadamente 30 mil)
- F23: Encapsulamento: Finline BGA de 23 x 23 mm e 484 pinos
- C: temperatura de operação, 0°C a 85°C
- 7: tempo de atraso da porta: 7ns

4. Bibliografia:

- Site da ALTERA
- Fregni, E. & Saraiva, A.M., “ Engenharia do Projeto Lógico Digital”, Ed. Edgard Blücher Ltda.
- Tocci, J. R. , “Sistemas Digitais- Princípios e Aplicações.