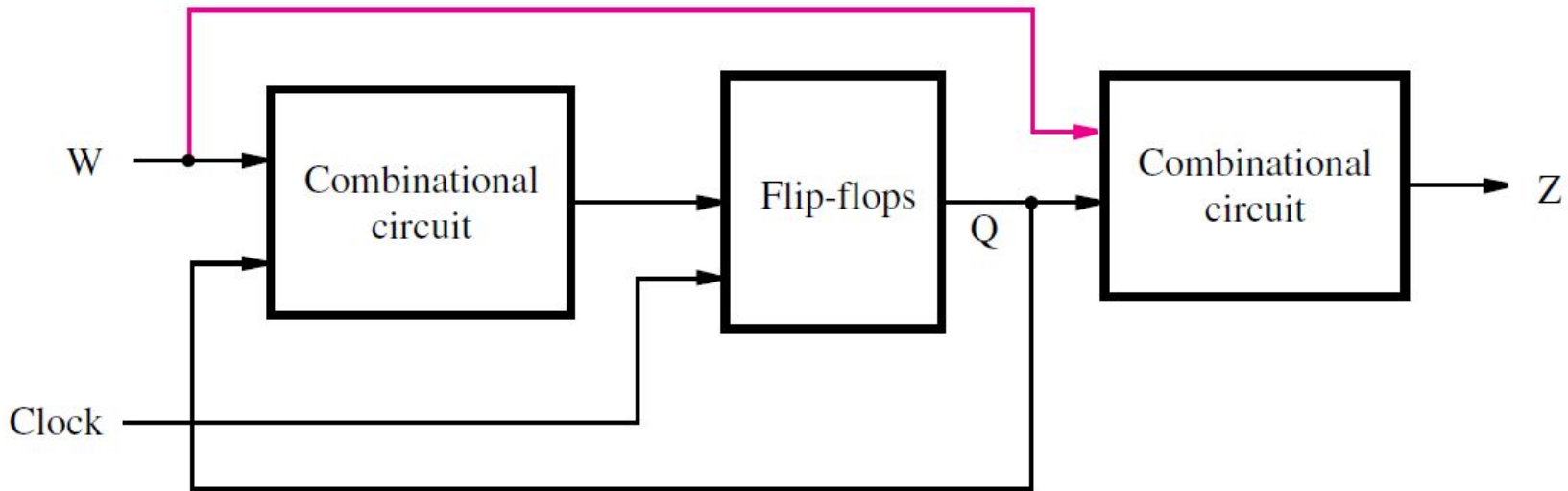


Máquina de Estado Finito (Finite State Machine - FSM)

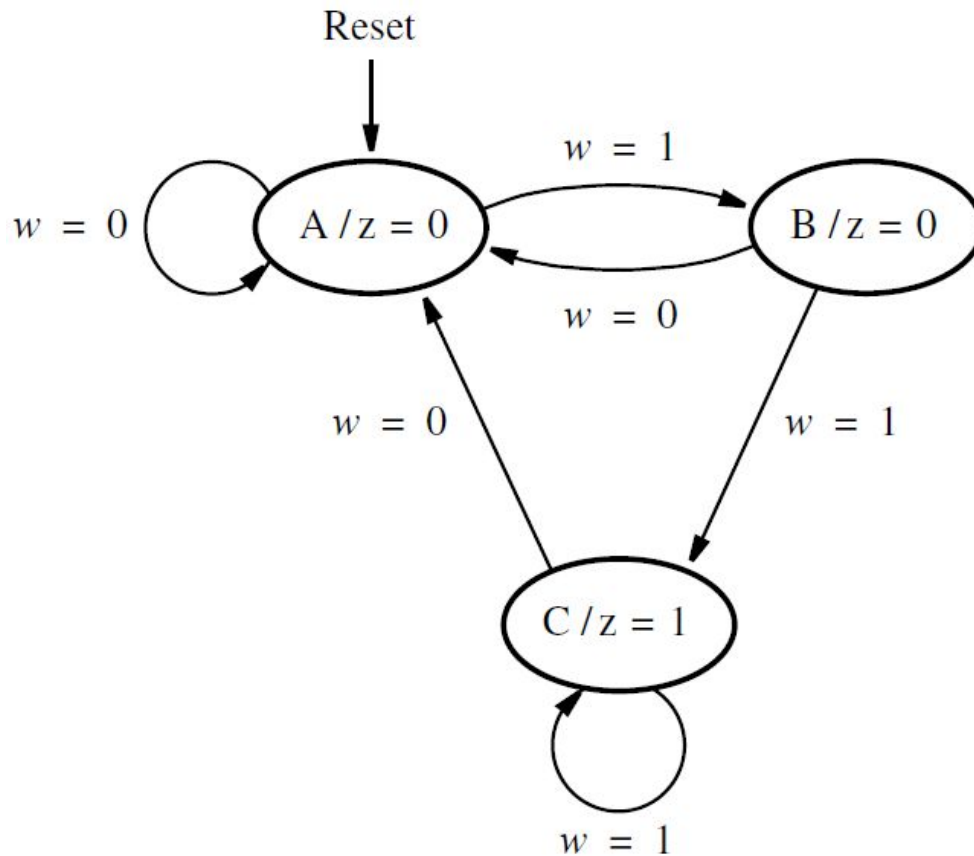
Prof. Vanderlei Bonato

Visão geral de uma FSM

- Sem a linha vermelha é máquina de Moore e com é máquina de Mealy
 - No caso de Mealy, a saída depende da entrada W e do estado atual Q
 - Moore depende somente do estado atual Q



Exemplo - máquina de Moore



Qual algoritmo essa FSM implementa?

Tabela de transição de estados

Present state	Next state		Output z
	$w = 0$	$w = 1$	
A	A	B	0
B	A	C	0
C	A	C	1

Circuito sequencial com entrada w , saída z e dois Flip-Flops de estados

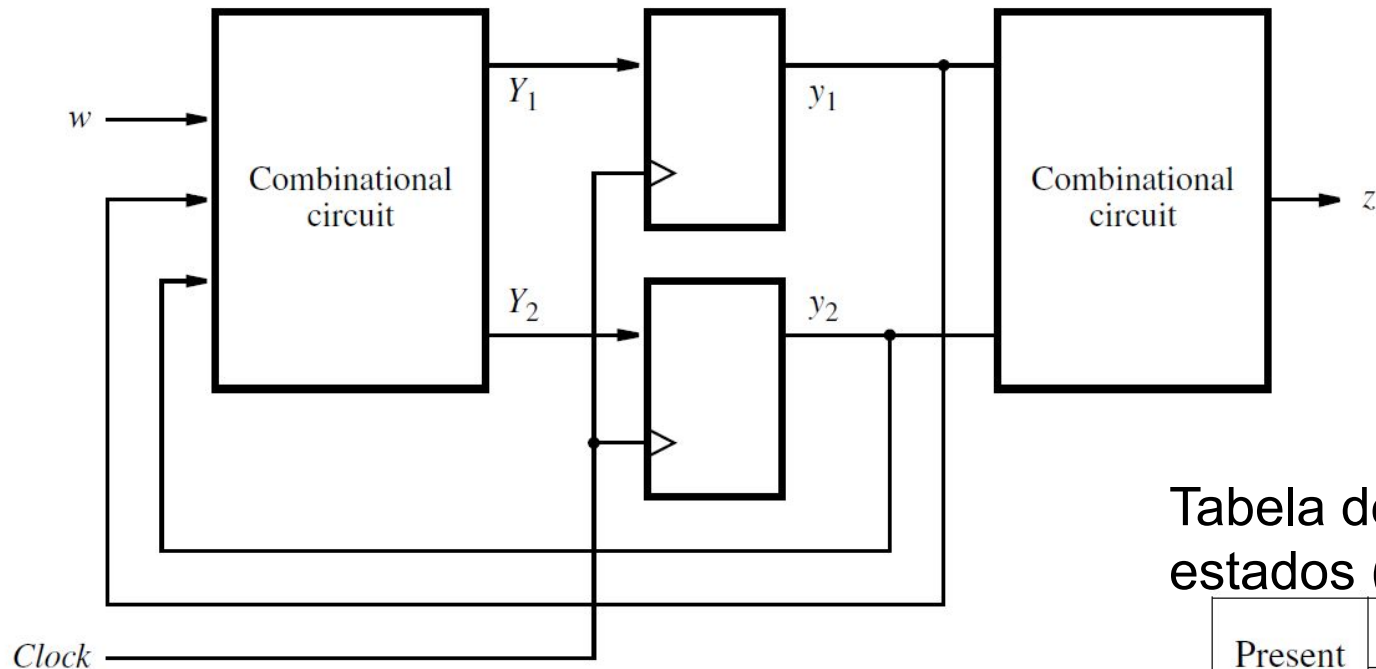


Tabela de transição de estados (com sinais internos)

	Present state $y_2 y_1$	Next state		Output z
		$w = 0$	$w = 1$	
		$Y_2 Y_1$	$Y_2 Y_1$	
A	00	00	01	0
B	01	00	10	0
C	10	00	10	1
	11	dd	dd	d

Função de transição de estado

		$y_2 y_1$			
		00	01	11	10
w	0	0	0	d	0
	1	1	0	d	0

Ignoring don't cares

$$Y_1 = w\bar{y}_1\bar{y}_2$$

Using don't cares

$$Y_1 = w\bar{y}_1\bar{y}_2$$

		$y_2 y_1$			
		00	01	11	10
w	0	0	0	d	0
	1	0	1	d	1

$$Y_2 = wy_1\bar{y}_2 + w\bar{y}_1y_2$$

$$Y_2 = wy_1 + wy_2$$

$$= w(y_1 + y_2)$$

y_2	y_1	
	0	1
0	0	0
1	1	d

$$z = \bar{y}_1y_2$$

$$z = y_2$$

Present state $y_2 y_1$	Next state		Output z
	$w = 0$	$w = 1$	
	$Y_2 Y_1$	$Y_2 Y_1$	
00	00	01	0
01	00	10	0
10	00	10	1
11	dd	dd	d

Circuito secuencial final

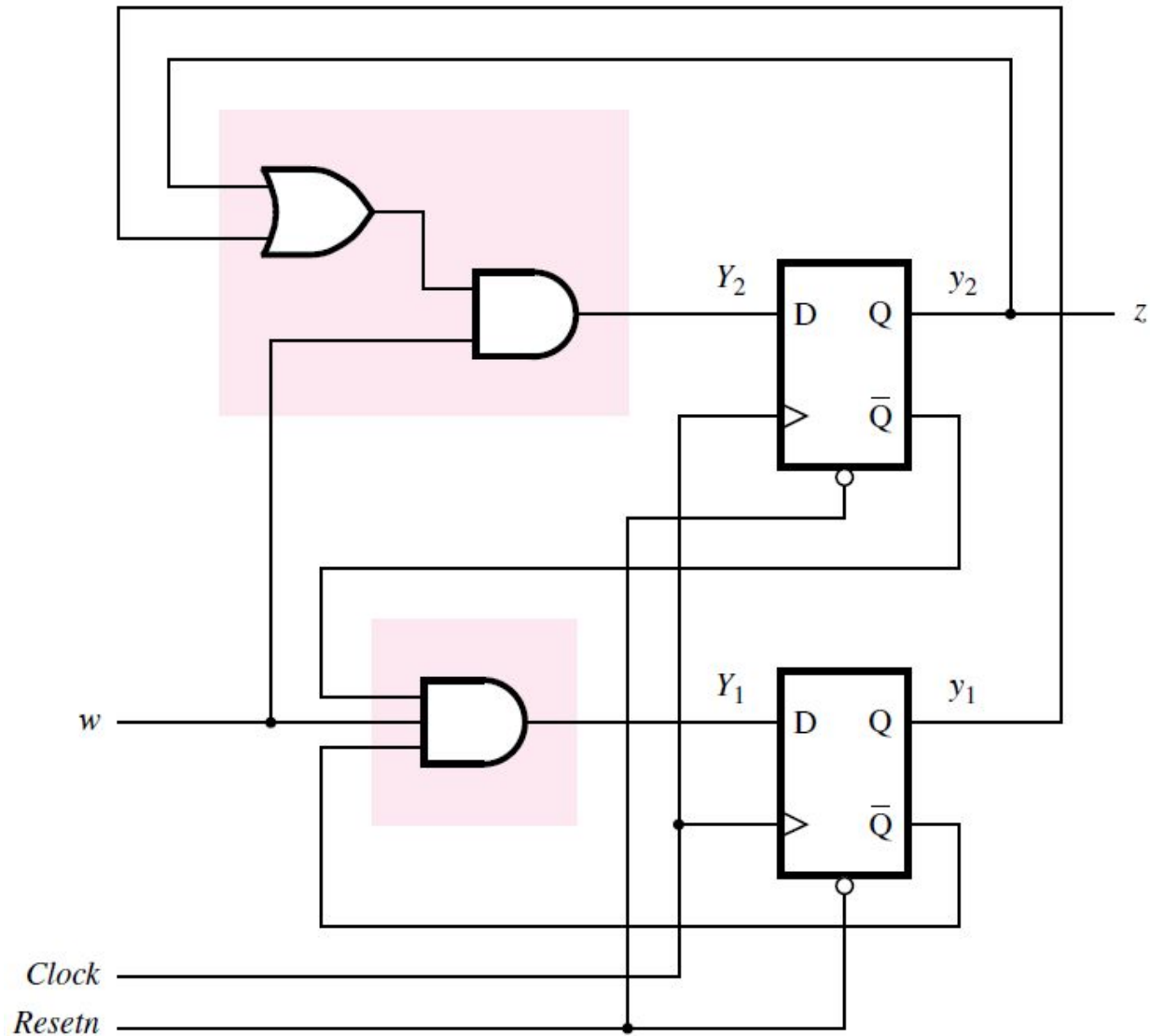
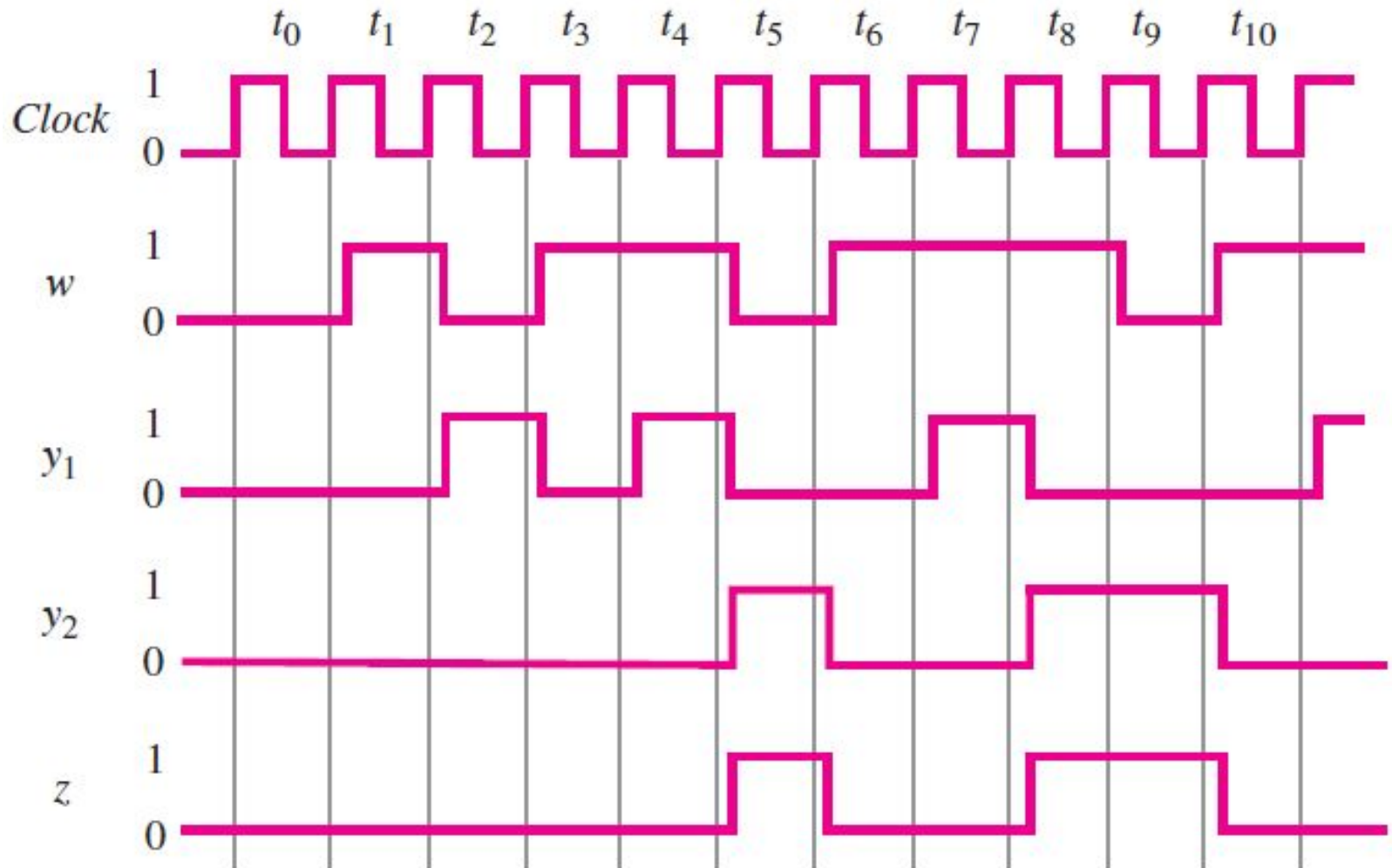
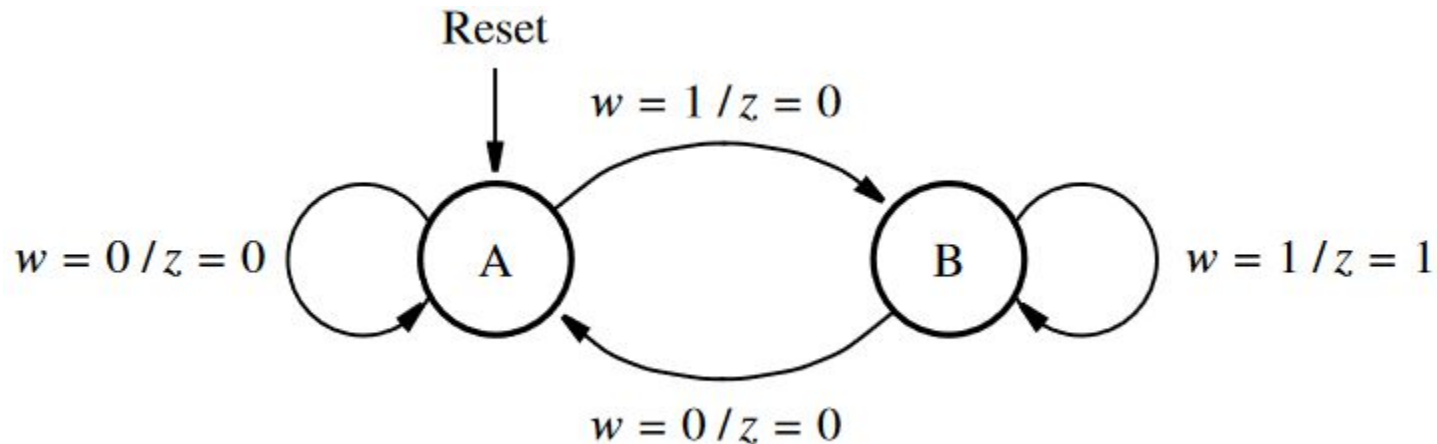


Diagrama de tempo



Representação de modelo de Máquina Mealy

- A ativação da saída está na transição e não dentro do estado como é no modelo Moore



Representação de modelo de Máquina Mealy

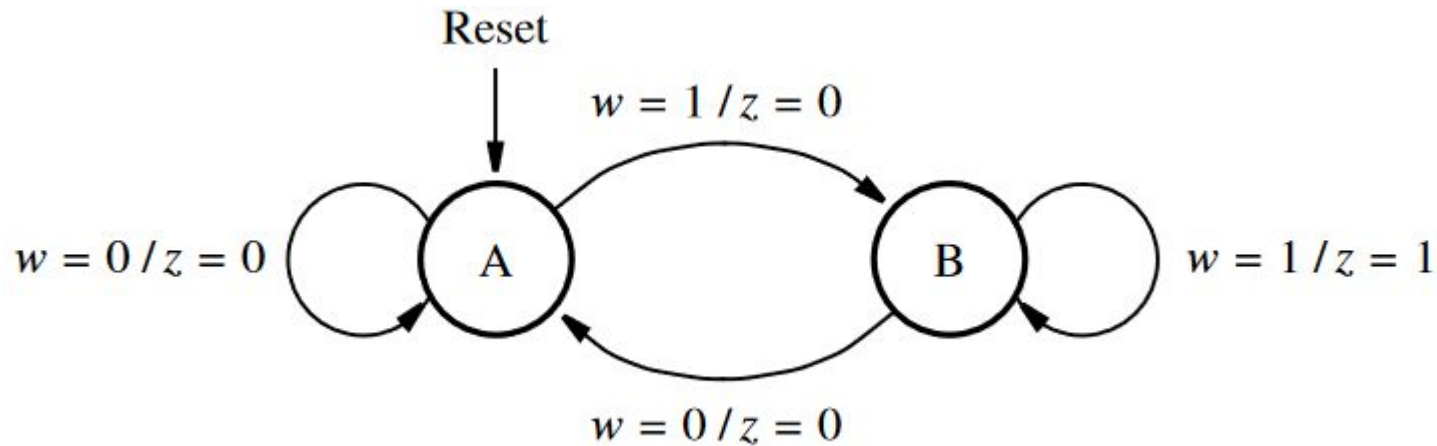


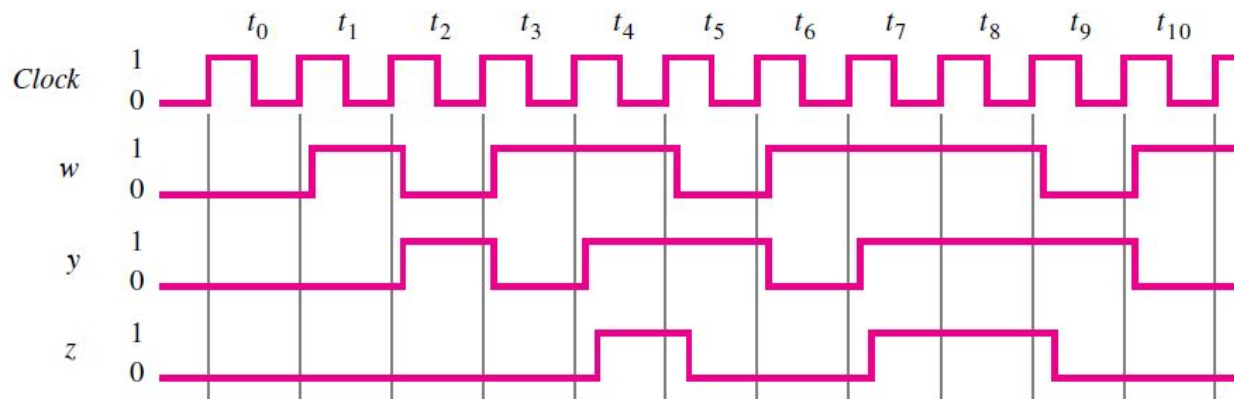
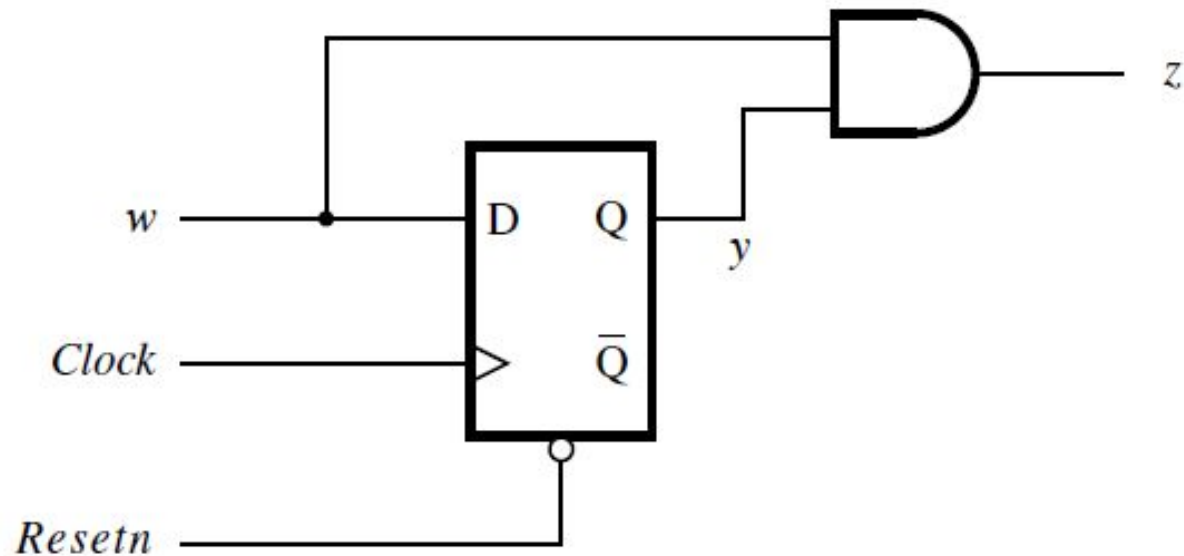
Tabela de estado

Present state	Next state		Output z	
	$w = 0$	$w = 1$	$w = 0$	$w = 1$
A	A	B	0	0
B	A	B	0	1

Tabela de estado com y do FF

Present state	Next state		Output	
	$w = 0$	$w = 1$	$w = 0$	$w = 1$
y	Y	Y	z	z
A	0	1	0	0
B	1	1	0	1

Circuito final e diagrama de tempo



Alarm example in VHDL

```

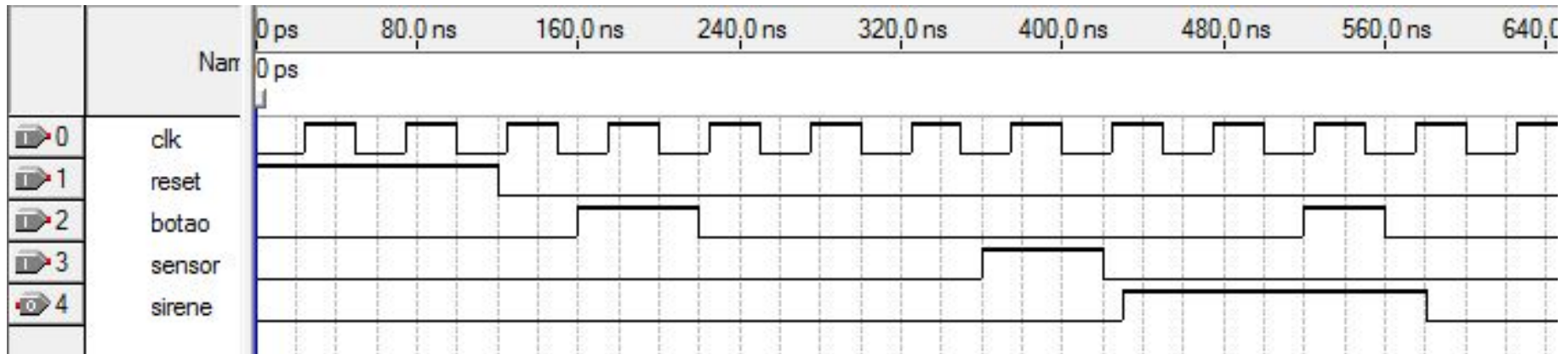
ENTITY alarme IS
    PORT (clk,reset : IN BIT;
          sensor, botao: IN BIT;
          sirene: OUT BIT);
END alarme;
ARCHITECTURE behavior OF alarme IS
    TYPE estados IS (desligado, ativado, disparado);
    SIGNAL estado: estados;
BEGIN
    PROCESS (clk)
    BEGIN
        if (reset = '1') then
            estado <= desligado;
            sirene <= '0';
        elsif (clk'event) and (clk = '1') then
            case estado is
                WHEN desligado =>
                    sirene <= '0';
                    if (botao = '1') then
                        estado <= ativado;
                    end if;
                WHEN ativado =>
                    if (sensor = '1') then
                        estado <= disparado;
                    end if;
                WHEN disparado =>
                    sirene <= '1';
                    if (botao = '1') then
                        estado <= desligado;
                    end if;
            end case;
        end if;
    END PROCESS;
END behavior;

```

Alarm

State Machine Waveform

- Analyse the VHDL source code against this waveform;
- Is it a Moore or Mealy Machine?



Exercício 1

- **Converta a FSM do alarme para o padrão Mealy e adicione temporizadores para que o mesmo toque somente se o sensor ficar acionado por mais de 5 segundos e desligue o alarme (ir para o estado inicial) se o sensor ficar desativado por mais de 20 segundos;**

Exercício 2

- **Implemente com FSM do tipo Moore um elevador para 4 andares com as seguintes entradas e saídas:**
 - **Entradas:**
 - Um botão de chamada externo
 - 4 botões internos para indicar o andar
 - Sensor de fechamento da porta
 - Sensor de presença na porta
 - Um sensor de presença de elevador no andar
 - **Saídas:**
 - Motor elevador (liga/desliga)
 - Direção_elevador (sobe/desce)
 - Motor porta (liga/desliga)
 - Direção_porta (abre/fecha)