

# Configurações das Portas Lógicas

## Aula 3

Profa. Luiza Maria Romeiro Codá



# sistemas digitais x sistemas analógicos

**Sistemas digitais:** as variáveis estão limitadas a um número finito de valores (variação discreta)

**Sistemas analógicos:** as variáveis podem assumir um número indefinido de valores (variação contínua)

**Em termos simplificados, os transístores:**  
dos circuitos analógicos funcionam em modo linear  
dos circuitos digitais funcionam em modo de comutação (corte e saturação)

# Portas Lógicas TTL (ou CMOS)

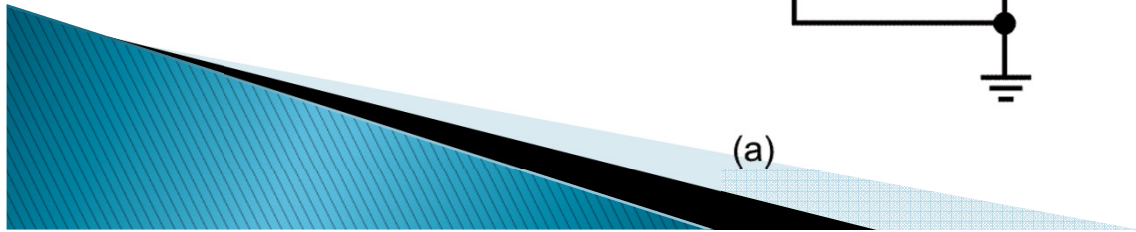
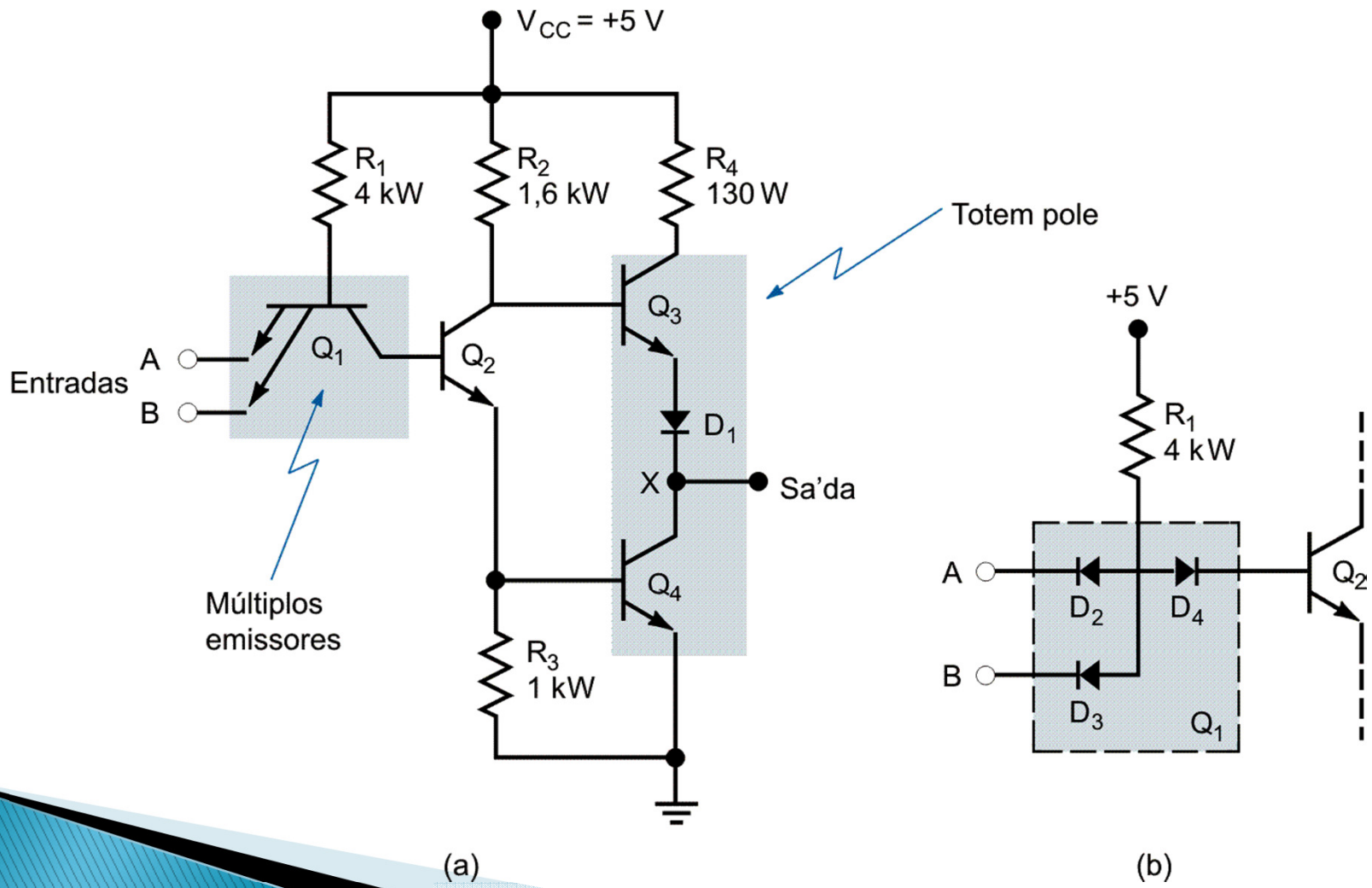
- ✓ Utilizam transistor bipolar (ou MOSFET) como elemento principal na fabricação;
- ✓ Transistor junção de semicondutores NPN ou PNP
- ✓ Baseado no Funcionamento do transistor que se comportam como chave eletrônica: ou estão em condução (1) ou estão ao corte (0).

# Estágio da Saída de Portas Lógicas

- ▶ Há três tipos de circuito de saída usados em portas lógicas :
  - *totem pole*
  - *coletor aberto*
  - *3- state*

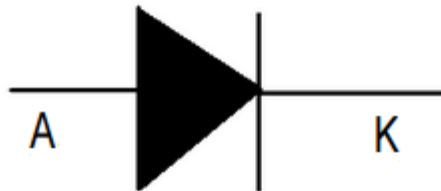
# Porta NAND TTL (*totem pole*)

SEL/EESC-USP Grupo de Sistemas Digitais



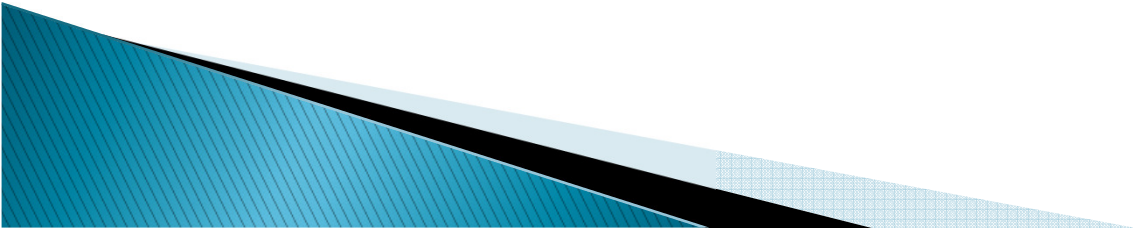
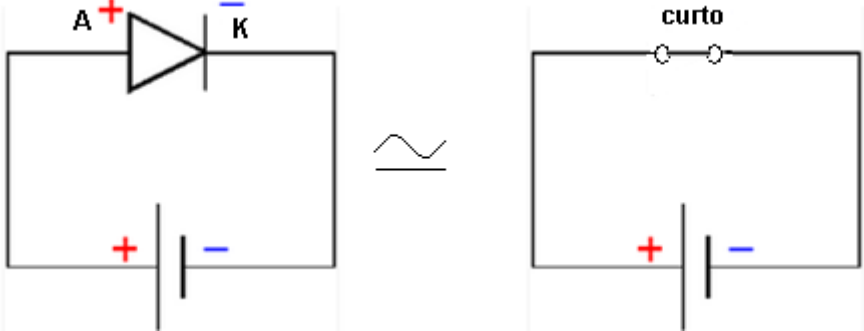
# Diodo

- ✓ Diodo: junção de dois semicondutores PN  
Semicondutor tipo P ( excesso de lacunas);  
Semicondutor tipo N (excesso de elétrons);



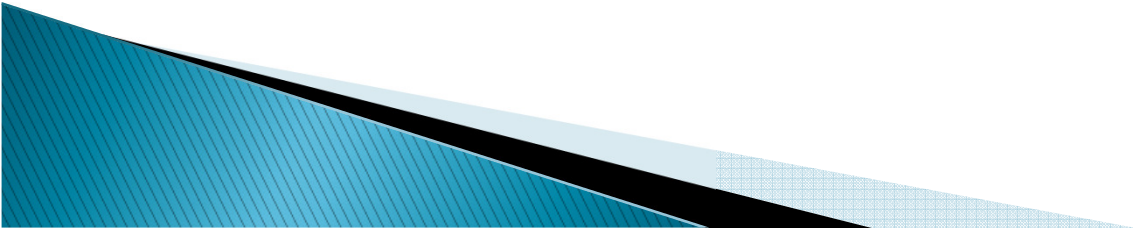
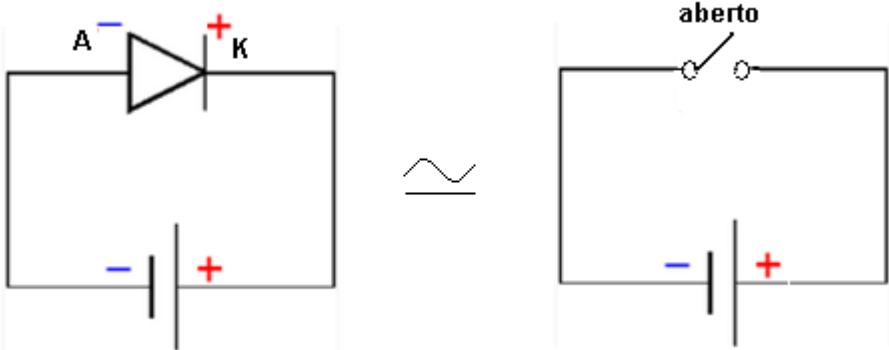
# Funcionamento do diodo: Modelo simplificado

Polarizado diretamente: conduz



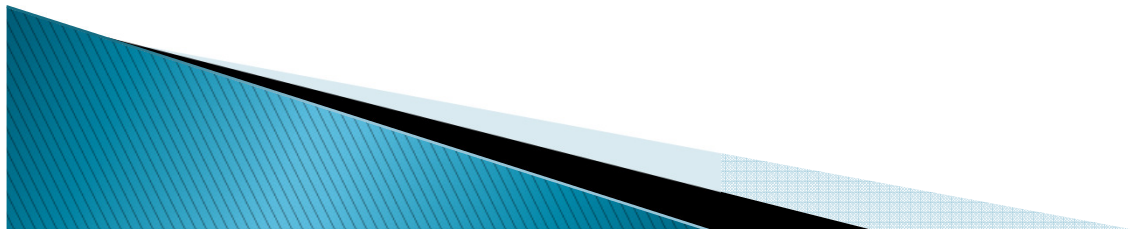
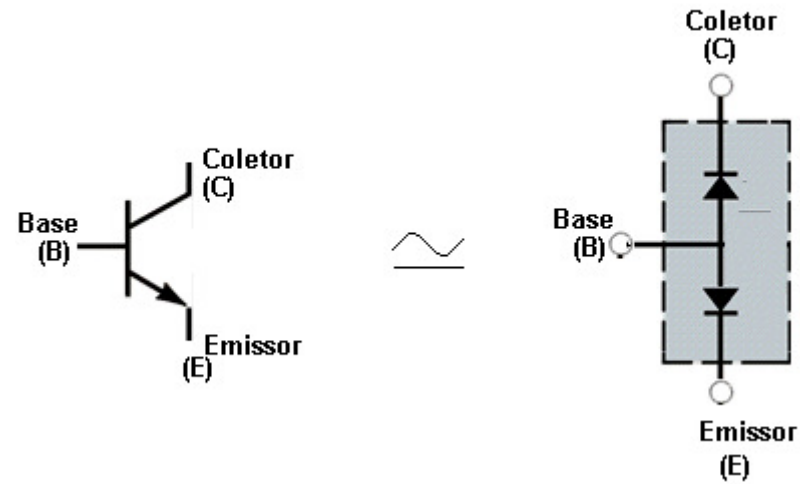
# Funcionamento do diodo: Modelo simplificado

Polarizado reversamente: cortado

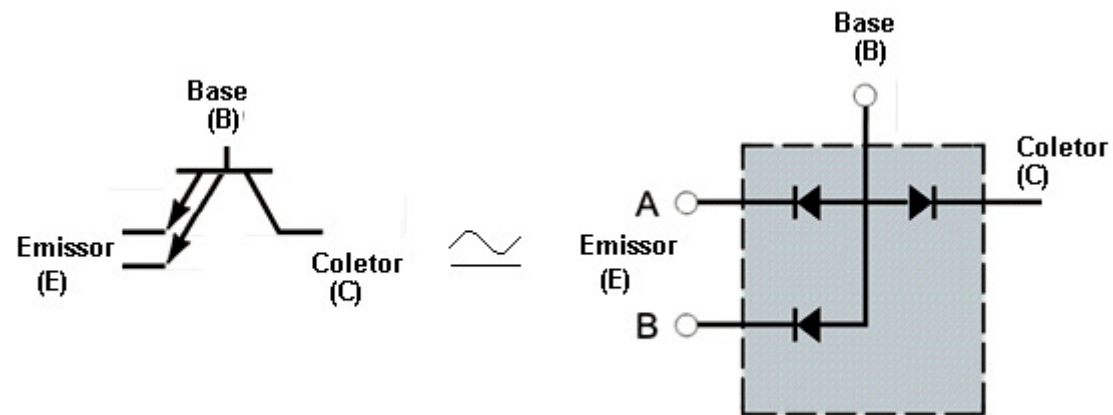




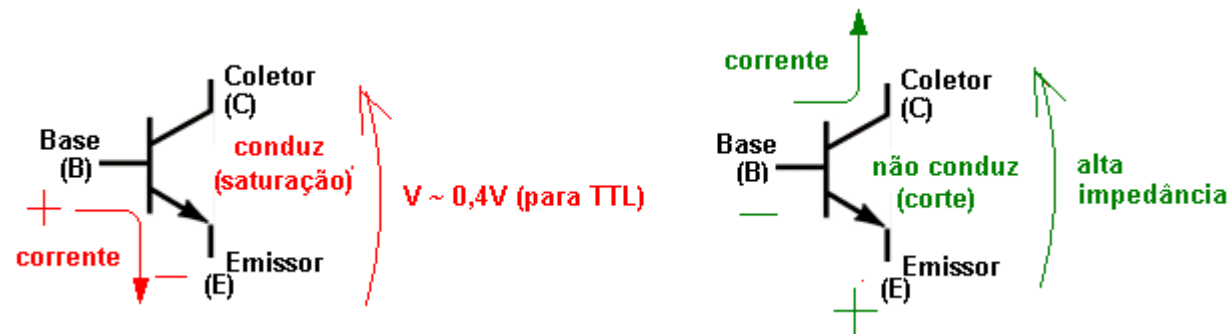
# Modelo simplificado do transistor



# Modelo simplificado do transistor com 2 emissores



# Modelo simplificado do funcionamento do transistor no corte e saturação

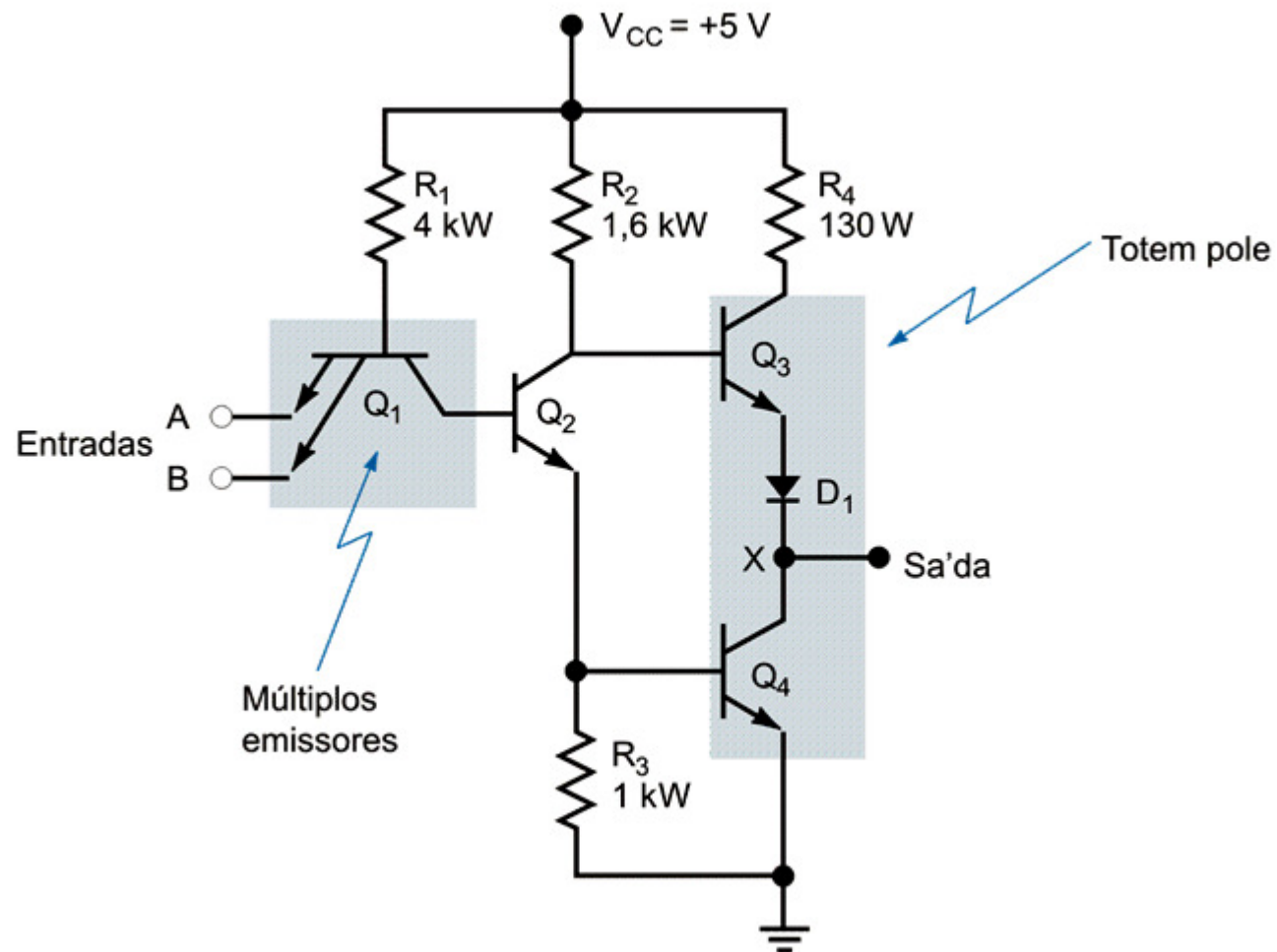


Estado	Polarização	Circuito equivalente
Condução		
Bloqueio		

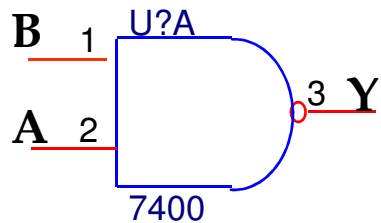
# Porta NAND TTL (*totem pole*)

Na configuração *Totem Pole*:

quando o transistor Q3 está conduzindo Q4 está cortado e  
quando Q3 está cortado Q4 está conduzindo



# Porta NAND TTL – estágio de saída (Totem Pole) representado por chaves



Na fig. a., Q3 e Q4 operam em oposição, nas regiões de corte e saturação

Na fig. b. se Q3 ou Q4 estão na saturação, a chave está fechada.

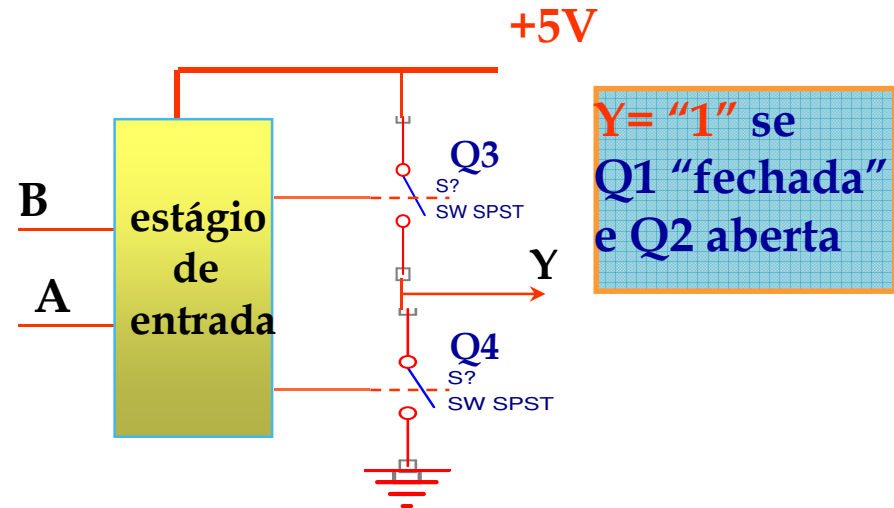
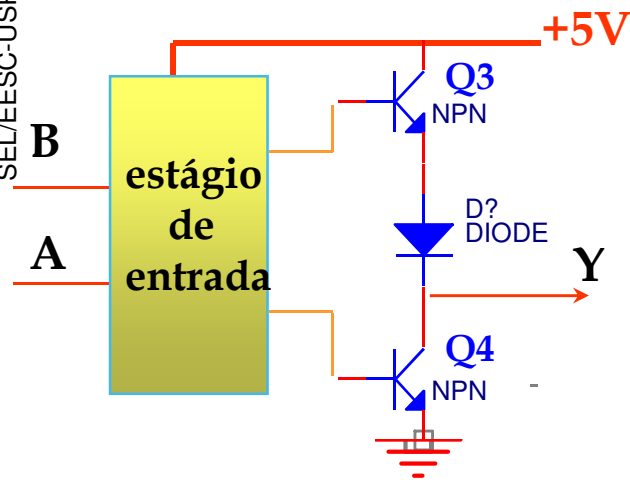
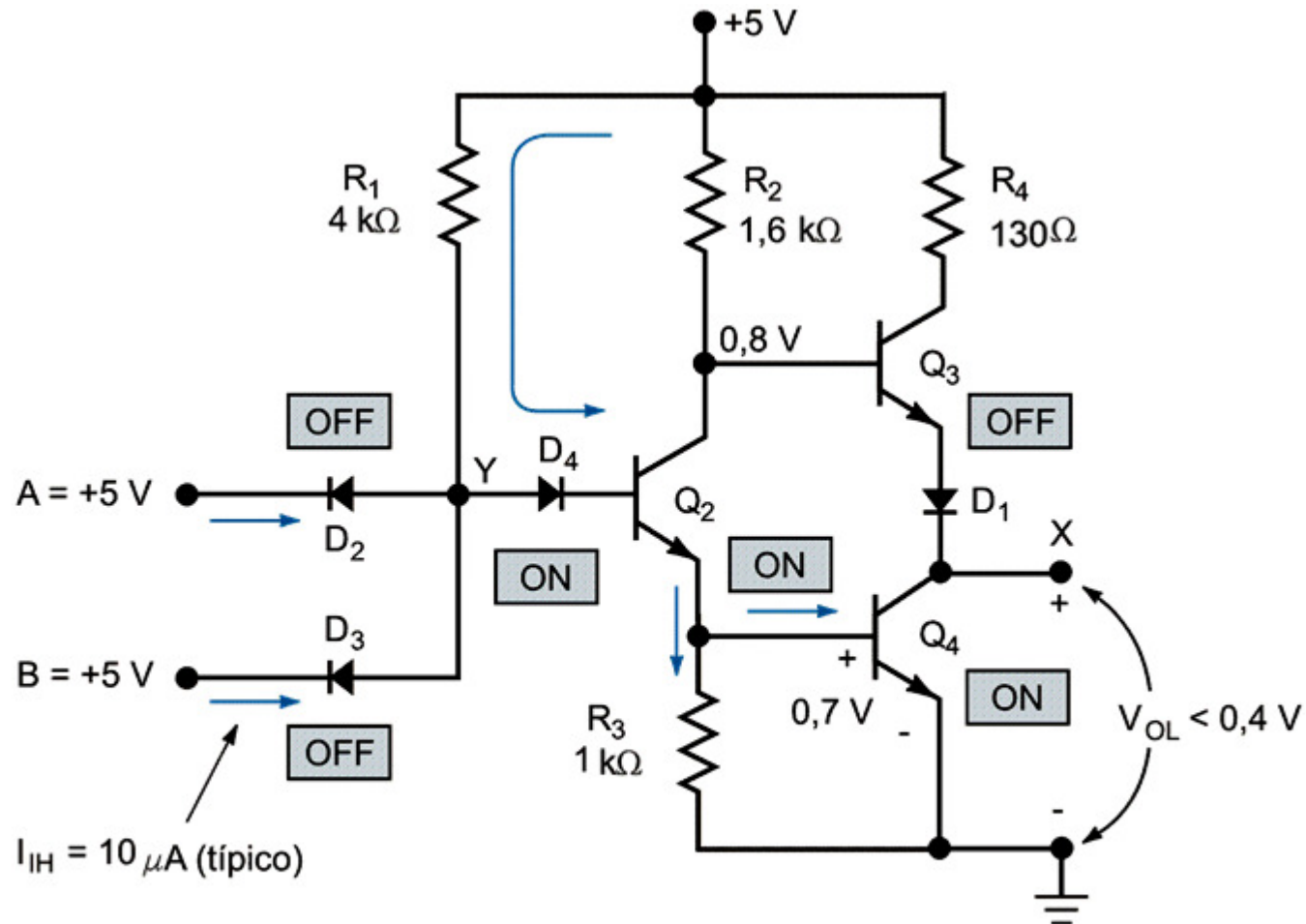


fig. a - estágio de saída da porta padrão - configuração "totem pole"

fig. b - representação do circuito da fig a.1 por chaves.

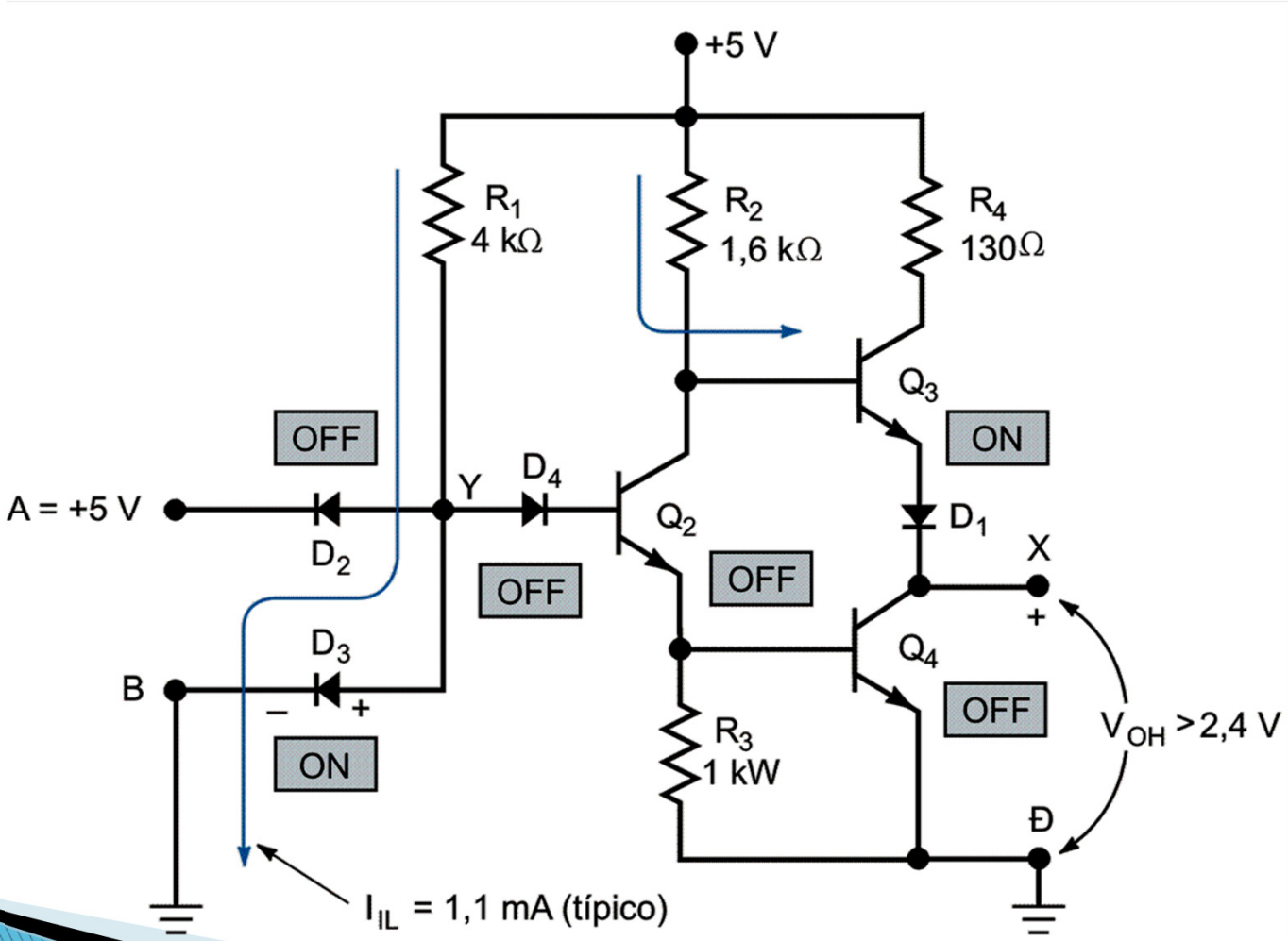
# Porta NAND TTL - Saída em "0"



(a) Saída em nível BAIXO

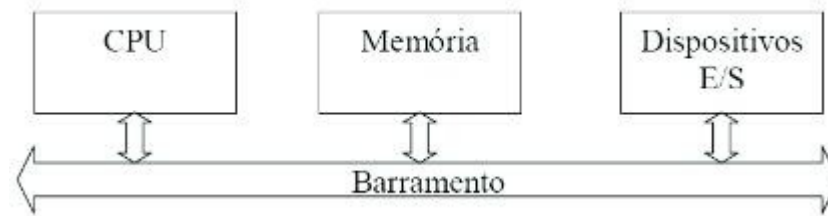
# Porta NAND TTL - Saída em "1"

SEL/EESC-USP Grupo de Sistemas Digitais



(b) Saída em nível ALTO

# Ligação de Portas lógicas

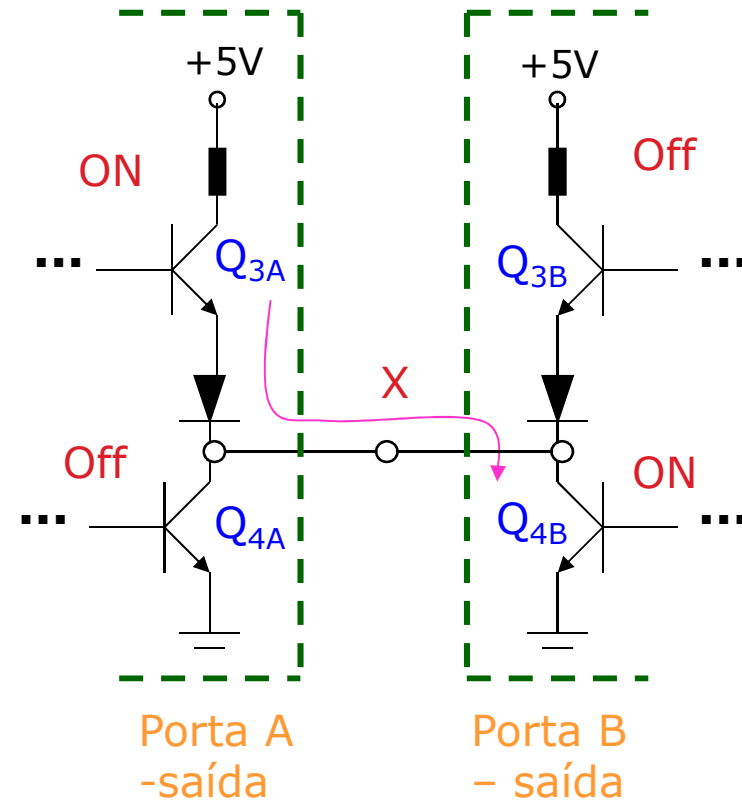
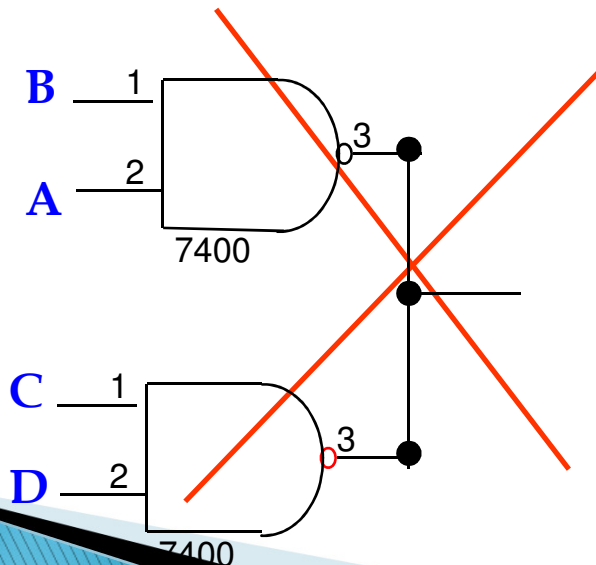


- Necessidade de compartilhamento de duto (fio)
- Uma saída em **alto** e outra em **baixo** conectadas juntas ➔ PROBLEMA



# Ligação de Portas lógicas TTL

- Necessidade de compartilhamento de duto (fio)
- Uma saída em **alto** e outra em **baixo** conectadas juntas  
➔ PROBLEMA



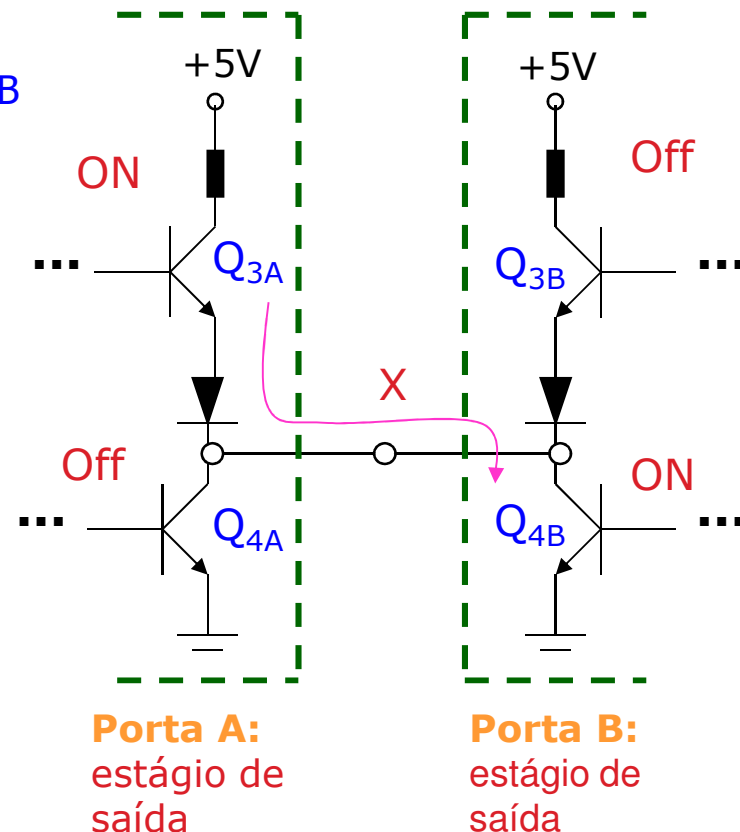
# Ligação de Portas lógicas TTL

- Se a saída de A = 1 (alto)  $\Rightarrow Q_{3A}$  conduz e  $Q_{4A}$  cortado
- Se a saída de B = 0 (baixo)  $\Rightarrow Q_{3B}$  cortado e  $Q_{4B}$  conduz

SEL/EESC-USP Grupo de Sistemas Digitais

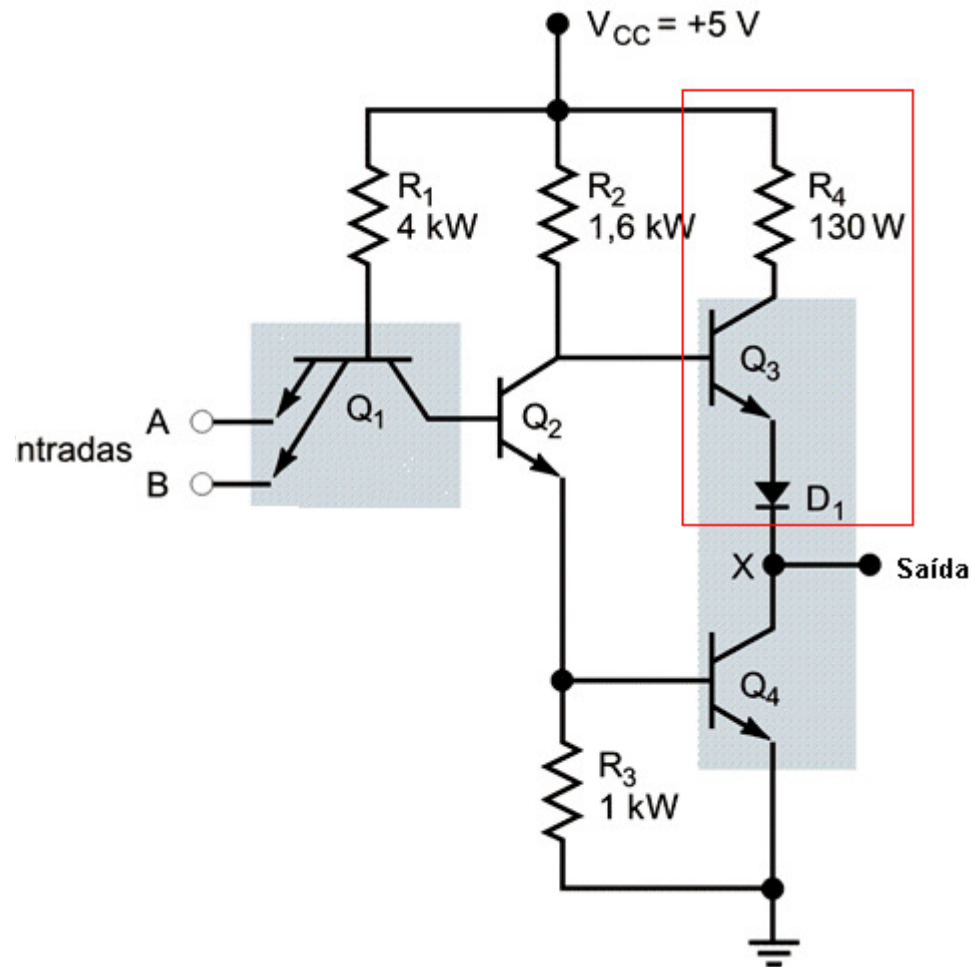
$Q_{4B}$  drenará uma corrente muito alta (representará uma resistência muito baixa comparada a  $Q_{3A}$ )

**DANOS**

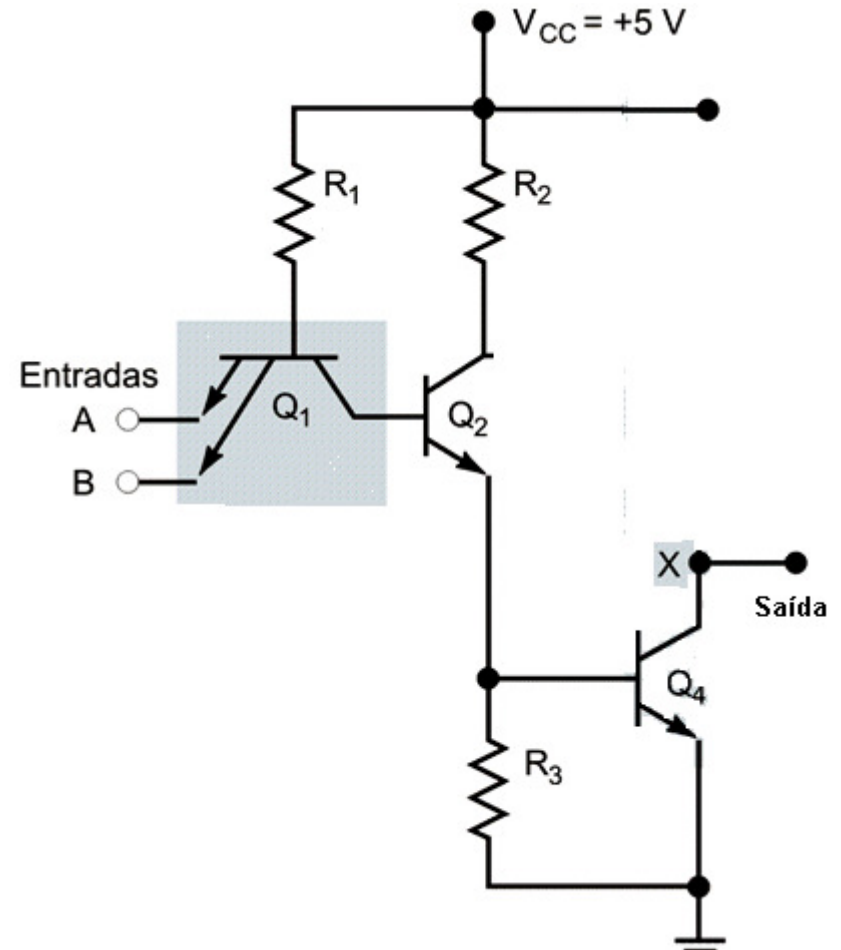


**SOLUÇÃO DO FABRICANTE**  $\Rightarrow$  remover o transistor ativo dos circ. saída ( $Q_3$ )  $\Rightarrow$  saída em **coletor (dreno) aberto**

# CIRCUITO COM SAÍDA EM TOTEM POLE

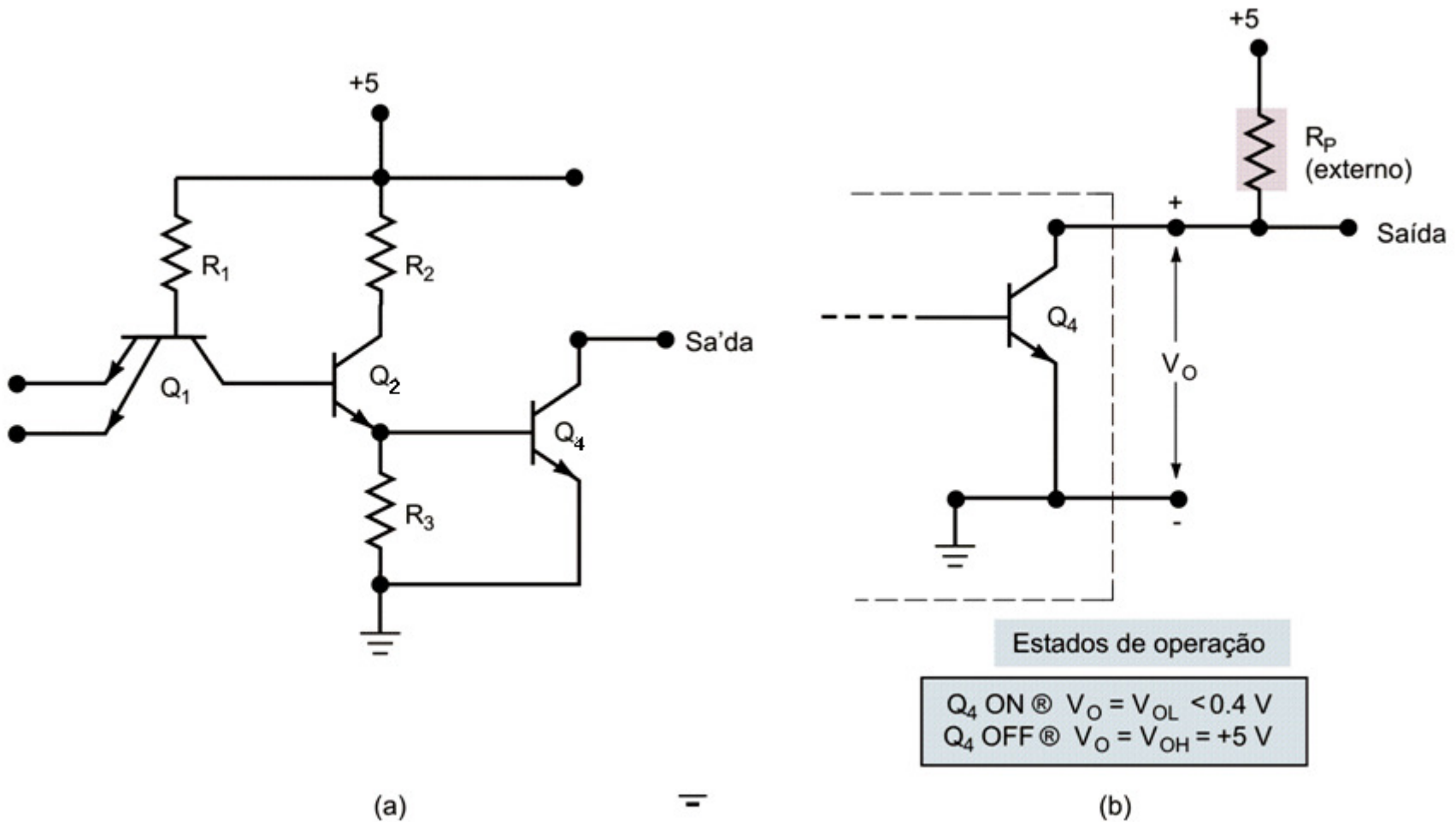


# CIRCUITOS DE SAÍDA EM COLETOR ABERTO

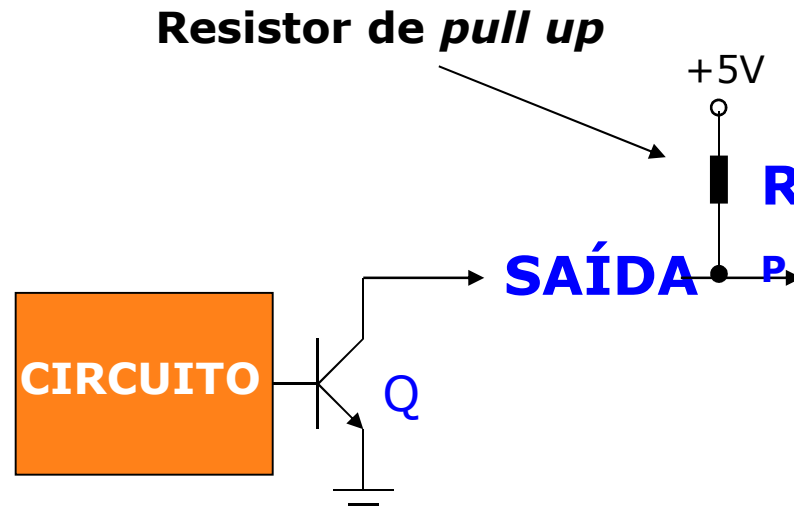


# CIRCUITOS DE SAÍDA EM COLETOR

## (NENUNO) ABERTO

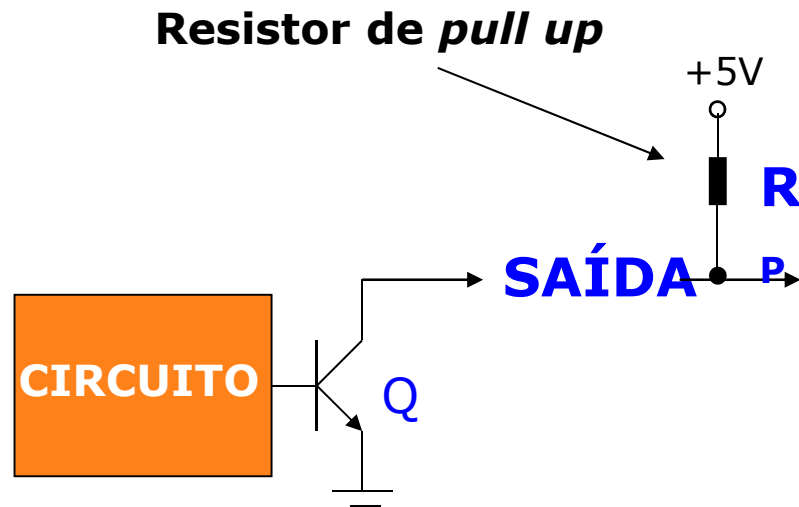


# CIRCUITOS DE SAÍDA EM COLETOR ABERTO



- Com saída em **0 (baixo)** → Q conduzindo
- Com saída em **1 (alto)** → Q cortado
- **CIRCUITO ABERTO** → necessidade de  **$R_p$  (Pull-up)**

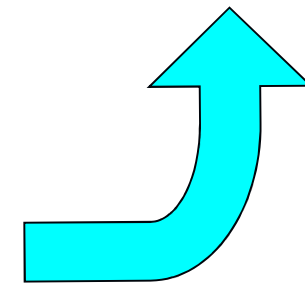
# CIRCUITOS DE SAÍDA EM COLETOR ABERTO



- ⇒ Se Q conduz ("ligado")  
➔  $S = 0$
- ⇒ Se Q cortado ("aberto")  
➔  $S = 1^*$

- Com saída em **0 (baixo)** ➔ Q conduzindo
- Com saída em **1 (alto)** ➔ Q cortado ➔ **CIRCUITO ABERTO** ➔ necessidade de  $R_p$

\* *sem  $R_p$  ➔  $V_o$  seria indeterminada (flutuante)*



# CIRCUITOS DE SAÍDA EM COLETOR (DRENO) ABERTO

Portas de coletor aberto:

- são portas cujo estágio de saída tem somente **um transistor**.
- Como o coletor do transistor está aberto a porta funcionará corretamente somente quando for conectado um resistor “elevador” externo,  $R_{ext}$ .

Essas portas podem ter suas saídas conectadas juntas e ligadas a um resistor comum, cujo valor depende do número de saídas

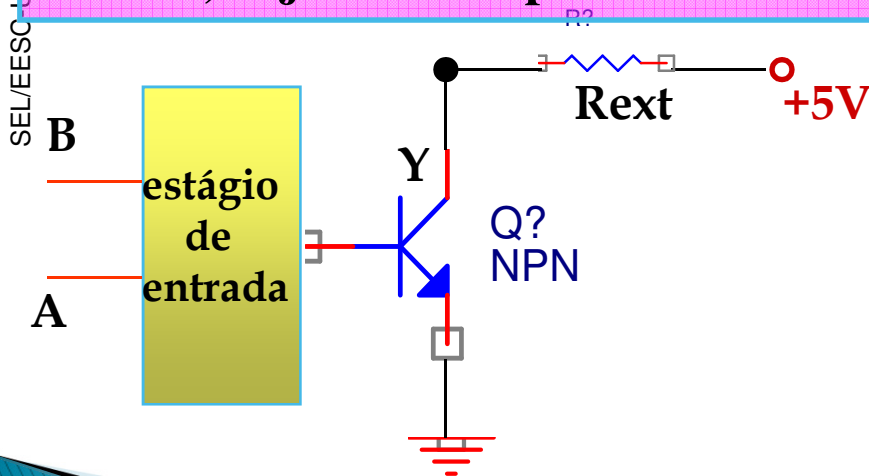


fig.a. - Estágio de saída de uma porta coletor aberto

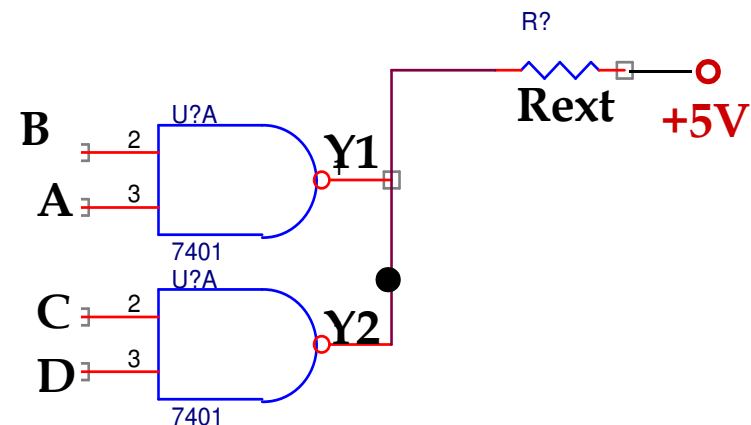
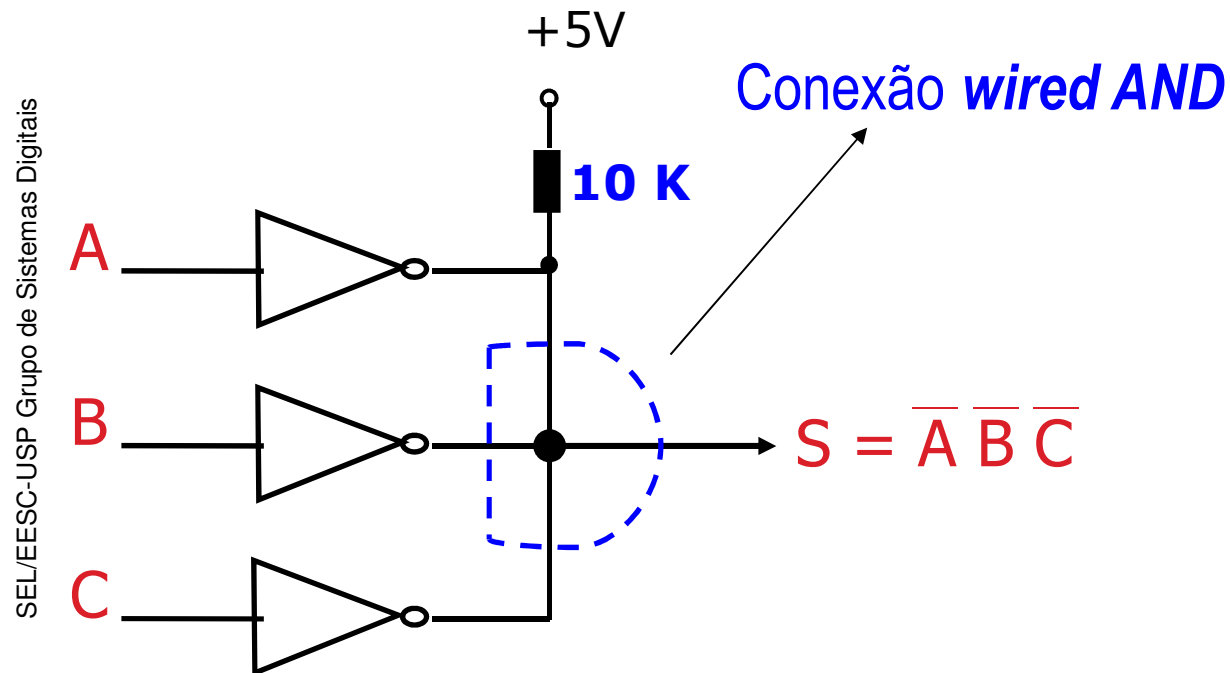


fig.b. - Portas NAND, 7401, saída coletor aberto, com saídas Y1 e Y2 conectadas

# CIRCUITOS DE SAÍDA EM COLETOR (DRENO) ABERTO



- ⇒ Se uma ou mais saídas  $\rightarrow 0 \rightarrow S = 0$  (o zero "vence")
- ⇒  $S = 1$  apenas se todas as saídas = 1
- ⇒ Mais lento e maior dissipação de potência do que o TTL normal



# CIRCUITOS DE SAÍDA EM COLETOR (DRENO) ABERTO

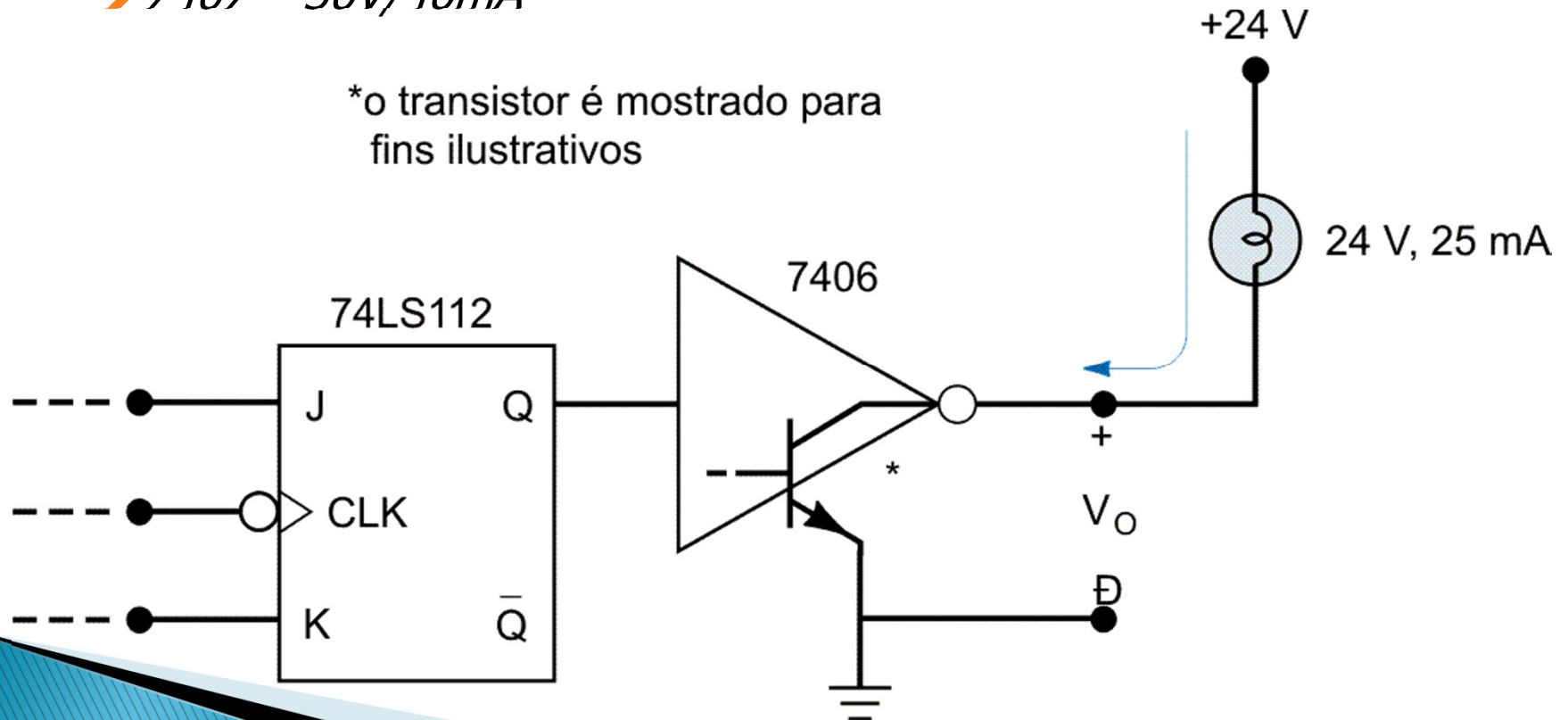
## ■ EX. DE APLICAÇÕES:

→ **Drivers**

→ *7407 – 30V/40mA*

SEL/EESC-USP Grupo de Sistemas Digitais

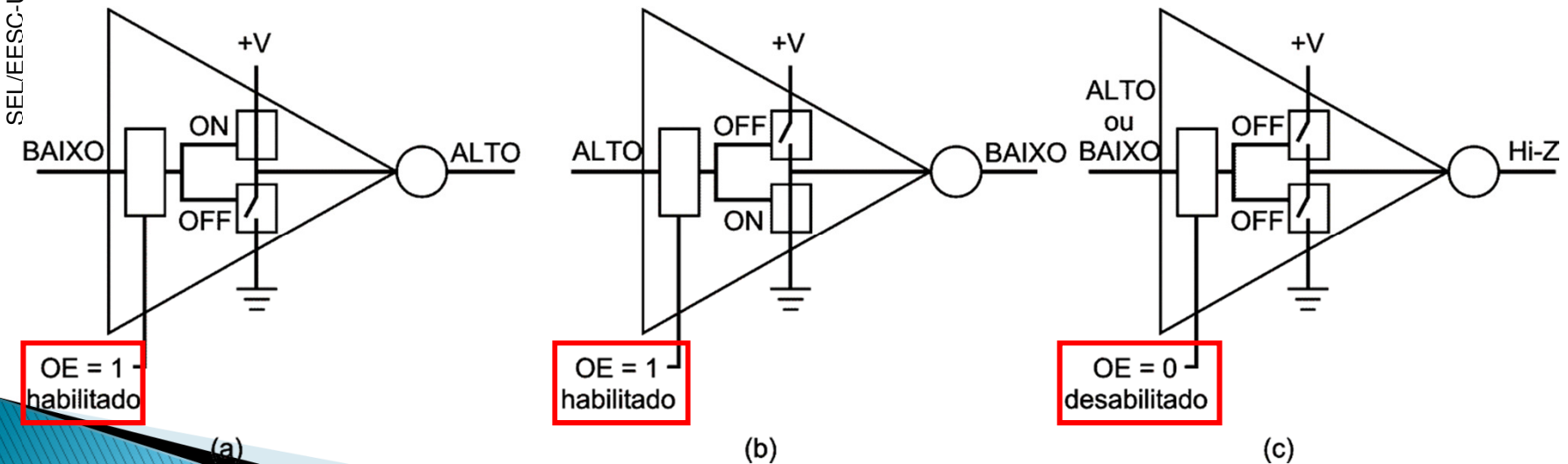
\*o transistor é mostrado para fins ilustrativos



# CIRCUITOS COM SAÍDA 3-STATE

- Necessidade também de compartilhamento de duto
- Característica ➔ S em
  - Alto
  - Baixo
  - Alta impedância

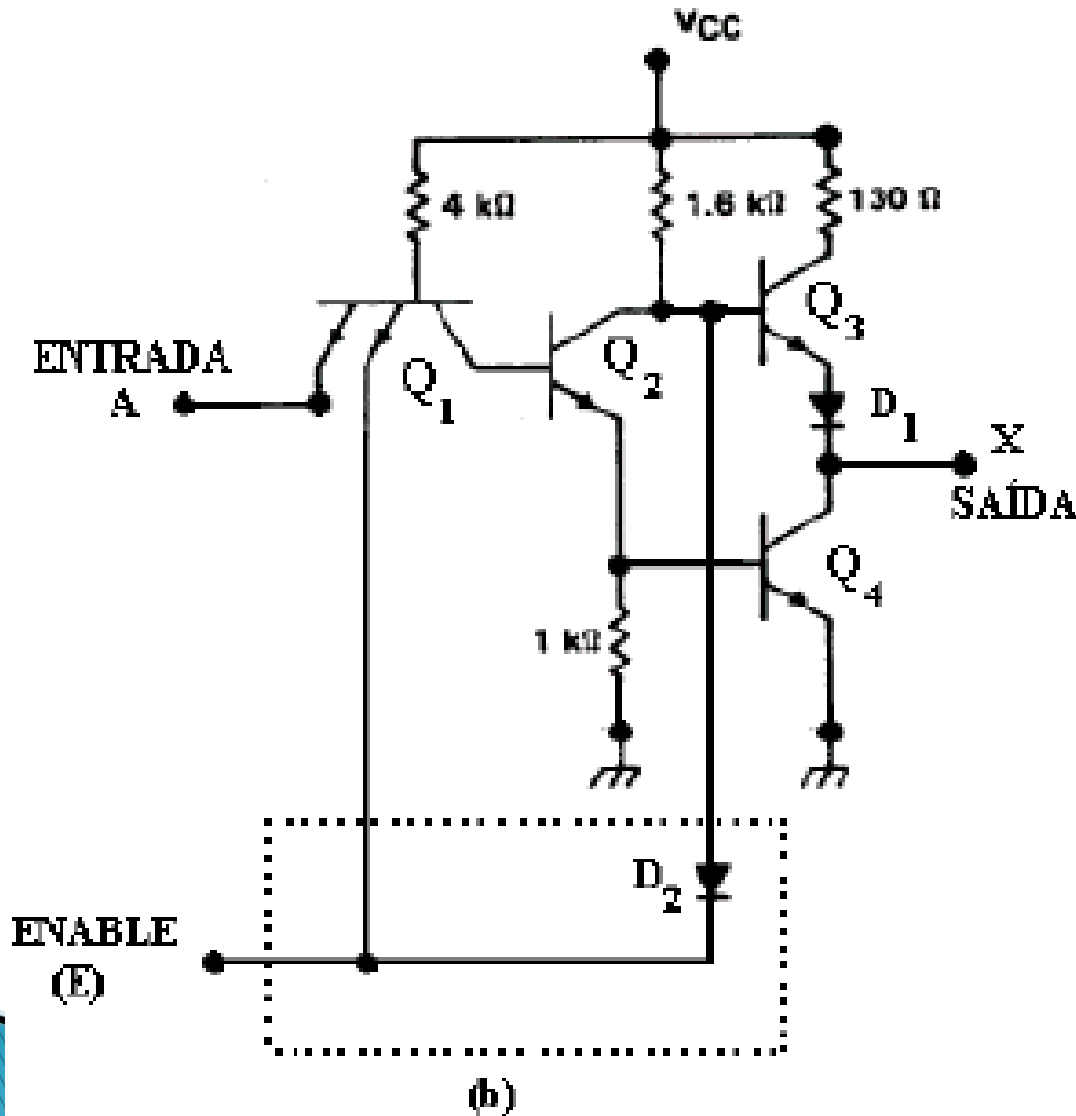
OE é a entrada de controle do 3-state



Porta Inversora com saída 3-state

# Porta Inversora Tri-State

SEL/EESC-USP Grupo de Sistemas Digitais



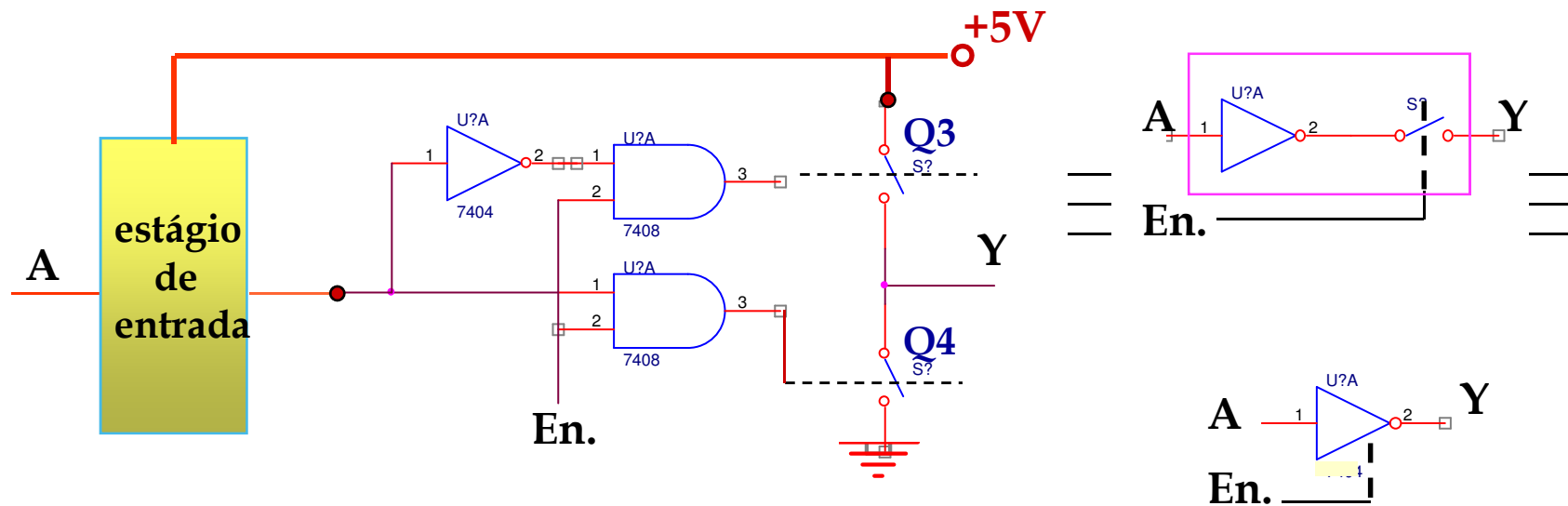
$E = 1 \rightarrow D2$  Aberto  
↓  
Saída: Inversor normal

$E = 0 \rightarrow D2$  Conduz  
↓  
Q2, Q3 e Q4 ficam abertos  
↓  
Saída: Alta impedância

# Saídas 3-State

## Estágio de saída de uma porta 3-state

SEL/EESC-USP Grupo de Sistemas Digitais



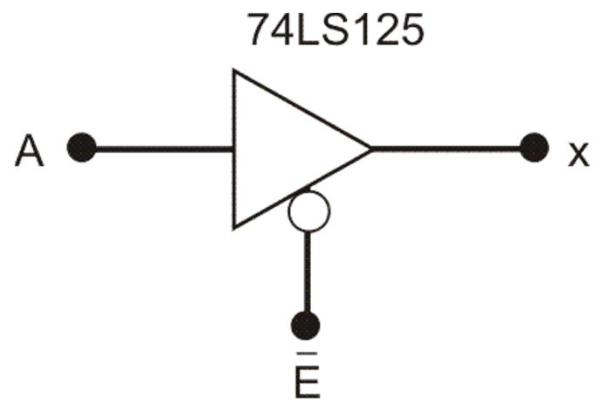
**fig. a.3.1** - Estágio de saída de uma porta inversora, representado por chaves

Se  $En = "0"$ , **Q1** e **Q2** permanecem abertos e a saída **Y** fica em alta impedância, estado esse representado pela letra **Z**.

# Saídas 3-State

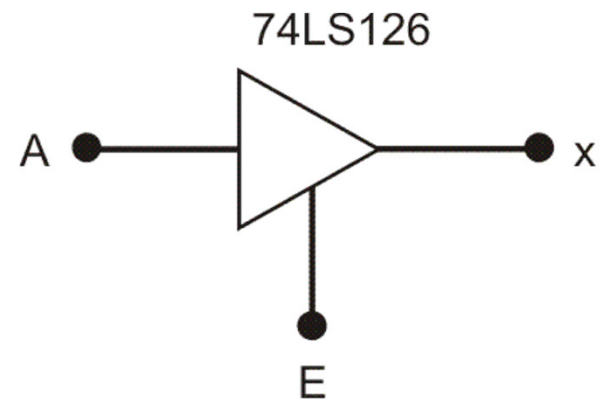
- Saídas de CIs com *3-state* podem ser conectadas juntas sem causar problemas à velocidade de chaveamento (mesma velocidade dos TTL comuns)
- Quando várias portas *3-state* são ligadas juntas, **apenas uma deve ser habilitada por vez!** (pode danificar o dispositivo, pois se torna um totem-pole quando habilitado)

# Buffers tristate não inversores



$\bar{E}$	x
0	A
1	Alta impedância

(a)



E	x
1	A
0	Alta impedância

(b)

# PORTA COM CONFIGURAÇÃO SCHIMITT TRIGGER

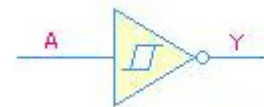
Em muitas aplicações práticas o sinal de entrada de um circuito digital (clock) pode não ser perfeito, prejudicando consideravelmente o funcionamento do circuito que dele dependem. Esse sinais podem apresentar:

- ✓ transição lenta do nível baixo para o nível alto ou vice versa;
- ✓ Ruído (“bounce”), comuns em circuito de comutação

Solução



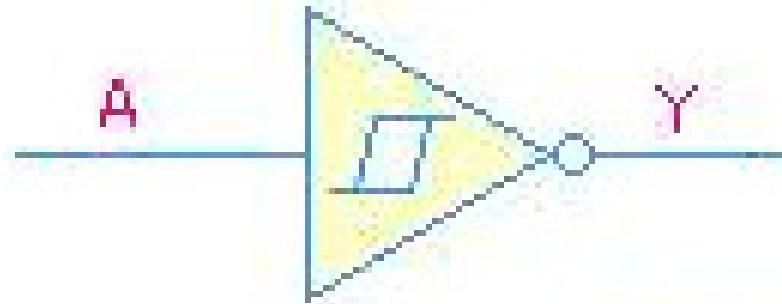
PORTA COM SCHIMITT TRIGGER



# PORTA COM CONFIGURAÇÃO SCHIMITT TRIGGER

Funcionamento:

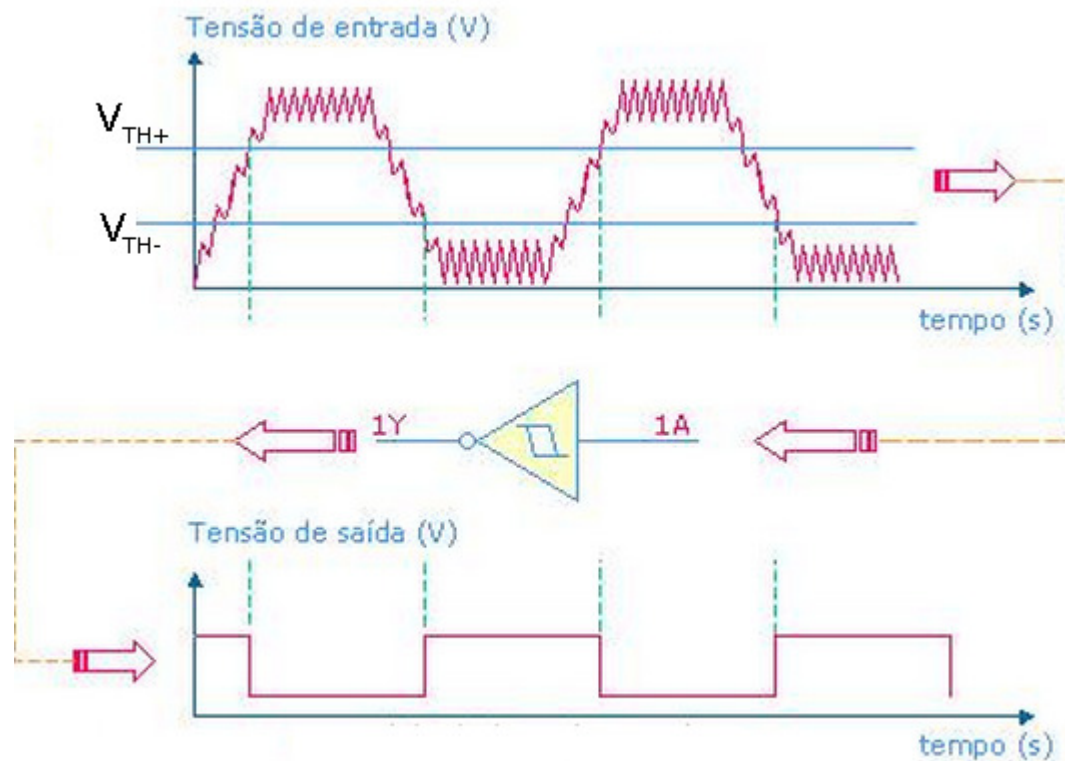
A porta inversora ShimiTT Trigger opera com duas tensões de referência, uma inferior  $V_{TH-}$  e outra superior  $V_{TH+}$ . Quando o sinal de entrada A atinge  $V_{TH+}$  (referência superior), a saída Y comuta de nível lógico alto para nível lógico baixo, permanecendo neste estado até que o sinal de entrada alcance  $V_{TH-}$  (referência inferior).





# PORTA COM CONFIGURAÇÃO SCHIMITT TRIGGER

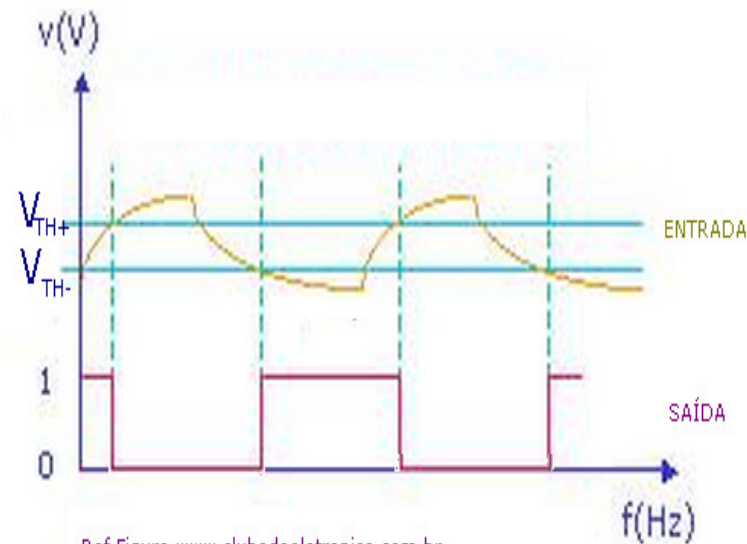
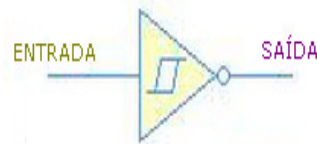
Aplicação em sinais de entrada com ruído (“bounce”)



Ref Figura [www.clubedaeletronica.com.br](http://www.clubedaeletronica.com.br)

# PORTA COM CONFIGURAÇÃO SCHIMITT TRIGGER:

Aplicação em sinais de entrada com Transição lenta



Ref Figura [www.clubedaeletronica.com.br](http://www.clubedaeletronica.com.br)