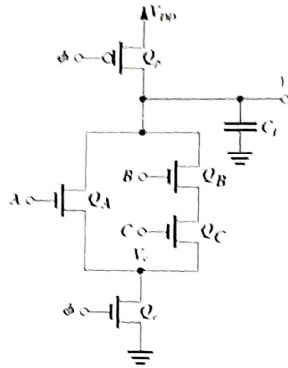


Nome _____ Nº. USP _____

Assinatura _____ Prof. _____

Para a porta lógica dinâmica mostrada na figura a seguir, determine o tempo de atraso máximo da mesma considerando as razões W/L, fornecidas para os transistores Q_p , Q_A , Q_B e Q_C . Sabe-se que a razão W/L, do transistor Q_c é elevada e que $V_e \cong 0$ V quando o mesmo está habilitado para $\phi = V_{DD}$.
 Calcule na condição de maior atraso o valor de $i_{DN\text{máx}} = (i_{DN}(0) + i_{DN}(t_f))/2$.



Dados:
 $V_{DD} = 5$ V
 $k_p' = 100$ nA/V²
 $k_n' = 200$ nA/V²
 $|V_{tp}| = |V_{tn}| = 1$ V
 $\lambda = 0$
 $V_e \cong 0$ V p/ $\phi = V_{DD}$
 $(W/L)_{Qp} = 6$
 $(W/L)_{QA} = 3$
 $(W/L)_{QB} = 6$
 $(W/L)_{QC} = 6$
 $C_L = 446,25$ fF

FORMULARIO

$$i_D = k' \frac{W}{L} \left[(v_{GS} - V_t) \cdot v_{DS} - \frac{v_{DS}^2}{2} \right] \quad \text{para } |v_{DS}| < |v_{GS} - V_t|$$

$$i_D = k' \frac{W}{L} \frac{(v_{GS} - V_t)^2}{2} (1 + \lambda \cdot v_{DS}) \quad \text{para } |v_{DS}| \geq |v_{GS} - V_t|$$

$$i_{DN\text{máx}} \times \Delta t = (V_{DD}/2) \times C_L \quad (\text{equação de carga e descarga do capacitor})$$

TEMPO DE ATRASO MÁXIMO: APENAS QA HABILITADO OU QB e QC HABILITADOS

$V_e \cong 0$, $t = 0 \rightarrow Q_A$ SATURADO ($v_{GS} = V_{DD}$)

$$I_{DN}(0) = \frac{1}{2} \cdot 200 \cdot 3 \cdot (5-1)^2 = 4800 \text{ nA}$$

$t = t_f \rightarrow Q_A$ EM TRIPOD ($v_{GS} = V_{DD}/2$)

$$I_{DN}(t_f) = 200 \cdot 3 \cdot \frac{[(5-1) \cdot 2,5 - (2,5)^2/2]}{2} = 4125 \text{ nA}$$

$$I_{DN\text{medio}} = (4800 \text{ nA} + 4125 \text{ nA})/2 = 4462,5 \text{ nA}$$

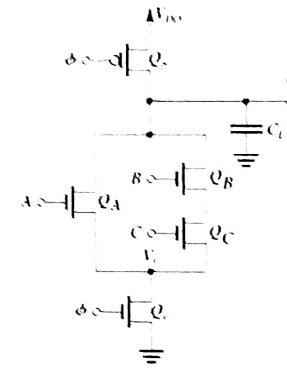
$$t_{\text{atraso}} = t_{PHL} = t_f = \frac{(V_{DD}/2) \cdot C_L}{I_{DN\text{medio}}} = \frac{2,5 \cdot 446,25 \cdot 10^{-15}}{4462,5 \cdot 10^{-9}} = 0,25 \mu\text{s}$$

Resposta:
 $t_{\text{atraso}} = 0,25 \mu\text{s}$

Nome _____ Nº. USP _____

Assinatura _____ Prof. _____

Para a porta lógica dinâmica mostrada na figura a seguir, determine o tempo de atraso máximo da mesma considerando as razões W/L fornecidas para os transistores Q_p , Q_A , Q_B e Q_C . Sabe-se que a razão W/L, do transistor Q_c é elevada e que $V_e \cong 0$ V quando o mesmo está habilitado para $\phi = V_{DD}$.
 Calcule na condição de maior atraso o valor de $i_{DN\text{máx}} = (i_{DN}(0) + i_{DN}(t_f))/2$.



Dados:
 $V_{DD} = 5$ V
 $k_p' = 200$ nA/V²
 $k_n' = 400$ nA/V²
 $|V_{tp}| = |V_{tn}| = 1$ V
 $\lambda = 0$
 $V_e \cong 0$ V p/ $\phi = V_{DD}$
 $(W/L)_{Qp} = 6$
 $(W/L)_{QA} = 3$
 $(W/L)_{QB} = 6$
 $(W/L)_{QC} = 6$
 $C_L = 446,25$ fF

FORMULARIO

$$i_D = k' \frac{W}{L} \left[(v_{GS} - V_t) \cdot v_{DS} - \frac{v_{DS}^2}{2} \right] \quad \text{para } |v_{DS}| < |v_{GS} - V_t|$$

$$i_D = k' \frac{W}{L} \frac{(v_{GS} - V_t)^2}{2} (1 + \lambda \cdot v_{DS}) \quad \text{para } |v_{DS}| \geq |v_{GS} - V_t|$$

$$i_{DN\text{máx}} \times \Delta t = (V_{DD}/2) \times C_L \quad (\text{equação de carga e descarga do capacitor})$$

TEMPO DE ATRASO MÁXIMO: APENAS QA HABILITADO OU QB e QC HABILITADOS

$V_e \cong 0$, $t = 0 \rightarrow Q_A$ SATURADO ($v_{GS} = V_{DD}$)

$$I_{DN}(0) = \frac{1}{2} \cdot 400 \cdot 3 \cdot (5-1)^2 = 9600 \text{ nA}$$

$t = t_f \rightarrow Q_A$ EM TRIPOD ($v_{GS} = V_{DD}/2$)

$$I_{DN}(t_f) = 400 \cdot 3 \cdot \frac{[(5-1) \cdot 2,5 - (2,5)^2/2]}{2} = 8250 \text{ nA}$$

$$I_{DN\text{medio}} = (9600 \text{ nA} + 8250 \text{ nA})/2 = 8925 \text{ nA}$$

$$t_{\text{atraso}} = t_{PHL} = t_f = \frac{(V_{DD}/2) \cdot C_L}{I_{DN\text{medio}}} = \frac{2,5 \cdot 446,25 \cdot 10^{-15}}{8925 \cdot 10^{-9}} = 0,125 \mu\text{s}$$

Resposta:
 $t_{\text{atraso}} = 0,125 \mu\text{s}$