

## GABARITO

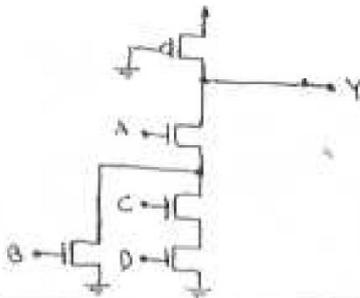
1) Projete um inversor pseudo-NMOS que tenha  $V_{OL} = 0,1$  V. Sejam  $V_{DD} = 2,5$  V,  $|V_t| = 0,4$  V,  $k'_n = 4k'_p = 120 \mu\text{A}/\text{V}^2$  e  $(W/L)_n = 0,375 \mu\text{m}/0,25 \mu\text{m}$ . Qual o valor de  $(W/L)_p$ ? Calcule a dissipação de potência estática.

$$\frac{1}{2} 30 \cdot 10^{-6} \cdot \left(\frac{W}{L}\right)_p (-5 - (-0,4))^2 = 120 \cdot 10^{-6} \cdot \left(\frac{0,375}{0,25}\right) \cdot \left[(5 - 0,4)0,1 - \frac{0,1^2}{2}\right] \Rightarrow \left(\frac{W}{L}\right)_p = 25,8$$

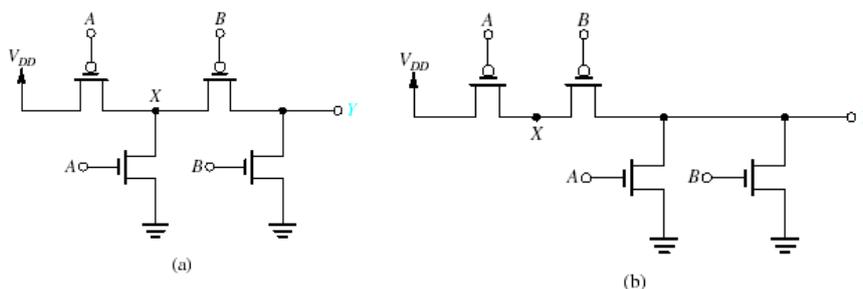
$$I_D = \frac{1}{2} 30 \cdot 10^{-6} \cdot \left(\frac{W}{L}\right)_p (-5 - (-0,4))^2 = 120 \cdot 10^{-6} \cdot \left(\frac{0,375}{0,25}\right) \cdot \left[(5 - 0,4)0,1 - \frac{0,1^2}{2}\right] = 81,9 \mu\text{A}$$

$$P_{estatica} = V_{DD} I_D = 2,5 \times 81,9 \mu\text{A} = 0,205 \text{ mW}$$

5) Esboce o circuito pseudo-NMOS que realize a função  $Y = \overline{A(B + CD)}$



2) Considere os circuitos da Figura 2 com todos os transistores PMOS substituídos por NMOS, e todos os NMOS por PMOS, e com as ligações do terra e  $V_{DD}$  invertidos. Quais serão as funções nas saídas Y?

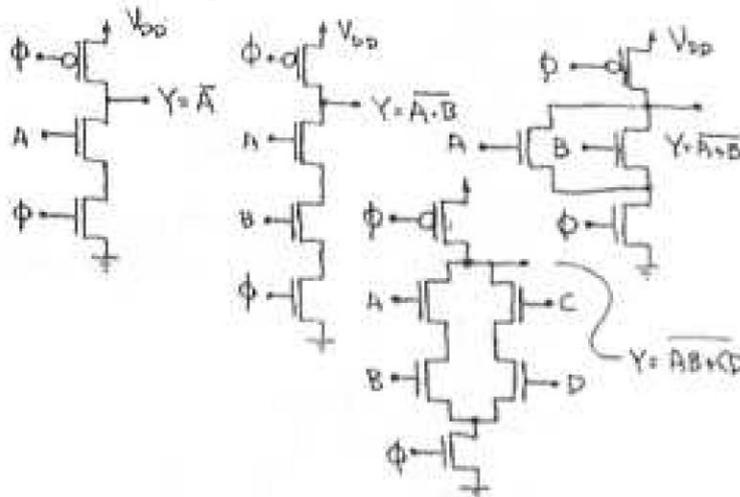


Fazendo os reversos no circuito da figura 2a, como indicado no enunciado, a saída passa a estar em nível alto quando B está em nível baixo ou quando A está em nível baixo. Nesse caso, teremos um circuito NAND:

$$Y = \overline{A + B} = \overline{AB}$$

Por outro lado, fazendo os reversos no circuito da figura 2b, como indicado no enunciado, temos idealmente uma porta NAND, antes e depois.

3) Esboce os circuitos completos para as portas INVERSORA, NE e NOU, com as duas últimas possuindo duas entradas, e um circuito para  $\overline{Y} = AB + CD$ .



4) Considere uma porta NE de duas entradas implementada com uma lógica dinâmica, fabricada no processo CMOS no qual  $k'_n = 3k'_p = 75 \mu\text{A}/\text{V}^2$ ,  $V_{tn} = -V_{tp} = 0,8 \text{ V}$  e  $V_{DD} = 3 \text{ V}$ . Para manter  $C_L$  pequeno, dispositivos NMOS de dimensões mínimas são usados com  $W/L = 1,2 \mu\text{m}/0,8 \mu\text{m}$  (incluindo  $Q_e$ ). O transistor de precarga  $Q_p$  possui  $2,4 \mu\text{m}/0,8 \mu\text{m}$ . O valor de  $C_L$  encontrado é  $15 f_F$ . Considere a operação de precarga com a porta de  $Q_p$  em  $0 \text{ V}$ , e suponha que em  $t = 0$ ,  $C_L$  está totalmente descarregado. Calcule o tempo de subida para a tensão de saída, definida no tempo como sendo  $v_Y$  subindo de 10% a 90% do valor final de  $3 \text{ V}$ . Determine a corrente para  $v_Y = 0,3 \text{ V}$  e a corrente em  $v_Y = 2,7 \text{ V}$ , então obtenha um valor aproximado para  $t_r$ ,  $t_r = C_L(2,7 - 0,3)/I_{av}$ , onde  $I_{av}$  é o valor médio das duas correntes.

$$\begin{aligned} \text{At } v_Y = 0,3 \text{ V, } i_{Dp} &= \frac{1}{2} \left( \frac{75}{3} \right) \left( \frac{2,4}{0,8} \right) (3,0 - 0,8)^2 = 181,5 \mu\text{A} \\ \text{At } v_Y = 2,7 \text{ V, } i_{Dp} &= \left( \frac{75}{3} \right) \left( \frac{2,4}{0,8} \right) \left[ (3,0 - 0,8) \cdot 0,3 - \frac{0,3^2}{2} \right] \\ &= 46,1 \mu\text{A} \\ \text{Thus } i_{D_{av}} &= (181,5 + 46,1) / 2 = 114 \mu\text{A} \\ \text{and } t_{rLH} = t_r &= 15 \times 10^{-15} (2,7 - 0,3) / (114 \times 10^{-6}) = 316 \text{ ps} \end{aligned}$$

5) Explique detalhadamente os ciclos de leitura e escrita de uma célula de memória RAM estática conforme explicado em aula.

Veja itens 11.4 e 11.5 do livro.

6) Uma pastilha RAM de 256 Mbit com leitura de 16 bits emprega uma configuração de 16 blocos com conjuntos de células quadradas. Quantos bits de endereço são necessários para o bloco decodificador, o decodificador de linhas e o decodificador de colunas?

Para 16 blocos, 4 bits para endereçamento de bloco são necessários ( $2^4 = 16$ ). Portanto, cada bloco terá 16 Mb de tamanho. Considerando a arquitetura quadrada vista em aula, cada bloco terá 4096 linhas e 4096 colunas. São necessários 12 bits para endereçamento de linha ( $2^{12} = 4096$ ) e 12 bits para endereçamento de coluna. No total temos  $2 \times 12 + 4 = 28$  bits.

7) Uma versão particular do amplificador sensor regenerativo da Figura 3 em uma tecnologia de  $0,5 \mu\text{m}$ , utiliza transistores para os quais  $|V_t| = 0,8 \text{ V}$ ,  $k'_n = 2,5k'_p = 100 \mu\text{A}/\text{V}^2$ ,  $V_{DD} = 3,3 \text{ V}$ , com  $(W/L)_n = 6 \mu\text{m} / 1,5 \mu\text{m}$  e  $(W/L)_p = 15 \mu\text{m} / 1,5 \mu\text{m}$ . Para cada inversor, obtenha o valor de  $G_m$ . Para uma capacitância da linha de bit de  $0,8 \text{ pF}$  e um atraso para alcançar  $0,9 V_{DD}$  de  $2 \text{ ns}$ , obtenha a tensão de diferença necessária entre as duas linhas de bit. Se o tempo puder ser aumentado de  $1 \text{ ns}$ , qual sinal de entrada poderá ser conduzido? Com o tempo de atraso aumentado e com o sinal de entrada no nível original, por qual porcentagem a capacitância da linha de bit e o correspondente comprimento da mesma podem ser aumentados? Se o tempo de atraso necessário para as capacitâncias das linhas de bit carregarem através da corrente constante disponível da célula de armazenamento for  $5 \text{ ns}$  de forma a conseguir o sinal de tensão de diferença que o amplificador sensor necessita, como esse tempo aumenta quando linhas mais longas são empregadas?

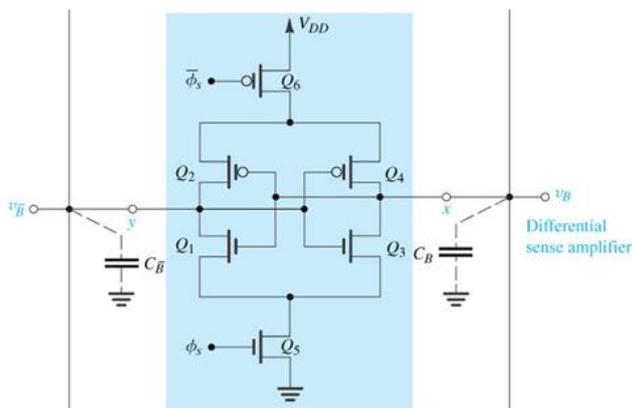


Figura 3

Pattern the solution after the approach used in the solution of Example 11.3:

For the bit-line output to reach  $0.9 V_{DD} = 2.7V$  from  $V_{DD}/2 = 1.5V$  in  $2ns$  for an initial bit-line signal of  $0.1/2 = 0.05V$ :

$$2.7 = 1.5 + 0.05 e^{z/\tau}$$

$$\text{whence } z/\tau = \ln [(2.7 - 1.5)/0.05] = 3.178$$

$$\text{and } \tau = z/3.178 = 0.629 ns$$

$$\text{Thus } C/G_m = 0.629 \times 10^{-9} s, \text{ and } G_m = 1 \times 10^{-12} / (0.629 \times 10^{-9})$$

$$= 1.589 \mu S/V$$

$$\text{For matched inverters, } g_{m_n} = g_{m_p} = G_m/2 = 1.589/2 = 0.795 \mu S/V$$

$$\text{Now, } g_m = k'(W/L)(V_{GS} - V_t)$$

$$\text{and } 0.795 \times 10^{-3} = 100 \times 10^{-4} (W/L) [(3.0/2) - 0.8]$$

$$\text{Thus } (W/L)_n = 0.795 = 10^{-3} / (100 \times 10^{-4}) / 0.7 = 11.36$$

Now, for devices assumed to have length  $L = 1 \mu m$  (or, alternatively, for each micron of device length)

$$W_n = 11.36 \mu m \text{ and } W_p = 3(11.36) = 34.1 \mu m$$

Now, for a differential input signal of  $0.2V$  (and  $0.1V$  on each bit-line), the response time is  $t$ , where  $2.7 = 1.5 + 0.1 e^{t/0.629}$

$$\text{whence } t = 0.629 \ln (2.7 - 1.5)/0.1 = 1.56 ns$$

8) Dada uma memória ROM com 8 palavras de 4 bits. Escreva 8 números binários  $B_3B_2B_1B_0$  onde  $B_3$  é o dígito mais significativo. Converta cada dígito do número 8543859 em número binário e programe cada um deles na memória ROM fazendo  $8543859 = W_7W_6W_5W_4W_3W_2W_1$  onde  $W_1$  é o algarismo menos significativo,  $W_2$  é o segundo algarismo significativo e assim por diante.

Veja ítem 11.6 do livro.