

**PSI3024 – ELETRÔNICA – 2º. Semestre 2023**  
**TERCEIRA LISTA ADICIONAL DE EXERCÍCIOS**

1) Projete um inversor pseudo-NMOS que tenha  $V_{OL} = 0,1 \text{ V}$ . Sejam  $V_{DD} = 2,5 \text{ V}$ ,  $|V_t| = 0,4 \text{ V}$ ,  $k'_n = 4k'_p = 120 \mu\text{A}/\text{V}^2$  e  $(W/L)_n = 0,375 \mu\text{m}/0,25 \mu\text{m}$ . Qual o valor de  $(W/L)_p$ ? Calcule o valor da dissipação de potência estática.

2) Esboce o circuito pseudo-NMOS que realize a função  $Y = \overline{A(B+CD)}$

3) Considere os circuitos da Figura 1 com todos os transistores PMOS substituídos por NMOS, e todos os NMOS por PMOS, e com as ligações do terra e  $V_{DD}$  invertidos. Quais serão as funções nas saídas  $Y$ ?

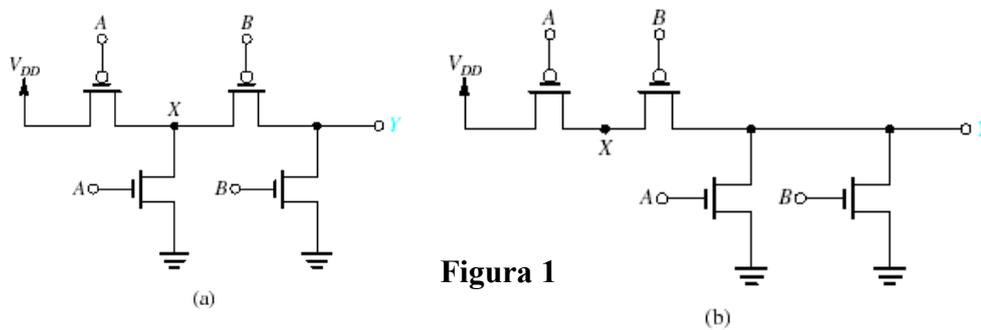


Figura 1

4) Esboce os circuitos lógicos MOS dinâmicos completos para as portas INVERSORA, NE e NOU, com as duas últimas possuindo duas entradas, e um circuito para  $\bar{Y} = AB + CD$ .

5) Considere uma porta NE de duas entradas implementada com uma lógica dinâmica, fabricada no processo CMOS no qual  $k'_n = 3k'_p = 75 \mu\text{A}/\text{V}^2$ ,  $V_m = -V_p = 0,8 \text{ V}$  e  $V_{DD} = 3 \text{ V}$ . Para manter  $C_L$  pequeno, dispositivos NMOS de dimensões mínimas são usados com  $W/L = 1,2 \mu\text{m}/0,8 \mu\text{m}$  (incluindo  $Q_e$ ). O transistor de precarga  $Q_p$  possui  $2,4 \mu\text{m}/0,8 \mu\text{m}$ . O valor de  $C_L$  encontrado é  $15 f_f$ . Considere a operação de precarga com a porta de  $Q_p$  em  $0 \text{ V}$ , e suponha que em  $t = 0$ ,  $C_L$  está totalmente descarregado. Calcule o tempo de subida para a tensão de saída, definida no tempo como sendo  $v_Y$  subindo de 10% a 90% do valor final de  $3 \text{ V}$ . Determine a corrente para  $v_Y = 0,3 \text{ V}$  e a corrente em  $v_Y = 2,7 \text{ V}$ , então obtenha um valor aproximado para  $t_r$ ,  $t_r = C_L(2,7 - 0,3)/I_{av}$ , onde  $I_{av}$  é o valor médio das duas correntes.

6) Explique detalhadamente os ciclos de leitura e escrita de uma célula de memória RAM estática conforme explicado em aula (itens 11.4 e 11.5 do livro).

7) Uma pastilha RAM de 256 Mbit com leitura de 16 bits emprega uma configuração de 16 blocos com conjuntos de células quadradas. Quantos bits de endereço são necessários para o bloco decodificador, o decodificador de linhas e o decodificador de colunas?

8) Uma versão particular do amplificador sensor regenerativo da Figura 2 em uma tecnologia de  $0,5 \mu\text{m}$ , utiliza transistores para os quais  $|V_t| = 0,8 \text{ V}$ ,  $k'_n = 2,5k'_p = 100 \mu\text{A}/\text{V}^2$ ,  $V_{DD} = 3,3 \text{ V}$ , com  $(W/L)_n = 6 \mu\text{m}/1,5 \mu\text{m}$  e  $(W/L)_p = 15 \mu\text{m}/1,5 \mu\text{m}$ . Para cada inversor, obtenha o valor de  $G_m$ . Para uma capacitância da linha de bit de  $0,8 \text{ pF}$  e um atraso para alcançar  $0,9 V_{DD}$  de  $2 \text{ ns}$ , obtenha a tensão de diferença necessária entre as duas linhas de bit. Se o tempo puder ser aumentado de  $1 \text{ ns}$ , qual sinal de entrada poderá ser conduzido? Com o tempo de atraso aumentado e com o sinal de entrada no nível original, por qual porcentagem a capacitância da linha de bit e o correspondente comprimento da mesma podem ser aumentados? Se o tempo de atraso necessário para as capacitâncias das linhas de bit carregarem através da corrente constante disponível da célula de armazenamento for  $5 \text{ ns}$  de forma a conseguir o sinal de tensão de diferença que o amplificador sensor necessita, como esse tempo aumenta quando linhas mais longas são empregadas?

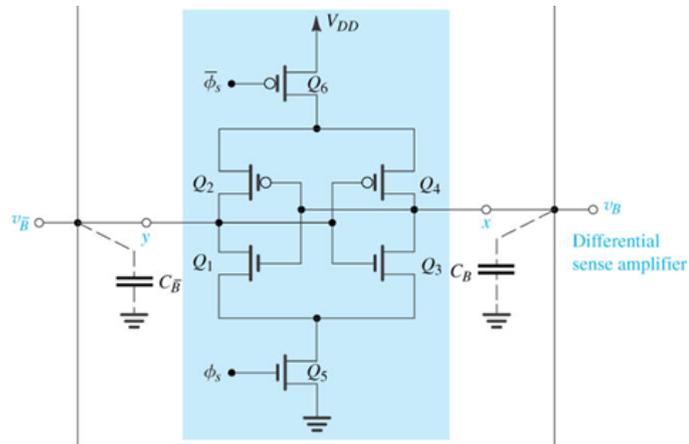


Figura 2

9) Dada uma memória ROM com 8 palavras de 4 bits. Escreva 8 números binários  $B_3B_2B_1B_0$  onde  $B_3$  é o dígito mais significativo. Converta cada dígito do número 8543859 em número binário e programe cada um deles na memória ROM fazendo  $8543859 = W_7W_6W_5W_4W_3W_2W_1$  onde  $W_1$  é o algarismo menos significativo,  $W_2$  é o segundo algarismo significativo e assim por diante.