**Departamento de Engenharia Elétrica e de Computação**

# SEL 384 – Lab. de Sistemas Digitais I

**Profa. Luiza Maria Romeiro Codá**

**PRÁTICA Nº9b**

**Descrição de Flip-Flops**

**FF tipo T sensível à borda do sinal de clock:**

Utilizando o software Quartus, escolhendo o dispositivo FPGA EP4ce30f23c7, do fabricante ALTERA, ,da família Cyclone IV-E .Gerar o código em VHDL, compilar e simular dois *flip-flops* tipo T sensíveis à borda de subida do *clock*. Utilize o atributo **‘EVENT (clk’EVENT AND clk = ’1’)** para verificar a transição positiva do sinal de *clock*.

Observação: como o *flip-flop* é um circuito sequencial ele só pode ser gerado dentro de um processo.

SAÍDA Q1: *Flip-flop* tipo T disparado na borda de subida do *clock* (clk). Usar a estrutura condicional **IF-THEN-ELSE-END IF**

SAÍDA Q2: *Flip-flop* tipo T disparado na borda de subida do *clock* (clk) com *RESET* síncrono. Quando um Reset é ativado a saída Q = ‘0’. ,

Usar a estrutura condicional **IF-ELSIF-ELSE**.

Como relatório entregar o texto do arquivo VHDL com comentários suficientes para a compreensão do projeto, contendo o nome e nº USP do alun@, as figuras do RTL e das formas de onda da simulação