**Departamento de Engenharia Elétrica e de Computação**

# SEL 384 – Laboratório de Sistemas Digitais I

**Profa Luiza Maria Romeiro Codá**

# Prática nº8b

“Projeto em VHDL e síntese de um decodificador BCD para display de 7 segmentos”

Utilizando o software Quartus II escreva o projeto (dec\_7seg) em linguagem VHDL de um  decodificador BCD para display de 7 segmentos catodo comum(segmentos acendem com nível ‘1’), como mostrado na Figura 1, usando comando concorrente WITH SELECT. Utilize como entradas um vetor **b** de 4 bits e como saída um vetor **d** com 7 bits. Sintetize no módulo mercúrio IV. Mostrar os números de 0 a 9 e a partir de 10 de A a F (em Hexadecimal).

 Pinagem do display 0



 Figura 1



Display 0

SW[0]

SW[3]

Pinagem do projeto decoder BCD para 7 segmentos (dec\_7seg)

|  |  |  |
| --- | --- | --- |
| Nome do sinal | Pino do FPGA |  |
| b[0] | V21 | Chave SW[0] |
| b[1] | W22 | Chave SW[1] |
| b[2] | W21 | Chave SW[2] |
| b[3] | Y22 | Chave SW[3] |
| d[0] | V2 | Segmento a do display 0 |
| d[1] | V1 | Segmento b do display 0 |
| d[2] | U2 | Segmento c do display 0 |
| d[3] | U1 | Segmento d do display 0 |
| d[4] | Y2 | Segmento e do display 0 |
| d[5] | Y1 | Segmento f do display 0 |
| d[6] | W2 | Segmento g do display 0 |