**Departamento de Engenharia Elétrica e de Computação**

# SEL 384 – Laboratório de Sistemas Digitais I

**Profa Luiza Maria Romeiro Codá**

# Prática nº8a

“Projeto em VHDL e síntese de um decodificador 3 x 8”

Utilizando o software QUARTUSII**,** crie um projeto em VHDL de um decodificador 3 x 8 (dec3\_8), como mostrado na Figura 1, utilizando comando concorrente WHEN ELSE. Configurar nodispositivo HCPLD EP4CE30F23C7, família Cyclone IV-E da placa mercúrio IV da Macnica, e testar o funcionamento. A tabela funcional e a pinagem são mostradas abaixo. Ligue as entradas E nas chaves do grupo A e as saídas nas linhas da matriz de LEDs, lembrando que a matriz acendo com nível ‘0’ e que para acender um LED a matriz e a linha correspondente devem estar em ‘0’.

Decoder

 3 x 8

E[0]

E[1]

E[2]

Y[7]

Y[0]

Figura 1

 Tabela funcional do decodificador 3 x 8:





E[0]

C[4]

C[0]

E[1]

Y[0]

E[2]

Y[7]

 Pinagem doprojeto dec3\_8

|  |  |  |
| --- | --- | --- |
| Sinal | Pino do FPGA | Descrição |
| E(0) | E16 | Chave 0 do grupo A |
| E(1) | H22 | Chave 1 do grupo A |
| E(2) | F16 | Chave 2 do grupo A |
| Y(0) | **F10** | linha 0 da matriz de LEDS |
| Y(1) | C8 | linha 1 da matriz de LEDS |
| Y(2) | E9 | linha 2 da matriz de LEDS |
| Y(3) | G9 | linha 3 da matriz de LEDS |
| Y(4) | F9 | linha 4 da matriz de LEDS |
| Y(5) | F8 | linha 5 da matriz de LEDS |
| Y(6) | G8 | linha 6 da matriz de LEDS |
| Y(7) | H11 | linha 7 da matriz de LEDS |
| C[0] | J7 | Coluna 0 da matriz de LEDS |
| C[1] | J6 | Coluna 1 da matriz de LEDS |
| C[2] | K8 | Coluna 2 da matriz de LEDS |
| C[3] | J8 | Coluna 3 da matriz de LEDS |
| C[4] | L8 | Coluna 4 da matriz de LEDS |