**Departamento de Engenharia Elétrica e de Computação**

# SEL 384 – Laboratório de Sistemas Digitais I

**Profa Luiza Maria Romeiro Codá**

# Prática nº7

“Projeto em VHDL e síntese de um somador Completo”

Utilizando o software QUARTUSII**,** crie um projeto em VHDL de um somador completo, como mostrado na Figura 1, utilizando operadores lógicos. Configurado nodispositivo HCPLD EP4CE30F23C7, família Cyclone IV-E da placa mercúrio IV da Macnica, e teste o funcionamento





$$s=a⊕b⊕ci$$

$$cf=a. b+ci.(a+b)$$

Pinagem:



|  |  |  |
| --- | --- | --- |
| **sinal** | **Pino do fpga** |  |
| a | E16 | Chave 0 do grupo A |
| b | H22 | Chave 1 do grupo A |
| ci | F16 | Chave 2 do grupo A |
| s | V1 | Segmento b display 0 |
| cf | T5 | Segmento b display 1 |



Módulo Mercúrio IV

S

Cf

a

b

Ci